

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E
ELETRÔNICA**

Luiza Milezzi Garcia

**AMPLIFICADOR DE POTÊNCIA INTEGRADO
PARA SISTEMAS DE TRANSMISSÃO DE
ENERGIA SEM FIO**

Florianópolis
2017

Luiza Milezzi Garcia

**AMPLIFICADOR DE POTÊNCIA INTEGRADO
PARA SISTEMAS DE TRANSMISSÃO DE
ENERGIA SEM FIO**

Monografia apresentada como requisito para obtenção do grau de Bacharel em Engenharia Eletrônica, submetida ao departamento de Engenharia Elétrica e Eletrônica, pertencente ao Centro Tecnológico da Universidade Federal de Santa Catarina.

Orientador: Prof. Dr. Fernando Rangel de Sousa

Coorientador: Prof. Dr. Fabian Leonardo Cabrera Riaño

Florianópolis

2017

Ficha de identificação da obra elaborada pelo autor,
através do Programa de Geração Automática da Biblioteca Universitária da UFSC.

Garcia, Luiza Milezzi
AMPLIFICADOR DE POTÊNCIA INTEGRADO PARA SISTEMAS
DE TRANSMISSÃO DE ENERGIA SEM FIO / Luiza Milezzi
Garcia ; orientador, Fernando Rangel de Sousa,
coorientador, Fabian Leonardo Cabrera Riaño, 2017.
78 p.

Trabalho de Conclusão de Curso (graduação) -
Universidade Federal de Santa Catarina, Centro
Tecnológico, Graduação em Engenharia Eletrônica,
Florianópolis, 2017.

Inclui referências.

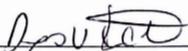
1. Engenharia Eletrônica. 2. Amplificador de
Potência. 3. Transferência de energia sem fio. 4.
Classe-D. 5. Circuitos Integrados. I. Sousa,
Fernando Rangel de. II. Riaño, Fabian Leonardo
Cabrera. III. Universidade Federal de Santa
Catarina. Graduação em Engenharia Eletrônica. IV.
Título.

Luiza Milezzi Garcia

**AMPLIFICADOR DE POTÊNCIA INTEGRADO
PARA SISTEMAS DE TRANSMISSÃO DE
ENERGIA SEM FIO**

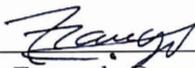
Esta monografia foi julgada no contexto da disciplina EEL7806 -
Projeto Final TCC e aprovada em sua forma final pelo Curso de
Engenharia Eletrônica.

Florianópolis, 07/07/2017.



Djones Vinícius Lettnin, Dr.
Coordenador do Curso

Banca Examinadora:



Fernando Rangel de Sousa, Dr.
Orientador



Fabian Leonardo Cabrera Riaño, Dr.
Coorientador



Eduardo Luiz Ortiz Batista, Dr.



William Prodanov, Dr.



Paulo Márcio Moreira da Silva, MSc.

AGRADECIMENTOS

Primeiramente, aos meus pais, Marlice Milezzi e Joaquim Marcos Garcia, que sempre me apoiaram e nunca deixaram que as minhas dúvidas me impedissem de tentar. Vocês são o meu maior exemplo de amor e dedicação.

À empresa Chipus Microelectronics e seus colaboradores, pela oportunidade de estágio e por todo suporte técnico oferecido, os quais foram essenciais para o desenvolvimento deste trabalho. Em especial, agradeço ao meu supervisor, William Prodanov, pela motivação e orientação desde o início deste projeto.

Ao meu orientador, Prof. Fernando Rangel de Sousa, e ao meu coorientador, Prof. Fabian Leonardo Riño Cabrera, pelas lições que vão além das discussões técnicas e por sempre me instigarem a ir além do que me fosse pedido.

Aos meus colegas de curso, especialmente à turma 2011.2, pela amizade valiosa e pelo companheirismo, que tanto me ajudaram e me prepararam para enfrentar os constantes desafios da graduação.

Agradeço também ao Giulio Caggiano, que, mesmo nas situações mais adversas, sempre se mostrou presente e não faltou com palavras de encorajamento e demonstrações de apoio e carinho.

Por fim, meu muito obrigada às minhas grandes amigas-irmãs, a "galerinha", pelo acolhimento e pela solidariedade durante todos esses anos de amizade, incluindo meus períodos de ausência.

RESUMO

Com o aumento da demanda por dispositivos móveis miniaturizados, faz-se necessário encontrar soluções livres de fios e baterias como método de alimentação, o que impulsiona o estudo e aperfeiçoamento de sistemas integrados de transmissão de energia sem fio. Nesse contexto, este trabalho desenvolveu um sistema de amplificação de potência integrado para compor o elemento transmissor de uma estrutura de alimentação remota. Para isso, foram desenvolvidos não só o amplificador de potência, mas também o pré-amplificador e a rede de adaptação. O sistema foi desenvolvido na topologia Classe-D diferencial, utilizando a tecnologia TSMC 180 nm, operando na frequência de 2,4 GHz e apresentando 36% eficiência ao entregar 25,1 dBm de potência na saída.

Palavras-chave: Transferência de energia sem fio, Amplificador de potência, Classe-D, Circuitos integrados

Lista de Figuras

1.1	Diagrama de um sistema de transferência de energia sem fio.	3
2.1	Esquemático do amplificador Classe-D na topologia <i>half-bridge</i>	11
2.2	Esquemático do amplificador Classe-D na topologia <i>full-bridge</i>	12
2.3	Circuito equivalente do amplificador considerando as resistências de condução.	14
2.4	Diagrama esquemático da topologia <i>tapered buffer</i> [7].	16
2.5	Trajeto percorrido por uma impedância ao se adicionar elementos reativos(a) em série e (b) em paralelo [9].	21
2.6	Redes de adaptação do tipo (a,b) L, (c) π , e (d) T.	21
2.7	Região adaptável.	24

3.1	Esquemático do circuito de extração do valor de C_{gn}	28
3.2	Curva de capacitância MOS em função do tempo.	29
3.3	Resistência de condução das chaves NMOS e PMOS em função da tensão fonte-dreno.	30
3.4	Esquemático do pré-amplificador.	33
3.5	Tensão de saída do <i>driver</i> N.	34
3.6	Diagrama esquemático do circuito de controle de potência.	36
3.7	Diagrama esquemático da rede de adaptação entre o amplificador e o <i>link</i> ressonante.	38
4.1	Eficiência em função da carga.	42
4.2	Potência de saída em função da carga.	43
4.3	Eficiência de dreno em função da carga.	43
4.4	Potência DC em função da carga.	44
4.5	Diagrama esquemático do circuito de teste do (a) <i>buffer</i> NMOS e do (b) <i>buffer</i> PMOS.	45
4.6	Tensão de saída de cada estágio do <i>buffer</i> PMOS.	46
4.7	Tensão na saída de cada estágio do <i>buffer</i> NMOS.	47
4.8	Diagrama esquemático da rede de adaptação entre o PA e o <i>link</i> ressonante.	48
4.9	Diagrama esquemático do sistema completo.	49
4.10	Corrente de dreno dos transistores M_1 e M_2	51

Lista de Tabelas

1.1	Comparação entre amplificadores de potência integrados em tecnologia CMOS no estado da arte	5
3.1	Resultados numéricos da metodologia de projeto	32
3.2	Valores de capacitância e largura dos dispositivos correspondente referentes ao primeiro estágio do <i>buffer</i> e entrada do amplificador	33
3.3	Faixa de valores dos parâmetros de operação	35
3.4	Faixa de valores para os componentes da rede de adaptação	37
3.5	Definição dos elementos que compõem as possíveis redes de adaptação.	39
4.1	Comparação entre resultados teóricos e de simulação	44
4.2	Comparação entre resultados teóricos e de simulação do valor de potência dos <i>drivers</i>	46

4.3	Tempos de subida e descida dos sinais de tensão na saída do último estágio dos <i>drivers</i> PMOS e NMOS	47
4.4	Comparação entre resultados teóricos e de simulação	48
4.5	Comparação entre resultados teóricos e de simulação	50
4.6	Comparação entre o consumo de potência DC dos <i>drivers</i> quando simulados separadamente e quando simulados no sistema completo	52
5.1	Comparação de trabalhos no estado da arte sobre amplificadores de potência integrados em tecnologia CMOS com este trabalho	55

Lista de Siglas

CMOS Metal-Óxido-Semicondutor Complementar (*Complementary Metal-Oxide-Semiconductor*)

DC Corrente Contínua (*Direct Current*)

DE Eficiência de Dreno (*Drain Efficiency*)

NOR Porta Lógica OU Negada (*Negation of Logical OR*)

PA Amplificador de Potência (*Power Amplifier*)

PWM Modulação por Largura de Pulso (*Pulse Width Modulation*)

WPT Transferência de Energia sem Fio (*Wireless Power Transfer*)

Sumário

1	Introdução	1
1.1	Motivação	1
1.2	Revisão de Trabalhos no Estado da Arte	2
1.3	Objetivos e Organização do Trabalho	6
2	Fundamentação Teórica	9
2.1	Amplificador de Potência Classe-D	10
2.1.1	Princípios de Funcionamento	10
2.1.2	Topologias do Estágio de Saída	11
2.1.3	Eficiência	13
2.2	Pré-Amplificador	15
2.2.1	Topologia	16
2.3	Rede de Adaptação de Impedância	18
2.3.1	Conceitos Básicos	19
2.3.2	Topologias	20
2.3.3	Região Adaptável	23

3	Projeto do Sistema	27
3.1	Amplificador Integrado	27
3.1.1	Dimensionamento dos Transistores MOS	28
3.2	Pré-Amplificador	32
3.2.1	Otimização	34
3.2.2	Controle de Potência	35
3.3	Rede de Adaptação de Impedância	36
4	Resultados	41
4.1	Amplificador de Potência	41
4.2	Pré-Amplificador	45
4.3	Rede de Adaptação de Impedância	48
4.4	Sistema Completo	49
5	Considerações Finais	53
5.1	Conclusão	53
5.2	Trabalhos Futuros	56

CAPÍTULO 1

Introdução

Este documento aborda o desenvolvimento do bloco amplificador de potência da cadeia transmissora de um sistema de alimentação remota, o qual faz parte de um projeto desenvolvido em parceria com a empresa *Chipus Microelectronics* e o Laboratório de Pesquisas em Radiofrequência (LRF) da Universidade Federal de Santa Catarina (UFSC).

1.1 Motivação

Muitos dispositivos eletrônicos ganharam uma série de novas aplicações e funcionalidades a partir do momento em que se tornaram portáteis. Para isso, a maioria deles adotou a utilização de baterias como principal fonte de alimentação, já que o uso de fontes tradicionais com fios compromete a portabilidade.

No contexto de semicondutores, além da portabilidade, outro grande avanço foi a redução nas dimensões dos dispositivos. Porém, as baterias não acompanharam esse processo de miniaturização na mesma proporção, trazendo limitações a sistemas integrados portáteis, como os implantes médicos, por exemplo, já que devem ser minimamente invasivos [1].

Uma solução bastante promissora para a alimentação desses dispositivos é o uso de sistemas de transmissão de energia sem fio, que além de não apresentarem problemas de dimensionamento, também não possuem tempo de vida útil limitado, como é o caso das baterias [3].

Esses sistemas, também chamados de sistemas WPT (do inglês *Wireless Power Transfer*) são compostos por três blocos principais, o elemento transmissor, o link ressonante e o elemento receptor. O seu principal desafio é garantir que a perda de energia seja minimizada em todos os blocos e em suas interconexões.

Assim, este trabalho se propõe a desenvolver um amplificador de potência integrado, otimizado para aplicação em um elemento transmissor de sistemas de transmissão de energia sem fio, tornando-os mais eficientes e competitivos como método alternativo de alimentação.

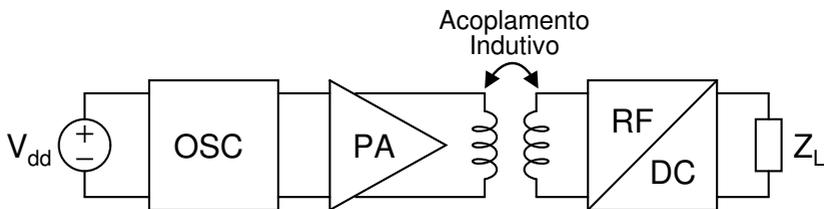
1.2 Revisão de Trabalhos no Estado da Arte

A ideia de transmitir energia de maneira remota não é recente. Ela foi primeiramente proposta por Nikola Tesla há mais de um século, quando propôs o projeto da conhecida Bobina de Tesla, o qual foi validado através de uma série de experimentos baseados nos conceitos de indução magnética [14]. Contudo, apenas nos últimos anos a ideia começou

a atrair mais a atenção de pesquisadores, o que alavancou grande avanços para área.

O diagrama básico de um sistema transferência de energia sem fio é composto por uma fonte de alimentação DC, um oscilador, um amplificador de potência (PA), um link ressonante e um retificador (conversor RF/DC), conforme apresentado na Figura 1.1.

Figura 1.1: Diagrama de um sistema de transferência de energia sem fio.



A principal desvantagem desse tipo de sistema em relação aos demais métodos de alimentação é a baixa eficiência, a qual depende não só dos elementos do circuito, mas também da distância e do alinhamento entre os elementos ressonantes que compõem o *link* [1]. No caso do elemento transmissor, que é o foco deste trabalho, um importante limitante da eficiência é o amplificador de potência. Portanto, uma atenção maior deve ser dada ao projeto desse bloco para se otimizar sistema.

Na Tabela 1.1, são apresentados os resultados de alguns trabalhos selecionados, onde foram projetados amplificadores de potência integrados em tecnologia CMOS com especificações semelhantes às do projeto desenvolvido. Contudo, é importante ressaltar que todos os amplificadores mencionados apresentam um diferente grau de integração e frequência

de operação, além de incluírem ou não indutores integrados ou discretos na estrutura, distinções as quais resultam em grandes impactos no desempenho do sistema.

Tabela 1.1: Comparação entre amplificadores de potência integrados em tecnologia CMOS no estado da arte

Referência	[4]	[16]	[17]	[15]	[13]
Frequência (MHz)	990	1900	900	800	2400
Pot. de saída (dBm)	25,1	30	29,5	30,4	21,3
V_{dd} (V)	1,8	2	1,8	2,5	3,3
Eficiência (%)	58	48	41	40,7	40
Classe	D	E	E	D	E
Área (mm²)	1,5	0,6	4	5	0,43
Tecnologia (nm)	180	350	250	180	180

O amplificador integrado apresentado em [13], por exemplo, apresenta maior frequência de operação dentre os amplificadores de potência mencionados. Como consequência, espera-se que apresente a menor eficiência. Porém, mesmo operando em uma frequência três vezes maior que a referência [15], os valores de eficiência obtidos estão muito próximos aos dos demais amplificadores, o que se deve principalmente ao uso extensivo de elementos discretos.

O amplificador apresentado em [15] é completamente integrado, incluindo os transformadores. Por conta disso, mesmo operando na menor frequência entre os amplificadores referências considerados, ainda apresenta uma das menores eficiências e a maior área ocupada.

O amplificador da referência [4] apresenta o diferencial de que não são utilizados indutores em seu projeto, até a rede de adaptação de impedância é composta somente por capacitores, já que contava com uma carga indutiva. Portanto, apesar de ser quase completamente integrado, é o amplificador mais eficiente dentre os amplificadores das referências.

Em [17], para evitar o uso de indutores integrados ou adição de elementos externos, foi utilizada a própria microssolda como o elemento indutivo. Entretanto, pelo fato de não se obter um controle mais preciso sobre o valor da indutância, acaba se obtendo uma limitação na eficiência.

Por fim, analisa-se a referência [16] que, por utilizar elementos discretos para as redes de adaptação de impedância, permite que seu valor de eficiência ainda esteja dentro da faixa de valores de eficiência das referências mencionadas anteriormente, mesmo operando também em uma frequência mais elevada.

1.3 Objetivos e Organização do Trabalho

Este projeto tem como objetivo o desenvolvimento do amplificador de potência do elemento transmissor de um sistema WPT, para aplicação como método alternativo de alimentação para sistemas integrados. Foi utilizado o processo CMOS com um comprimento mínimo de canal de 180 nm da TSMC, a frequência de operação é de 2,4 GHz e o amplificador deve entregar pelo menos 25 dBm de potência na saída com a maior eficiência possível.

Dentre os blocos do elemento transmissor, foram desenvolvidos aqueles em contato direto com o amplificador de potência, tal como o sistema de pré-amplificação e a rede de adaptação. O projeto do oscilador e do *link* ressonante não foram desenvolvidos neste trabalho, mas suas especificações constam no desenvolvimento do projeto.

No próximo capítulo, é apresentado um estudo sobre os fundamentos teóricos que envolvem o projeto, incluindo a escolha de topologia de cada bloco. No Capítulo 3, são deta-

lhados o desenvolvimento e a metodologia seguida em cada bloco, assim como seus resultados iniciais. Em seguida, no Capítulo 4, a validação do sistema é realizada através de simulações completas dos blocos principais e do sistema como um todo. Finalmente, no último capítulo, a conclusão e avaliação de trabalhos futuros são discutidas.

CAPÍTULO 2

Fundamentação Teórica

Este capítulo introduz conceitos essenciais para a compreensão e construção do trabalho. Pontos específicos sobre cada um dos principais blocos desenvolvidos são discutidos detalhadamente a seguir.

A primeira seção trata de uma revisão teórica do amplificador de potência escolhido no contexto de aplicações remotas. A seção seguinte descreve os fundamentos os quais serviram como base para a elaboração do sistema de pré-amplificação. Por fim, a última seção reporta o estudo de redes de adaptação de impedância.

2.1 Amplificador de Potência Classe-D

Amplificadores de potência Classe-D foram desenvolvidos, e ainda são largamente utilizados, para aplicações de áudio, já que possuem baixos níveis de distorção e alta eficiência [6]. Porém, no âmbito de sistemas de transmissão de energia sem fio para circuitos integrados, esses amplificadores apresentam a grande vantagem de não ser necessária a utilização de indutores, uma vez que ocupam uma área significativa do chip e apresentam baixo fator de qualidade. Além disso, obtém-se também uma largura de banda maior em relação aos outros amplificadores chaveados, evitando problemas de sintonização devido elementos parasitários [1].

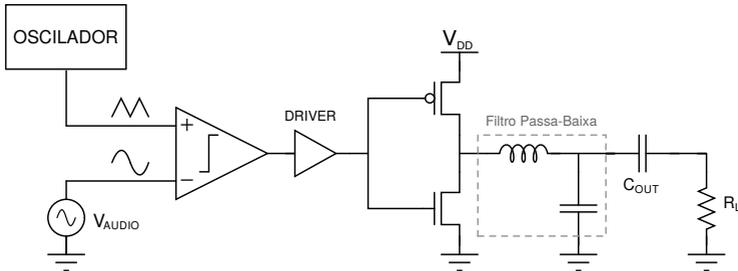
É importante observar, também, que amplificadores Classe-D não são amplamente recomendados para aplicações em radiofrequência pois possui perdas associadas à capacitância de saída do transistor que são intensificadas em altas frequências [10]. Contudo, como há um elemento ressonante como carga, essa capacitância é absorvida, tornando assim, sua eficiência competitiva novamente. Não havendo por fim, uma restrição para sua utilização na aplicação visada.

2.1.1 Princípios de Funcionamento

Para aplicações de áudio, o sistema é normalmente composto por um comparador que possui como entradas um sinal de áudio e um sinal de mais alta frequência (normalmente uma onda triangular) para a realização da modulação PWM (do inglês *Pulse Width Modulation*) do sinal de entrada. Esse sinal modulado é então conectado à porta de dois transistores complementares operando de maneira chaveada, ou seja, cada um conduzindo por apenas meio ciclo [6]. Em seguida,

o sinal amplificado é filtrado para que apenas as componentes de baixa frequência (sinal de áudio) cheguem à carga (auto-falante) assim como apresenta a Figura 2.1.

Figura 2.1: Esquemático do amplificador Classe-D na topologia *half-bridge*.

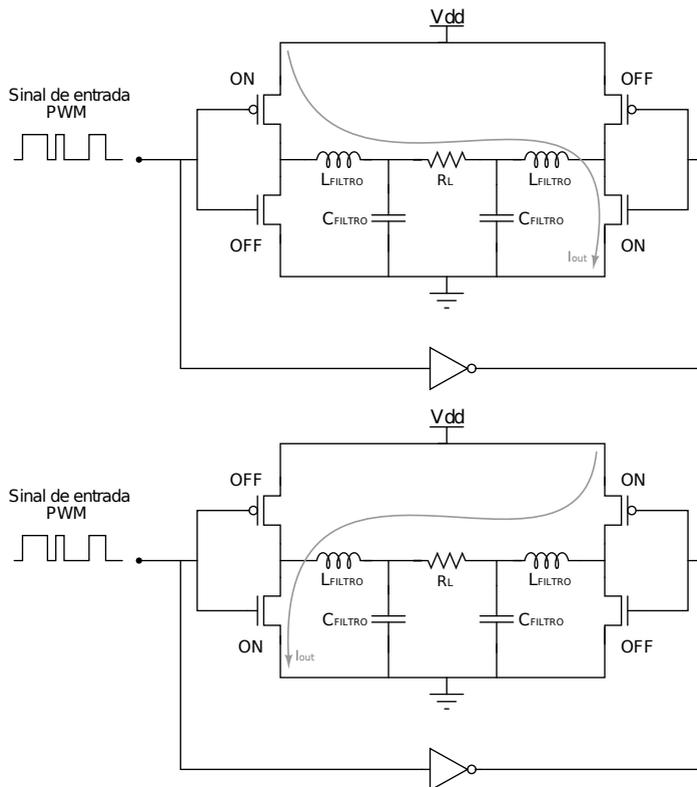


No caso deste trabalho, não será necessária a modulação do sinal de entrada, já que o interesse está apenas na transferência de energia e não de um sinal de mensagem. Contudo, ainda é necessário desenvolvimento de um sistema de pré-amplificação (*driver*) para aumentar o nível de potência do sinal de entrada já que o oscilador não conseguiria fornecer a corrente necessária para a correta operação do amplificador que, em geral, apresenta uma grande carga capacitiva.

2.1.2 Topologias do Estágio de Saída

Apesar do esquemático básico de um amplificador classe-D ter sido apresentado na topologia *half-bridge* na Figura 2.1, existe uma grande gama de aplicações onde a topologia *full-bridge* é mais apropriada. Essa topologia é definida por dois estágios de saída *half-bridge* conectados de forma a polarizar a carga de maneira diferencial, assim como mostra a Figura 2.2.

Figura 2.2: Esquemático do amplificador Classe-D na topologia *full-bridge*.



Como essa configuração opera alternando o caminho de condução pela carga, é possível obter uma corrente bidirecional sem que haja uma fonte de tensão negativa. Além disso, como a média do sinal sobre a carga é nula (não há *offset* DC), não é necessária a utilização de um capacitor bloqueador DC na carga [6].

Outra vantagem é o fato de que essa topologia consegue atingir o dobro da amplitude máxima do sinal de saída quando comparado à topologia *half-bridge*, o que resulta em um aumento de 4 vezes na potência entregue à carga. Por

outro lado, apresenta a desvantagem de utilizar o dobro do número de transistores MOS [10].

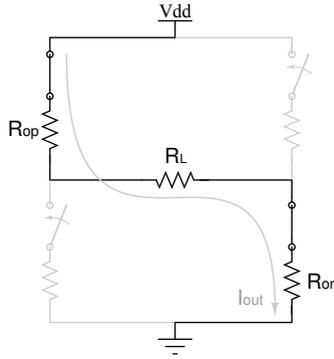
É natural concluir que o dobro de transistores MOS, caso sejam do mesmo tamanho, acarretaria em mais potência dissipada devido às perdas de chaveamento. Entretanto, essa constatação geralmente só é relevante para aplicações de alta potência, ou seja, para valores tipicamente maiores que 10W, devido à alta corrente de saída e às tensões de alimentação [6]. Como altos valores de potência não se aplicam ao caso de circuitos integrados, as limitações do uso da topologia *full-bridge* nesse trabalho são minimizadas.

2.1.3 Eficiência

A vantagem da alta eficiência dessa classe de operação é um atributo a ser aproveitado. Em teoria, o amplificador classe-D apresenta eficiência de 100% e isso se deve principalmente à região de operação dos transistores, já que, como funcionam como chaves, quando há tensão, não há corrente e vice-versa [8]. Dessa maneira, em um caso onde os transistores se comportassem como chaves ideais, não haveria dissipação de energia no amplificador. Sendo assim, toda a potência da fonte é transferida à carga.

Na prática, as chaves apresentam uma resistência diferente de zero quando em condução [2], fazendo com que o circuito equivalente seja tal como apresenta a Figura 2.3, onde R_{on} é a resistência de condução da chave NMOS e R_{op} é a resistência de condução da chave PMOS.

Figura 2.3: Circuito equivalente do amplificador considerando as resistências de condução.



Partindo da equação geral de eficiência, também conhecida como eficiência de dreno, descrita como

$$\eta = \frac{P_{carga}}{P_{DC}}, \quad (2.1)$$

e sabendo que a corrente e tensão na carga podem ser definidas como [4]:

$$I_{out} = \frac{V_{dd}}{R_L + R_{on} + R_{op}} \quad (2.2)$$

$$V_{out} = \frac{V_{dd}R_L}{R_L + R_{on} + R_{op}}, \quad (2.3)$$

determina-se as potências DC e da carga da seguinte forma:

$$P_{DC} = I_{out}V_{dd} \quad (2.4)$$

$$P_{carga} = I_{out}V_{out}. \quad (2.5)$$

Assim, a partir de (2.1) obtém-se [2]:

$$\eta = \frac{R_L}{R_L + R_{on} + R_{op}}. \quad (2.6)$$

Nota-se que, se as chaves fossem ideais, o valor de 100% de eficiência teórica seria obtido.

Contudo, para uma expressão ainda mais precisa, é necessário considerar que, pelo fato das transições entre os estados ligado e desligado não serem instantâneas, há uma dissipação de potência no processo de chaveamento. Isso ocorre pois, durante as transições, é preciso carregar ou descarregar a capacitância da porta dos transistores. Logo, pode-se reescrever a expressão da eficiência tal como segue [2]:

$$\eta = \frac{P_{carga}}{P_{DC} + P_{C_g}}, \quad (2.7)$$

onde P_{C_g} é a potência consumida para carga e descarga da capacitância C_g e é definida a partir do conceito de potência dinâmica tal como apresentado na equação (2.8) a seguir [4]:

$$P_{C_g} = C_g V_{dd}^2 f_0, \quad (2.8)$$

no qual C_g é a capacitância da porta dos transistores MOS e f_0 é a frequência de operação. Por fim, a expressão final da eficiência é definida como:

$$\eta = \frac{R_L}{R_L + R_{on} + R_{op} + C_g f_0 (R_L + R_{on} + R_{op})^2}. \quad (2.9)$$

2.2 Pré-Amplificador

Os sistemas de pré-amplificação normalmente são necessários para a conexão da saída do oscilador com a entrada no amplificador. Isso se deve principalmente ao fato de que o projeto do oscilador é focado somente em fornecer um sinal com amplitude e frequência definidas, podendo, muitas

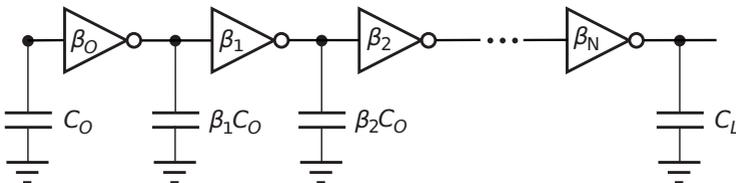
vezes, não fornecer corrente suficiente à carga.

Portanto, como neste trabalho a carga se trata de um amplificador de potência, o qual possui dimensões consideravelmente grandes no contexto de circuitos integrados, a corrente fornecida pelo oscilador não é suficiente para carregar as capacitâncias de porta dos transistores MOS na entrada do amplificador [1]. Sendo assim, faz-se necessário o projeto de um pré-amplificador.

2.2.1 Topologia

Para resolver o problema da corrente fornecida pelo oscilador, foi escolhido desenvolver um pré-amplificador na topologia conhecida como *tapered buffer*, que é composta por inversores conectados em cascata, os quais são constituídos por transistores MOS com dimensões que aumentam de forma gradual a fim de suavizar a transição dos valores de capacitância. A Figura 2.4 apresenta o esquemático básico dessa topologia, onde N é o número de inversores, β é o fator de *taper*, fator pelo qual as dimensões dos transistores são multiplicadas em cada estágio, C_0 a capacitância de entrada do inversor do primeiro estágio e C_L é a carga capacitiva.

Figura 2.4: Diagrama esquemático da topologia *tapered buffer* [7].



Tipicamente, essa topologia é utilizada em circuitos integrados digitais pois, como esses dispõem de uma alta densi-

dade de dispositivos que compartilham o mesmo sinal de relógio, comumente apresentam grandes valores de capacitância como carga, os quais tornam necessário o uso de *buffers* [7]. Analogamente, no caso deste trabalho, o amplificador de potência representa uma carga com valor de capacitância elevado.

A carga é definida como a capacitância C_g e, portanto, consome uma potência P_{C_g} que, como mencionado anteriormente, corresponde à potência dinâmica da chave. Logo, o *buffer* projetado dever ser capaz de fornecer essa potência.

Sabendo, então, que a corrente no capacitor é definida por

$$I_{C_g} = C_g \frac{dV_{C_g}}{dt}, \quad (2.10)$$

entende-se que, quanto maior for a corrente, maior será a variação da tensão pelo tempo e mais rápido a tensão no capacitor atingirá o valor de V_{dd} , ou seja, mais rápido o capacitor carregará. Para possibilitar o aumento da corrente, é necessária a inserção dos vários estágios de inversores.

Considerando C_0 como o valor de capacitância pelo qual a corrente fornecida pelo oscilador consegue carregar completamente em um intervalo de tempo muito menor que o período do sinal, deve-se, então, projetar um inversor com capacitância de entrada de no máximo C_0 para constituir o primeiro estágio. A partir de então, para os estágios seguintes, deve-se incrementar as dimensões dos transistores MOS gradualmente até que o último forneça corrente suficiente para o chaveamento da carga.

Logo, derivando-se o valor da capacitância de entrada do amplificador projetado e o valor da capacitância de entrada do inversor do primeiro estágio, o qual deve ter dimensões pequenas o suficiente para operar de modo chaveado, é possível estimar o número de estágios. Uma vez que a corrente fornecida por um estágio depende das dimensões dos transistores e que o tempo de carregamento dos capacitores deve respeitar a condição

$$\tau \ll \frac{1}{f_0}. \quad (2.11)$$

É possível considerar que a capacitância de entrada do estágio seguinte deve estar de acordo com a seguinte expressão:

$$C \ll \frac{I_C}{V_{dd}f_0}. \quad (2.12)$$

Além disso, a questão do controle no tempo de chaveamento é essencial para o projeto de um amplificador classe-D, já que deve-se garantir também que as chaves PMOS e NMOS não estejam conduzindo ao mesmo tempo, visto que essa situação causaria um curto-circuito entre V_{dd} e terra [1]. Portanto, é necessário então que as chaves PMOS e NMOS, que compõem o amplificador, tenham *drivers* diferentes e que esses assegurem que as chaves liguem lentamente e desliguem rapidamente a fim de minimizar as correntes de curto-circuito.

2.3 Rede de Adaptação de Impedância

Uma rede de adaptação de impedância tem como objetivo fazer com que a impedância de entrada de uma carga seja vista

por uma fonte de alimentação como a carga que maximiza a transferência de potência e minimiza a potência refletida [5].

Sabendo que potência refletida é definida a partir de

$$P_{ref} = |\Gamma_L|^2 P_{inc}, \quad (2.13)$$

e que o coeficiente de reflexão (Γ_L) é determinado por

$$\Gamma_L = \frac{Z_L - Z_S^*}{Z_L + Z_S}, \quad (2.14)$$

onde P_{inc} é a potência incidente sobre a carga, Z_L é a impedância da carga e Z_S é a impedância da fonte. Conclui-se que, para que não haja reflexão ($\Gamma_L=0$), é necessário que Z_L seja igual à Z_S^* . Nesse caso, diz-se que a impedância da carga está adaptada à impedância da fonte, uma situação que normalmente só acontece quando há inserção de redes de adaptação no sistema [5]. Logo, no contexto de sistemas integrados de transmissão de energia sem fio, as redes de adaptação são de extrema importância, já que tem impacto direto na eficiência do sistema.

2.3.1 Conceitos Básicos

Para a conversão de valores de impedância a partir da adição de uma rede de adaptação, são utilizados componentes reativos, já que, idealmente, eles não dissipam potência nem adicionam ruído [12]. Sendo assim, é possível adicionar indutores e capacitores em série e paralelo ao circuito para modificar sua impedância de entrada.

Para facilitar a visualização dessa transição dos valores de impedância, comumente se utiliza a Carta de Smith. Nela, adiciona-se primeiramente um ponto correspondente ao valor

de impedância inicial. A partir daí, são adicionados elementos reativos para a variação da posição da impedância na Carta.

Assim como discutido em [9], caso o elemento adicionado esteja em série com a impedância inicial, o trajeto que a impedância percorre na Carta segue os círculos de impedância onde a parte real é constante, já que apenas a reatância sofre alterações. Sendo esse elemento um capacitor, o trajeto é percorrido no sentido anti-horário e, sendo um indutor, o trajeto é percorrido no sentido horário, assim como ilustrado na Figura 2.5a.

Caso a adição do elemento reativo seja em paralelo, o trajeto percorrido segue os círculos de admitância onde a parte real é constante, já que somente a susceptância sofre variações. Sendo o elemento um capacitor, a variação ocorre no sentido horário e, sendo um indutor, a variação ocorre no sentido anti-horário, assim como é mostrado na Figura 2.5b [9]. Portanto, é possível fazer com que o valor de impedância seja adaptado para qualquer outro valor simplesmente adicionando elementos reativos em série e paralelo.

2.3.2 Topologias

Entre as topologias mais utilizadas, estão as redes L, π e T. Essas topologias são consideradas mais interessantes principalmente pela simplicidade, já que são compostas apenas por dois ou três elementos reativos, assim como mostra a Figura 2.6.

Além disso, o número reduzido de elementos também apresenta a vantagem de minimizar as perdas, já que todos os componentes reativos possuem uma resistência interna, o

Figura 2.5: Trajeto percorrido por uma impedância ao se adicionar elementos reativos (a) em série e (b) em paralelo [9].

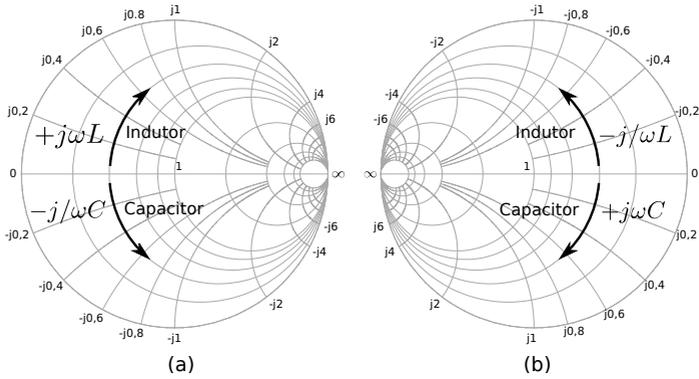
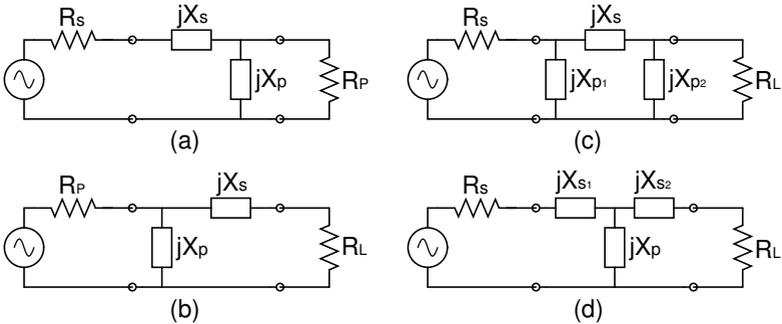


Figura 2.6: Redes de adaptação do tipo (a,b) L, (c) π , e (d) T.



que resulta em um fator de qualidade finito. Quanto maior o fator de qualidade, mais estreita será a faixa de frequência para qual a impedância se encontra adaptada e menores serão as perdas [9].

No caso da Rede L da Figura 2.6a, é possível obter a solução analítica para os elementos reativos que compõem a rede, encontrando, primeiramente, o fator de qualidade que satisfaz a condição da transformação série-paralelo de R_P para R_S . Tal fator é definido por [5]:

$$Q = \sqrt{\frac{R_P}{R_S} - 1}. \quad (2.15)$$

Em seguida, utiliza-se a definição do fator de qualidade para os elementos série e paralelo da seguinte forma:

$$|X_S| = QR_S \quad (2.16)$$

$$|X_P| = \frac{Q}{R_P}. \quad (2.17)$$

Por fim, obtém-se os valores dos elementos da rede a partir das reatâncias série (X_S) e paralelo (X_P), tal como segue:

$$L = \frac{X}{\omega} \quad (2.18)$$

$$C = \frac{1}{\omega X}, \quad (2.19)$$

onde a escolha dos elementos série e paralelo serem indutivos ou capacitivos parte da aplicação do circuito em questão, dado que a rede pode se comportar tanto como um filtro passa-baixa quanto como um filtro passa-alta.

Caso as impedâncias de carga e fonte não sejam puramente reais, deve-se fazer com que a rede "absorva" as respectivas reatâncias, ou seja, esses valores de reatância devem ser descontados dos valores de reatâncias calculados a partir das equações acima para compor a rede de adaptação. No mais, as Redes π e T podem ser analisadas analiticamente ao serem divididas em duas redes L e então, segue-se os passos da metodologia discutida acima.

2.3.3 Região Adaptável

Em alguns casos, onde há uma limitação na topologia da rede ou nos elementos que a compõem, faz-se o estudo da região adaptável. Essa região é definida como uma área circular de centro c_0 e raio r_0 dentro da Carta de Smith, a qual define os valores de impedâncias que são possíveis adaptar, dadas limitações da rede de adaptação [11].

Considerando novamente o caso da Rede L da Figura 2.6a como exemplo, para definir a sua região adaptável, calculam-se inicialmente os parâmetros de espalhamento da rede, os quais são dados por:

$$S_{11} = \frac{2Z_p(Z_0 + Z_s)}{Z_0(Z_p + Z_0 + Z_s) + Z_p(Z_0 + Z_s)} - 1; \quad (2.20)$$

$$S_{21} = \frac{2Z_0Z_p}{Z_0(Z_p + Z_0 + Z_s) + Z_p(Z_0 + Z_s)}; \quad (2.21)$$

$$S_{22} = \frac{2Z_p}{(Z_0 + Z_s)(Z_p + Z_0) + (Z_pZ_0)} - 1; \quad (2.22)$$

$$S_{12} = \frac{2Z_0Z_p}{(Z_0 + Z_s)(Z_p + Z_0) + (Z_pZ_0)}; \quad (2.23)$$

onde Z_0 é a impedância de referência, Z_s é a impedância do elemento em série da rede e Z_p é a impedância do elemento em paralelo da rede. Utiliza-se normalmente o valor de impedância que se deseja adaptar como Z_0 . Já que, assim, a Carta e todos os parâmetros extraídos a partir dela estarão normalizados para esse valor. Como consequência, a impedância alvo se encontrará no centro da Carta. Portanto, analogamente à demonstração das regiões de estabilidade descritas em [5], define-se a região adaptável como:

$$c_0 = \frac{\Delta^* S_{11} - |\Gamma_{max}|^2 S_{22}^*}{|\Delta|^2 - |\Gamma_{max} S_{22}|^2} \quad (2.24)$$

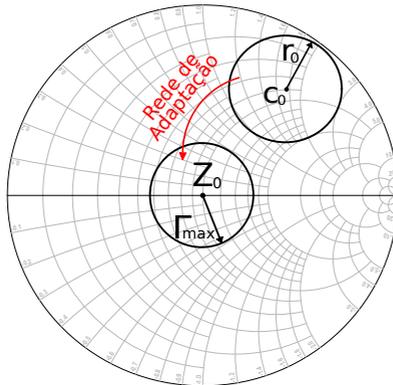
$$r_0 = \frac{|\Gamma_{max} S_{12} S_{21}|}{||\Delta|^2 - |\Gamma_{max} S_{22}|^2|}, \quad (2.25)$$

onde Δ é definido por [5]:

$$\Delta = S_{11} S_{22} - S_{12} S_{21}, \quad (2.26)$$

e Γ_{max} corresponde ao coeficiente de reflexão máximo, o qual representa uma tolerância maior no conceito de adaptação de impedâncias, não considerando somente as soluções com reflexão nula. A Figura 2.7 a seguir apresenta a representação gráfica da região adaptável.

Figura 2.7: Região adaptável.



Logo, conhecendo-se a topologia da rede e os valores que os elementos reativos podem assumir, é possível determinar as expressões para os parâmetros de espalhamento e, a partir delas, os valores de impedância para os quais são possíveis de se adaptar para Z_0 . Caso haja uma faixa de valores possí-

veis para os elementos reativos, é possível, então, determinar vários círculos de região adaptável, onde a união deles representa a região adaptável completa.

CAPÍTULO 3

Projeto do Sistema

O projeto do bloco de amplificação do elemento transmissor do sistema de transferência de energia sem fio foi dividido em três módulos, sendo eles: o amplificador, o pré-amplificador e a rede de adaptação de impedância. A seguir, as etapas de projeto de cada um dos módulos mencionados são apresentadas e discutidas em mais detalhes.

3.1 Amplificador Integrado

Para o desenvolvimento do amplificador de potência, é necessário obter algumas especificações já definidas. No caso da aplicação deste projeto, é necessário obter pelo menos 25 dBm de potência de saída para uma frequência de operação de 2,4 GHz, já que as dimensões dos indutores que compõem o link ressonante são milimétricas.

3.1.1 Dimensionamento dos Transistores MOS

Para essa etapa, seguiu-se o fluxo de projeto desenvolvido em [4], onde a metodologia considera as perdas devido a resistência de condução da chave e a capacitância da porta. Para isso, foi necessário primeiramente modelar essas duas grandezas, tal como segue:

$$R_{on} + R_{op} = \frac{a}{W} \quad (3.1)$$

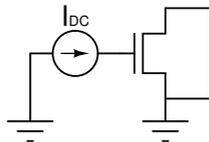
$$C_g = bW, \quad (3.2)$$

onde R_{op} é a resistência de condução da chave PMOS, R_{on} é resistência de condução da chave NMOS, C_g é a capacitância da porta e W é a largura do canal do transistor. Os parâmetros a e b são as constantes de proporção que relacionam a largura com as não-idealidades mencionadas e as quais são definidas através de simulações.

Neste trabalho, o comprimento de todos os transistores foi escolhido como o mínimo valor permitido pela tecnologia (180 nm) e V_{dd} foi definido como 1,8 V, que é a tensão nominal da tecnologia.

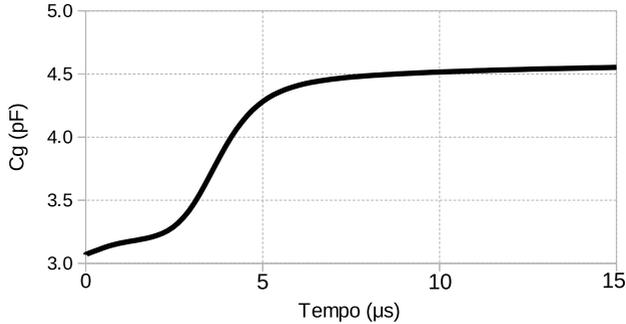
Para encontrar o valor de b , foi realizada uma simulação onde os terminais dreno e fonte dos transistores foram curto-circuitados para simular um capacitor, e a porta era alimentada por uma fonte de corrente constante, tal como apresenta o esquemático da Figura 3.1.

Figura 3.1: Esquemático do circuito de extração do valor de C_{gn} .



A partir das curvas de tensão e corrente na porta, foi estimado o valor da capacitância aplicando-se (3.3), resultando na curva apresentada na Figura 3.2.

Figura 3.2: Curva de capacitância MOS em função do tempo.



Contudo, para já contar com o pior caso, considerou-se como valor de $C_{gn(gp)}$, o maior valor apresentado pela curva dentro janela de tempo simulada, a qual corresponde ao tempo para carregar o capacitor MOS de 0 V à V_{dd} .

$$C_{gn(gp)} = \frac{I_C}{\frac{dV_C}{dt}}. \quad (3.3)$$

Com a finalidade de se utilizar um termo genérico de capacitância de entrada, o qual incluisse as duas chaves NMOS, as duas chaves PMOS e o impacto da inserção do *buffer* na estrutura, definiu-se C_g como:

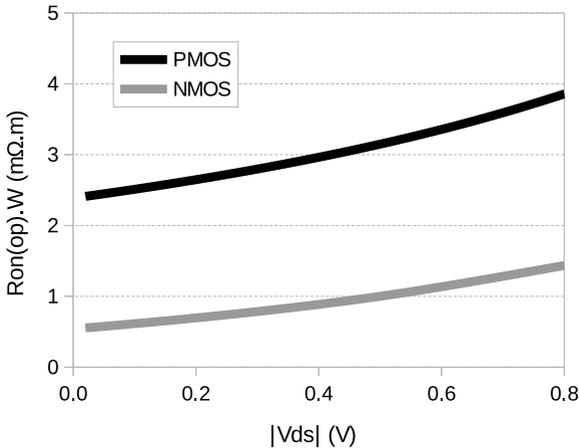
$$C_g = 1,5(2C_{gp} + 2C_{gn}), \quad (3.4)$$

onde o fator 1,5 foi escolhido arbitrariamente [4] e é utilizado para indicar um excesso de capacitâncias na porta devido à

implementação do sistema de pré-amplificação discutido na próxima seção, onde mais transistores serão adicionados.

Para encontrar o valor de a , foram simuladas as curvas de resistência dreno-fonte em função de $|V_{ds}|$, as quais foram utilizadas para estimar os valores de R_{op} e R_{on} em função de W . As curvas obtidas são apresentadas na Figura 3.3.

Figura 3.3: Resistência de condução das chaves NMOS e PMOS em função da tensão fonte-dreno.



A partir de tais curvas, seguiu-se o fluxo sugerido pela metodologia apresentada em [4] para estimar $|V_{ds}|$ no amplificador projetado e assim, obter o valor numérico das resistências R_{op} e R_{on} .

O último passo é definir os valores de largura do canal e de impedância que otimizam a eficiência, respeitando a especificação de potência de saída. Primeiramente, partindo de (2.2) e (2.3), redefine-se a potência da carga como

$$P_{R_L} = \frac{1}{2} \left(\frac{4V_{out}}{\pi} \right) \left(\frac{4I_{out}}{\pi} \right) = \frac{8V_{dd}^2 R_L}{\pi^2 (R_L + R_{on} + R_{op})^2}, \quad (3.5)$$

onde o fator $\frac{4}{\pi}$ corresponde à componente da fundamental das ondas de corrente e tensão, uma vez que a rede de adaptação junto com o indutor do *link* ressonante apresentam comportamento de um filtro passa-banda [4].

No caso da largura ótima do canal, busca-se a largura mínima capaz de entregar a potência de saída desejada, a qual foi demonstrada em [4] e é definida por

$$W_{opt} = \frac{\pi^2 a P_{R_L}}{8V_{dd}^2} \left(\frac{1}{\sqrt{abf_0}} + 2 \right). \quad (3.6)$$

Assumindo $W=W_{opt}$ em (3.1) e (3.2), derivou-se a equação de eficiência máxima, também demonstrada em [4] como:

$$\eta_{max} = \frac{8}{\pi^2 (1 + 2\sqrt{abf_0} + 2abf_0)}. \quad (3.7)$$

Por fim, ainda utilizando o valor ótimo de W , define-se o valor ótimo de impedância, para qual a carga deve ser transformada, por [4]:

$$R_{L_{opt}} = \frac{8V_{dd}^2}{\pi^2 P_{R_L}} \left(\frac{1}{1 + 2\sqrt{abf_0}} \right). \quad (3.8)$$

Obtendo-se então os valores de W_{opt} e $R_{L_{opt}}$, e conhecendo também as especificações de projeto, conforme foi descrito no início dessa seção, foi possível encontrar os resultados apresentados na Tabela 3.1.

Tabela 3.1: Resultados numéricos da metodologia de projeto

Parâmetros		Previsões Teóricas	
V_{dd}	1,8 V	W_{opt}	2,9 mm
Freq.	2,4 GHz	I_{out}^1	335 mA
P_{RL}	25,7 dBm	R_{Lopt}	4,2 Ω
L_{PMOS}	180 nm	R_{on}	210 m Ω
L_{NMOS}	180 nm	R_{op}	1,03 Ω
a	3,47 m Ω .m	DE ²	63%
b	9,77 nF/m	η_{max}	46.1%

¹ Corrente na carga (equação 2.2)

² Eficiência de Dreno (equação 2.1)

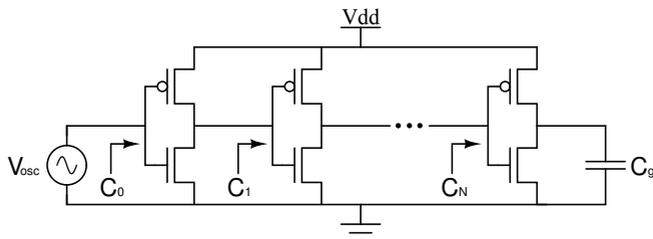
3.2 Pré-Amplificador

Para o projeto do pré-amplificador, primeiramente foi definido um valor máximo de largura de canal dos transistores que acarretariam em um inversor com capacitância de entrada C_0 , o qual o oscilador fosse capaz de fazer operar de modo chaveado dados o limite de corrente fornecida e a alta frequência de operação. A partir daí, foram adicionados novos estágios até que o último deles fosse capaz de chavear a entrada do PA de capacitância C_g e largura W_{opt} . A Figura 3.4 apresenta o circuito referente ao pré-amplificador descrito.

Os valores de C_0 e C_g foram estimados em simulação, assim como o processo realizado na Seção 3.1.1. Tanto os valores de capacitância quanto suas respectivas larguras de canal associadas são apresentadas na Tabela 3.2.

A partir do valor da capacitância de entrada do primeiro estágio inversor C_0 e sua largura de canal associada, foram adicionados novos estágios realizando simulações paramétri-

Figura 3.4: Esquemático do pré-amplificador.

Tabela 3.2: Valores de capacitância e largura dos dispositivos correspondente referentes ao primeiro estágio do *buffer* e entrada do amplificador

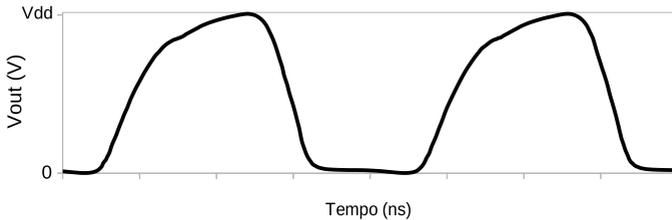
	C	W_{total}
1º Estágio (Driver P)	130 fF	63 μm
1º Estágio (Driver N)	174 fF	87 μm
Amplificador de Potência	4,55 pF	2,8 mm

cas, onde a largura de cada transistor foi sendo ampliada gradualmente até que a excursão do sinal da saída de cada estágio exibisse valores máximos e mínimos correspondentes à V_{dd} e terra respectivamente. Dessa forma, os valores mínimos para a largura dos transistores MOS que compõem o pré-amplificador são encontrados e, assim, minimiza-se a potência consumida.

Além disso, foi definido também que a largura dos dispositivos PMOS de cada inversor deveria ser maior do que aquelas dos dispositivos NMOS para compor o *driver* N e oposto deveria ser feito para elaboração do *driver* P, sem deixar de levar em conta a diferença de mobilidade entre la-

cunas e elétrons. Dessa maneira, as chaves do PA teriam uma transição lenta do estado desligado para o ligado, e uma transição rápida do estado ligado para o desligado [1], tal como mostra a Figura 3.5 para o caso do *driver* N.

Figura 3.5: Tensão de saída do *driver* N.



Como é possível analisar na Figura 3.5, a excursão do sinal de saída do *buffer* N, além de respeitar a condição de ligar lentamente e desligar rapidamente para evitar o curto-circuito DC, idealmente também atingiria os valores de V_{dd} e terra nos seus pontos máximo e mínimo.

3.2.1 Otimização

Considerando que toda potência consumida pelo *buffer* tem um grande impacto na eficiência global de um sistema de amplificação, deve-se buscar minimizar o consumo sem reduzir a robustez do sistema, dado que há uma possibilidade de variação de alguns parâmetros de operação. Portanto, foi realizado um processo de otimização da potência consumida do pré-amplificador, que se baseia na extração do ponto ótimo através de uma série de simulações paramétricas, levando em conta as principais limitações e condições de funcionamento do circuito. Para isso, foram primeiramente impostas duas condições para os parâmetros de projeto. A

primeira é a limitação na dimensão máxima dos dispositivos do primeiro estágio dos *buffers* estar de acordo com a Tabela 3.2. A segunda requer que a forma de onda do sinal de tensão na saída de cada estágio seja referente a, pelo menos, 98% de V_{dd} no ponto máximo e menor ou igual a 2% de V_{dd} no ponto mínimo. Em seguida, foram definidos os parâmetros de operação descritos na tabela 3.3 e suas respectivas faixas de variação.

Tabela 3.3: Faixa de valores dos parâmetros de operação

Parâmetro	Mínimo	Típico	Máximo
Frequência (GHz)	2,3	2,4	2,5
V_{dd} (V)	1,7	1,8	1,9
Temperatura ($^{\circ}$ C)	-40	27	125

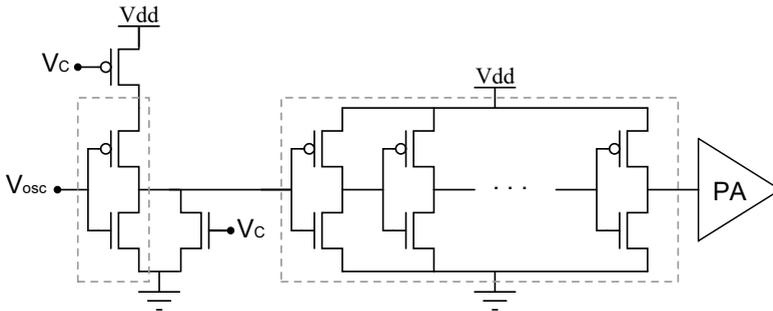
Ao se realizar a otimização de potência considerando a variação desses parâmetros, garante-se o funcionamento do circuito até para as piores condições de operação. Além disso, foi considerado também que o sinal de entrada fosse uma onda senoidal, o qual representa o pior caso para as condições de chaveamento, uma vez que o amplificador classe-D é projetado para operar com uma onda quadrada como sinal de entrada.

3.2.2 Controle de Potência

Por fim, foi realizado um sistema de controle de potência para o amplificador a partir do *driver*. Para isso, o *buffer* foi dividido em múltiplas células idênticas em paralelo e em cada uma delas foi adicionada uma porta lógica OU negada (NOR). Dessa maneira, as células podem ser ativadas ou desativadas dependendo do sinal de controle, proporcionando

assim, um domínio sobre o nível de potência na saída do amplificador. A Figura 3.6 apresenta o esquemático do sistema de controle proposto em uma célula unitária que compõe o pré-amplificador.

Figura 3.6: Diagrama esquemático do circuito de controle de potência.



Nessa figura, V_C é o sinal de controle, o qual pode ativar ou desativar cada célula do *buffer*, e V_{osc} é sinal de saída do oscilador. As seções destacadas da figura correspondem ao primeiro e demais estágios do pré-amplificador, sendo que o primeiro estágio se encontra integrado à porta NOR.

3.3 Rede de Adaptação de Impedância

Assim como discutido na Seção 3.1, o valor ótimo de impedância para a carga do amplificador $R_{L_{opt}}$ é definido por (3.8). Portanto, é necessário adaptar a impedância de entrada do *link* indutivo para essa impedância a fim de se obter os valores de potência de saída e eficiência previstos na Tabela 3.1.

A principal restrição dessa rede de adaptação seria, inicialmente, limitar-se ao uso de somente elementos reativos

passíveis de integração. Por exemplo, no caso de capacitores, os valores possíveis de capacitância são definidos de acordo com a tecnologia no limite inferior e com a área ocupada em sua implementação no limite superior.

No caso da necessidade de utilização de indutores, essa limitação é mais complexa pois, muitas vezes, se opta por utilizar indutores discretos devido ao baixo fator de qualidade e por ocuparem muita área quando esses são integrados. Neste projeto, limitou-se os valores possíveis de indutâncias a partir dos aspectos construtivos do fio de ligação (*wire bonding*), que representaria o elemento indutivo da rede de adaptação projetada.

Portanto, assumiu-se, primeiramente, que os elementos reativos deveriam respeitar as condições descritas na Tabela 3.4.

Tabela 3.4: Faixa de valores para os componentes da rede de adaptação

Elemento	Mínimo	Máximo
Indutor	0,3 nH	1,5 nH
Capacitor	200 fF	20 pF

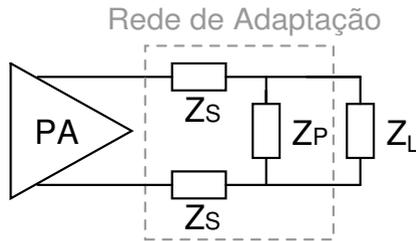
Para definição da disposição e valores dos elementos da rede, é necessário conhecer também o valor da carga, que neste caso, é um link ressonante. Neste projeto, o link indutivo ressonante foi elaborado em parceria com a Unisinos e possui impedância de entrada $Z_L|_{f=2,4GHz}=50+j16 \Omega$ quando o secundário tem a sua impedância ótima como carga.

Para o projeto da rede, optou-se por seguir a topologia da rede L diferencial devido sua simplicidade e número reduzido de elementos. Assume-se, então, que o indutor secundá-

rio esteja casado com a impedância que otimiza a eficiência do link, fazendo com que a impedância vista a partir da entrada do primário seja o conjugado complexo da impedância ótima, caracterizada como Z_L . Isso ocorre pois a aplicação deste projeto garante que os indutores estão fortemente acoplados. Portanto, todos os elementos que forem adicionados no receptor serão refletidos como carga também no transmissor.

Logo, visto que a parte real de Z_L é muito maior do que a carga ótima do PA ($4,2 \Omega$), define-se que o elemento em paralelo da rede deve estar seguido da impedância da carga, enquanto que o elemento em série segue a saída do PA. A Figura 3.7 representa a rede descrita.

Figura 3.7: Diagrama esquemático da rede de adaptação entre o amplificador e o *link* ressonante.



Por fim, foram encontradas duas soluções como possibilidade de implementação na topologia de rede L utilizando as equações discutidas na Seção 2.3.2, cujos resultados estão descritos na Tabela 3.5 para a frequência de operação de 2,4 GHz. Nota-se que os valores de indutância e capacitância encontrados para as duas redes estão dentro dos limites previstos na Tabela 3.5, ou seja, esse valor de carga se encontra dentro da região adaptável descrita na Seção 2.3.3, sendo então possível a implementação de ambas redes.

Tabela 3.5: Definição dos elementos que compõem as possíveis redes de adaptação.

Rede	Elemento Série	Elemento Paralelo
1	0,48 nH	4,58 pF
2	9,10 pF	1,15 nH

Contudo, como no caso da aplicação desse projeto desejas-se evitar o uso de indutores integrados e a inserção de elementos discretos, considerou-se como solução o uso das microsoldas como elementos indutivos. Portanto, sabendo que o fio de ligação a ser utilizado apresenta 0,6 nH/mm, os valores de indutância que resultariam em distâncias menores são aqueles encontrados na Rede 1.

CAPÍTULO 4

Resultados

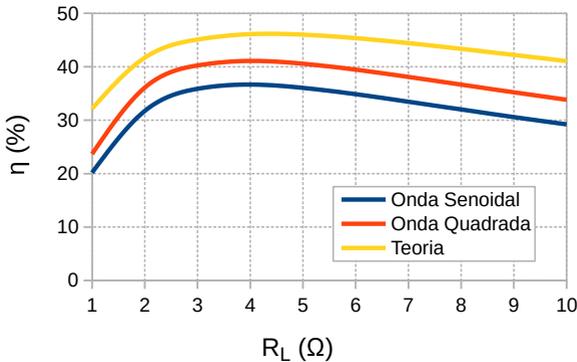
Este capítulo apresenta e discute os resultados obtidos a partir das etapas de simulação realizadas no *software* de projeto de circuitos integrados Cadence. São apresentados nas primeiras seções os resultados de simulação dos blocos individuais e na última seção encontram-se os resultados de simulação do sistema completo.

4.1 Amplificador de Potência

Com o valor de largura ótimo do canal definido na Tabela 3.1, foi realizada uma simulação paramétrica do amplificador, utilizando dispositivos da tecnologia escolhida, a fim de avaliar se o valor da carga $R_{L_{opt}}$ correspondia ao valor de eficiência ótima (η_{opt}). Como resultado, foram obtidas as curvas apresentadas na Figura 4.1. Observa-se, nessa figura,

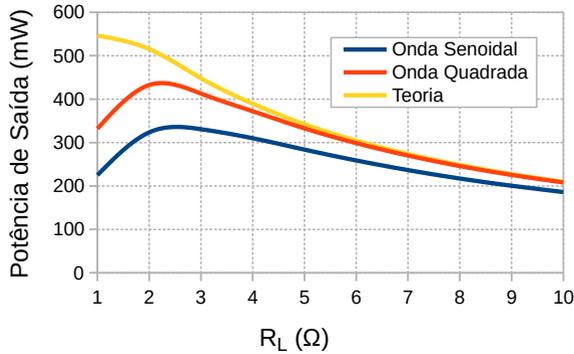
que o valor de carga ótima prevista para o PA ($4,2 \Omega$) é confirmado em todas as curvas apresentadas. Onde a curva azul corresponde à eficiência do amplificador quando alimentado por uma onda senoidal, a curva laranja corresponde à alimentação por uma onda quadrada e a curva amarela corresponde aos valores de eficiência teóricos obtidos com (3.7). Para as curvas simuladas, foram considerados os valores de potência consumida pelos *buffers* discutidos na próxima seção.

Figura 4.1: Eficiência em função da carga.



A mesma comparação foi feita com a potência na saída do PA, resultando nas curvas exibidas na Figura 4.2. Nesse caso, observa-se que, com exceção dos primeiros valores de impedância, a curva azul apresenta valores de potência muito semelhantes aos da curva amarela. Contudo, quando os valores de impedância da carga diminuem para algo em torno da ordem de grandeza da impedância de saída do PA, a queda de tensão nas chaves sofre um aumento considerável, o que implica em valores maiores para R_{on} e R_{op} , situação que não é considerada em (3.5) para obtenção dos valores teóricos.

Figura 4.2: Potência de saída em função da carga.



Verificou-se da mesma maneira as curvas de eficiência de dreno (DE) e potência consumida DC, tal como mostram as Figuras 4.3 e 4.4. Os resultados obtidos através das curvas se apresentam coerentes, uma vez que as equações são mais precisas para carga igual à $R_{L_{opt}}$, ponto onde todas as curvas apresentam valores semelhantes. Os valores teóricos das figuras a seguir foram obtidos usando (2.1) e (2.4).

Figura 4.3: Eficiência de dreno em função da carga.

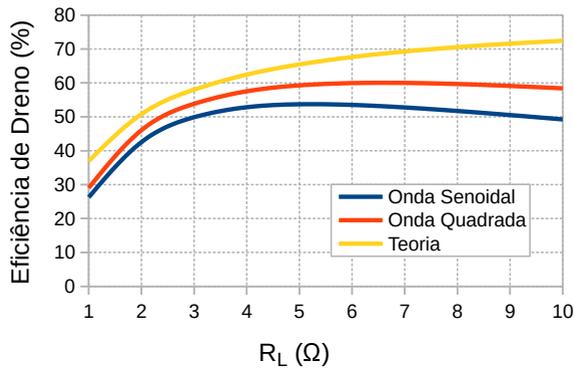
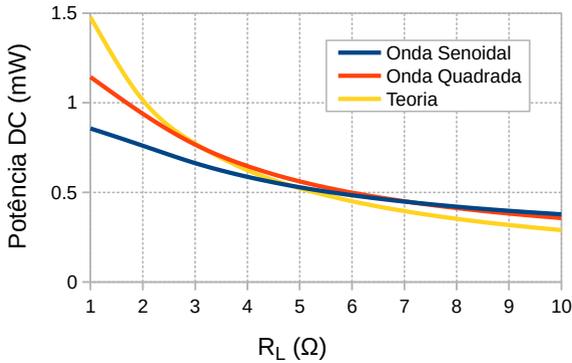


Figura 4.4: Potência DC em função da carga.



No caso das curvas de potência DC, observa-se o mesmo efeito de discrepância para valores cargas de menores, assim como descrito nas curvas de potência de saída. Já as curvas de eficiência de dreno representam basicamente a razão das curvas de potência na carga pelas curvas de potência DC.

Por fim, foi elaborada a Tabela 4.1, onde os resultados dos principais parâmetros de avaliação do desempenho do amplificador de potência projetado são apresentados.

Tabela 4.1: Comparação entre resultados teóricos e de simulação

Parâmetro	Carga Ótima					
	Onda Senoidal		Onda Quadrada		Teórico	
	Típico	Pior caso	Típico	Pior caso	Típico	Pior caso
P_{out} (mW) ¹	305,5	296,9	364,8	344,5	380,3	400,5
P_{DC} (mW) ²	575,3	578,7	629,4	578,3	603,1	633,3
DE (%) ³	53,1	51,3	58,0	59,5	63,0	61,3
η (%) ⁴	36,6	34,0	41,1	39,5	46,1	45,4
I_{out} (mA) ⁵	319,6	304,6	349,6	304,3	335,0	318,3

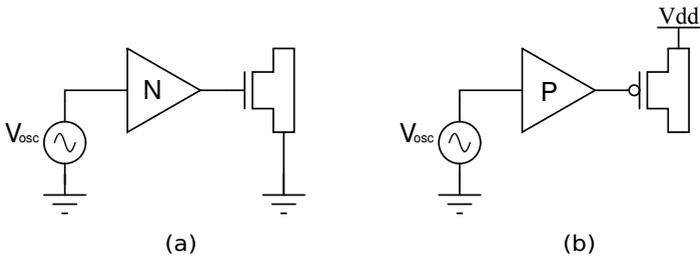
¹ Eq. (3.5)³ Eq. (2.1)⁵ Eq. (2.2)² Eq. (2.4)⁴ Eq. (3.7)

Os parâmetros são apresentados nas três condições discutidas anteriormente, para o caso típico e para o pior caso, o qual considera variação de processo (*corners*) e a variação dos parâmetros de operação descritos na tabela 3.3. O pior caso foi encontrado para os valores de frequência e temperatura máximos, V_{dd} mínimo e o processo SS.

4.2 Pré-Amplificador

Para simulação do *buffer*, foram também consideradas as mesmas variações descritas na simulação do PA e, como entrada, foi utilizado um sinal senoidal com *offset* DC de 750 mV e amplitude de $1,5 V_{pp}$, especificações que estão de acordo com o projeto do oscilador. O circuito simulado está de acordo com a Figura 4.5.

Figura 4.5: Diagrama esquemático do circuito de teste do (a) *buffer* NMOS e do (b) *buffer* PMOS.



Os transistores presentes nas Figuras 4.5a e 4.5b correspondem aos transistores NMOS e PMOS que compõem o PA, os quais tiveram os terminais de dreno e fonte curto-circuitados para simular uma capacitância e evitar o uso do circuito completo do PA para os primeiros testes de simulação. Como resultado, foram obtidos os valores de potência consumida explicitados nas Tabela 4.2.

Tabela 4.2: Comparação entre resultados teóricos e de simulação do valor de potência dos *drivers*

Driver	Simulado			Teórico	
	N ¹	Típico	Pior Caso	Típico	Pior Caso
PMOS	5	63,6 mW	73,4 mW	53,6 mW	62,1 mW
NMOS	5	63,0 mW	73,2 mW	53,0 mW	61,5 mW

¹ Número de estágios.

Nota-se que há uma diferença de cerca de 20% entre os valores de potência teóricos e simulados tanto para o caso típico quanto para o pior caso, situação que é justificada principalmente pelo fato de que a equação (2.8), que prevê o consumo do *buffer*, não considera as correntes de curto-circuito DC. Ao lidar com as variações dos parâmetros de operação, a largura dos transistores MOS foram aumentadas para garantir o funcionamento mesmo quando houvesse a pior condição de operação, o que fez com que o consumo devido à corrente de curto-circuito fosse também mais expressivo.

Por fim, foram geradas as curvas correspondentes ao sinal de tensão de saída de cada estágio de ambos *drivers* PMOS e NMOS, assim com mostram as Figuras 4.6 e 4.7 a seguir.

Figura 4.6: Tensão de saída de cada estágio do *buffer* PMOS.

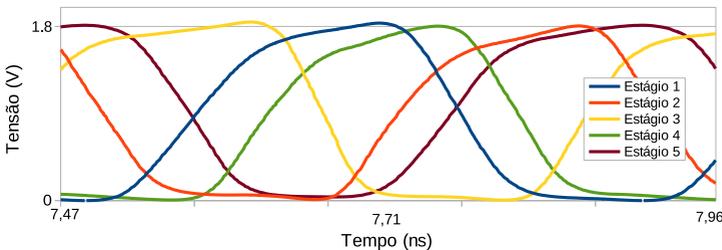
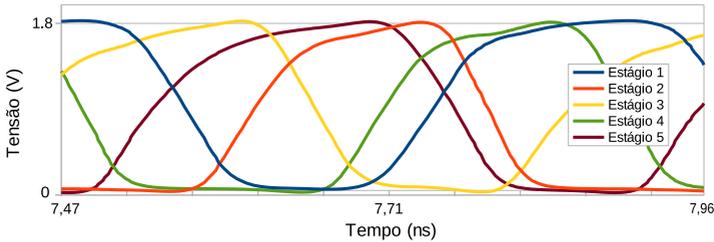


Figura 4.7: Tensão na saída de cada estágio do *buffer* NMOS.

A partir da forma de onda do sinal de tensão de saída de cada *buffer*, verificaram-se os tempos de subida e descida para uma melhor análise do seu funcionamento. Os resultados são apresentados na Tabela 4.3 a seguir.

Tabela 4.3: Tempos de subida e descida dos sinais de tensão na saída do último estágio dos *drivers* PMOS e NMOS

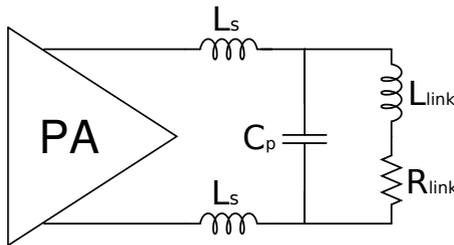
Driver	t_{subida}	$t_{descida}$
PMOS	115,5 ps	87,5 ps
NMOS	118,8 ps	77,4 ps

É possível observar que a condição de transição lenta do estado desligado para o ligado é verificada somente na chave NMOS, assim como a transição rápida do estado ligado para o desligado, fazendo com que a sobreposição dos sinais de tensão e corrente das chaves do PA seja minimizada somente nos transistores NMOS. Porém, ao se tentar ajustar as formas de onda da saída dos *buffers* para otimização do PA, foi observado um aumento no consumo dos próprios buffers, o que também tem grande impacto na eficiência. Essa condição é investigada mais detalhadamente na simulação do sistema completo, a qual é discutida na Seção 4.4.

4.3 Rede de Adaptação de Impedância

Para a verificação do funcionamento da rede de adaptação foram realizadas as simulações desse bloco em conjunto com o amplificador de potência, tal como ilustrado na Figura 4.8.

Figura 4.8: Diagrama esquemático da rede de adaptação entre o PA e o link ressonante.



As métricas utilizadas para avaliação do desempenho da rede, de forma indireta, foram as mesmas descritas na Tabela 4.1, na qual havia sido utilizado um resistor como representação da carga nas simulações. Como resultado, foram obtidos os valores para os casos típicos, tal como descrito na Tabela 4.4.

Tabela 4.4: Comparação entre resultados teóricos e de simulação

Parâmetro	Carga Ótima		Teórico
	Onda Senoidal	Onda Quadrada	
P_{RL} (mW)	312,5	363,8	380,3
P_{DC} (mW)	571,6	564,2	603,1
DE (%)	54,7	64,5	63,0
η (%)	37,9	44,5	46,1
I_{out} (mA)	317,6	313,4	335,0

Nota-se que os valores de potência consumida DC foram ligeiramente diferentes para os dois casos simulados, implicando na alteração dos valores de eficiência. Isso acontece pois, a inserção da rede de adaptação faz com que o valor de impedância ótima seja visto pelo PA somente na frequência de operação. Dessa maneira, espera-se que haja uma variação nas medidas para frequências diferentes de 2,4 GHz (simulações DC), mas que a potência de saída seja muito próxima ao valor apresentado na Tabela 4.1, já que tanto a previsão teórica, quanto a medida em simulação, foram realizadas considerando somente o sinal na frequência fundamental.

4.4 Sistema Completo

Por fim, foram realizadas as etapas de simulação considerando sistema completo, isto é, os quatro *buffers*, o PA e a rede adaptação com a carga, tal como ilustrado na Figura 4.9. Como resultado, foram obtidos os valores numéricos apresentados na tabela 4.5.

Figura 4.9: Diagrama esquemático do sistema completo.

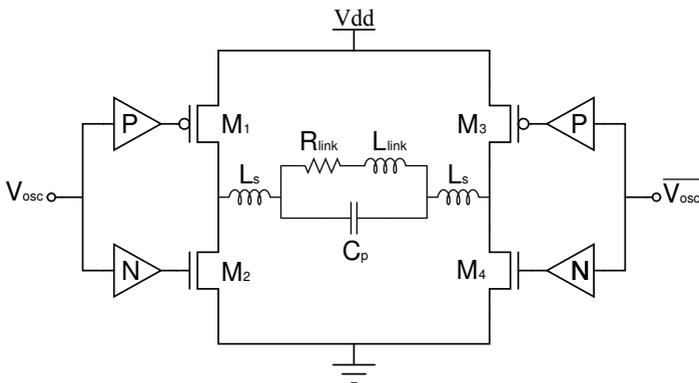


Tabela 4.5: Comparação entre resultados teóricos e de simulação

Carga Ótima				
Parâmetro	Onda Senoidal	Onda Quadrada	Sistema Completo	Teórico
P_{RL} (mW)	312,5	363,8	322,2	380,3
P_{DC} (mW)	571,6	564,2	630,2	603,1
DE (%)	54,7	64,5	51,1	63,0
η (%)	37,9	44,5	36	46,1
I_{out} (mA)	317,6	313,4	347,1	335,0

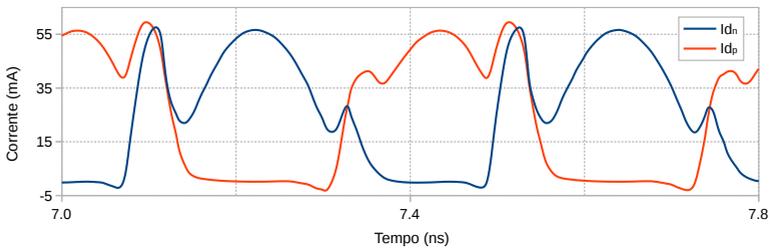
A Tabela 4.5 mostra que a eficiência do sistema completo foi abaixo do esperado, sendo ainda pior que o caso do amplificador alimentado por uma fonte de tensão senoidal. Uma justificativa para esse desempenho é o problema discutido a respeito dos tempos de subida e descida na seção 4.2, o qual gera uma defasagem entre a transição dos estados ligado e desligado dos transistores de um mesmo semi-ciclo. Para evitar essa situação, as chaves devem conduzir em sincronia, sendo necessário, portanto, garantir que a semelhança entre as formas de onda do sinal de tensão nas portas de todos os transistores MOS que compõem o amplificador de potência seja a maior possível.

Contudo, esse problema de defasagem nos tempos de transição entre estados não ocorre quando o PA é simulado separadamente, já que conta com a alimentação a partir de fontes idênticas, apenas defasadas de 180° . Essa constatação esclarece, então, a discrepância entre os resultados apresentados na Tabela 4.5.

A fim de se avaliar o impacto da assimetria dos *drivers*, foram geradas as curvas das correntes de dreno dos transistores M_1 e M_2 , assim como mostra a Figura 4.10. Nota-se

que há uma sobreposição no período de condução dos transistores, o que faz com que haja uma conexão direta do V_{dd} para o terra, aumentando o consumo DC do PA. Contudo, ao se reduzir as correntes de curto-circuito do PA através do reprojeto dos *buffers*, o qual garante uma forma de onda mais apropriada para o PA, o consumo dos *buffers* também se torna maior. Logo, não há uma melhoria da eficiência total do sistema.

Figura 4.10: Corrente de dreno dos transistores M_1 e M_2 .



Nesse caso, o aumento do consumo dos *drivers* ocorre pois, ao se impor que o seu sinal de saída deve assegurar que as chaves do PA liguem lentamente, aumenta-se, também, o período de tempo que transistores PMOS e NMOS dos inversores que o compõe conduzam simultaneamente e, como consequência, o seu consumo de potência DC é maior. Essa situação aumenta complexidade da otimização de eficiência global do sistema, uma vez que deve haver um compromisso entre o consumo do PA e consumo total dos *buffers*.

Além disso, um último problema também foi identificado ao se simular o sistema completo: o efeito Miller. Esse fenômeno foi investigado pois havia uma diferença de cerca de 10% entre o consumo dos *buffers* quando simulados separadamente, referente à Figura 4.5, e quando simulados no sistema completo, referente à Figura 4.9. Os resultados das

duas simulações são comparados na Tabela 4.6 seguir.

Tabela 4.6: Comparação entre o consumo de potência DC dos *drivers* quando simulados separadamente e quando simulados no sistema completo

Driver	P_{Driver} (mW) Separado	P_{Driver} (mW) Sistema Completo
N_1	63,6	69,5
N_2	63,6	69,7
P_1	63,0	69,0
P_2	63,0	68,5

O efeito Miller é uma possível justificativa para a diferença entre os valores apresentados pois, quando foi realizada a simulação dos *drivers* separados, os transistores que representavam o PA estavam com os terminais de fonte e dreno curto-circuitados, não havendo, por fim, um ganho associado ao amplificador. Como os conceitos do efeito Miller definem a capacitância de entrada de um amplificador como proporcional ao ganho, ao se simular o sistema completo, a capacitância C_g foi maior do que o valor encontrado nas simulações individuais, implicando, então, em um consumo mais expressivo para os *buffers*.

CAPÍTULO 5

Considerações Finais

5.1 Conclusão

Este trabalho descreveu o desenvolvimento de um amplificador de potência projetado para alimentar um link indutivo ressonante operando na frequência de 2,4 GHz. Como se trata de uma aplicação em sistemas de transmissão de energia sem fio, buscou-se otimizar a eficiência para que o impacto de sua inserção na eficiência global da estrutura de alimentação remota seja minimizado. Com esse objetivo, optou-se pela topologia Classe-D diferencial, uma vez que este apresenta alta eficiência e maior largura de banda de operação.

A metodologia de projeto utilizada baseou-se nos conceitos de resistência de condução das chaves e de capacitância da porta dos transistores MOS nas métricas de desempenho.

A finalidade de equacionar essas não-idealidades é de obter modelos comportamentais mais precisos e, assim, possibilitar uma otimização mais eficaz, já que o modelo busca encontrar os parâmetros de projeto que minimizam as não idealidades e, como consequência, minimizam também seus impactos.

Desse modo, foi encontrada a largura ótima dos transistores MOS a partir do compromisso entre os valores de resistência de condução das chaves e capacitância da porta associados à essa dimensão. Em vista disso, projetou-se o amplificador de potência na topologia proposta, com a largura de canal ótima prevista, em tecnologia CMOS 180 nm.

Os resultados obtidos através de simulações possibilitam uma primeira análise e demonstram a efetividade da metodologia seguida. Neste trabalho, sua validação foi verificada mesmo para uma frequência de operação mais elevada, quase 3 vezes maior que no projeto onde foi demonstrada [4], e ainda sem grandes impactos no nível de potência entregue à carga.

A Tabela 5.1 apresenta a comparação entre os trabalhos discutidos no Capítulo 1 com o sistema desenvolvido neste trabalho. O projeto descrito em [15], por exemplo, é o único que opera na mesma frequência, obtendo uma eficiência um pouco maior que a deste trabalho e um nível de potência entregue à carga consideravelmente menor. Já a referência [16], apesar da pequena redução na frequência de operação, apresenta o melhor desempenho entre os amplificadores de mais alta frequência. Em contrapartida, é o sistema que mais utiliza elementos discretos.

Enquanto isso, entre os projetos de mais baixa frequência, o amplificador elaborado em [4], o qual desenvolveu a metodologia seguida neste projeto, é o que apresenta melhor

eficiência. Por outro lado, os demais trabalhos [17, 15], apresentam níveis de potência de saída bem mais elevados, para valores de eficiência mais próximos à deste trabalho.

Tabela 5.1: Comparação de trabalhos no estado da arte sobre amplificadores de potência integrados em tecnologia CMOS com este trabalho

Referência	[4]	[16]	[17]	[15]	[13]	Este trabalho
f_0 (MHz)	990	1900	900	800	2400	2400
P_{RL} (dBm)	25,1	30	29,5	30,4	21,3	25,1
V_{dd} (V)	1,8	2,0	1,8	2,5	3,3	1,8
η (%)	58	48	41	40,7	40	36
Classe	D	E	E	D	E	D
Tec. (nm)	180	350	250	180	180	180

Como no contexto deste trabalho a aplicação requeria que o link ressonante ocupasse uma área muito reduzida, apresentando indutores da ordem de grandeza de poucos milímetros, foi necessário elevar a frequência de operação do sistema como um todo. Esse tipo de situação normalmente é evitada dado que a frequência de ressonância está muito próxima da faixa de radiação dos elementos do circuito.

Portanto, conclui-se que o trabalho desenvolvido apresenta grande potencial como solução para projeto de amplificadores de potência integrados para aplicação em sistemas de transmissão de energia sem fio, visto que apresenta valores de eficiência competitivos, principalmente no que se diz respeito à sua frequência de operação e nível de potência entregue à carga.

5.2 Trabalhos Futuros

Ao final deste projeto, algumas possibilidades de trabalhos futuros foram identificadas. Em primeiro lugar, considera-se a elaboração do leiaute do projeto completo para sua implementação em silício e, assim, verificar se o desempenho do sistema de amplificação permanece viável e competitivo. Desse modo, far-se-á uma comparação mais justa com os trabalhos no estado da arte.

Em segundo lugar, pretende-se estudar a viabilidade de utilizar a estrutura de transmissão de energia para também transmitir dados através de técnicas de modulação por *backscattering*, que se baseiam no descasamento proposital com a carga afim de se obter um controle sobre o nível de potência recebido. Para isso, um estudo mais completo sobre a figura de ruído e níveis de distorção do sistema será necessário.

Além disso, deseja-se estudar, também, a possibilidade de implementação de uma nova topologia para o projeto do pré-amplificador, a qual viabilize a inclusão de novos parâmetros no processo otimização da eficiência, dado o problema discutido na Seção 4.4.

Por fim, planeja-se realizar sua integração com os demais blocos do elemento transmissor da estrutura de alimentação remota, para que assim seja confirmada sua aplicabilidade em um produto real e sua possibilidade de comercialização.

Referências bibliográficas

- [1] CABRERA, F.L., SOUSA, F.R. , “Contribuições à Otimização da Eficiência na Transferência de Energia Sem-fio para Dispositivos Eletrônicos Miniaturizados,” *Tese de Doutorado*, 2016.
- [2] Maxim Integrated , “High-Efficiency Class D Audio Amplifiers Extend Battery Life in Portable Applications,” *Maxim Integrated Application Note 1760*, 2010.
- [3] AMAR, A.B.; KOUKI, A.B.; CAO, H., “Power Approaches for Implantable Medical Devices,” *Sensors 2015*, 15, 28889–28914, 2015.
- [4] CABRERA, F.L.; SOUSA, F.R., “A 25-dBm 1-GHz Power Amplifier Integrated in CMOS 180nm for Wireless Power Transferring,” *Proceedings of the 28th Symposium on Integrated Circuits and Systems Design – SBCCI’15*, 2015.

- [5] GONZALEZ, G., *Microwave Transistor Amplifiers: Analysis and Design*, 2nd ed. Prentice Hall, 1996.
- [6] HONDA, J.; ADAMS, J., “Class D Audio Amplifier Basics,” *Infineon Technologies Application Note AN-1071*, 2005.
- [7] JAEGER, R.; BLALOCK, T., *Microelectronic Circuit Design*, 4th ed. McGraw-Hill, 2010.
- [8] LEE, H.S.; PERROTT, M.H., “High Speed Communication Circuits: Lecture 18 - ABC’s of Power Amplifiers,” *MIT Open Course Ware Lecture Notes*, 2005.
- [9] MARTINS, G.C.; SOUSA, F.R., “Sensor de Temperatura Integrado Alimentado por RF,” *Dissertação de Mestrado*, 2013.
- [10] Maxim Integrated, “Class D Amplifiers: Fundamentals of Operation and Recent Developments,” *Maxim Integrated Application Note 3977*, 2007.
- [11] MEDEIROS, Y.; LIMA, R.; SOUSA, F.R., “RF Amplifier with Automatic Impedance Matching System,” *Proceedings of the IEEE Second Latin American Symposium on Circuits and Systems (LASCAS’11)*, pp. 1-4, 2011.
- [12] ROGERS, J.W.; PLETT, C., *Radio Frequency Integrated Circuit Design*, 2nd ed. Artech House, 2010.
- [13] SAARI, V.; JUURAKKO, P.; RYYNANEN, J.; HALONEN, K., “Integrated 2.4 GHz Class-E CMOS Power Amplifier,” *Radio Frequency integrated Circuits (RFIC) Symposium, Digest of Papers*, pp. 645-648, 2005.

-
- [14] SARKAR, T.K.; MAILLOUX, R.; OLINER, A.; PALMA, M.S.; SENGUPTA, D.L., *History of Wireless*, 1st ed. John Wiley & Sons, 2006.
- [15] SHIM, S.; HONG, S., “A 1-W, 800-MHz, Switch-mode CMOS RF Power Amplifier Using an On-Chip Transformer with Double Primary Sides,” *RWS Dig.*, pp. 538-541, 2009.
- [16] TSAI, K-C.; GRAY, P., “A 1.9-GHz, 1-W CMOS Class-E Power Amplifier for Wireless Communications,” *IEEE Journal of Solid-State Circuits*, Vol. 34, no. 7, pp. 962-970, 1999.
- [17] YOO, C.; HUANG, Q., “A Common-Gate Switched 0.9-W Class-E Power Amplifier with 41% PAE in 0.25-um CMOS,” *IEEE Journal of Solid-State Circuits*, Vol. 36, no. 5, pp. 823-830, 2001.

