



UNIVERSIDADE FEDERAL DO RIO GRANDE DO NORTE
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA



VCO Banda Larga Integrado para Receptor a Cinco Portas

Francisco de Assis Brito Filho

Orientador: Prof. Dr. Fernando Rangel de Sousa

Proposta de Dissertação de Mestrado
apresentada ao Programa de Pós-Graduação
em Engenharia Elétrica da UFRN (área de
concentração: Engenharia de Computação)
como parte dos requisitos para obtenção do
título de Mestre em Ciências.

Natal, RN, setembro de 2009

VCO Banda Larga Integrado para Receptor a Cinco Portas

Francisco de Assis Brito Filho

Dissertação de Mestrado aprovada em 03 de setembro de 2009 pela banca examinadora
composta pelos seguintes membros:

Prof. Dr. Fernando Rangel de Sousa (orientador) DEE/UFRN

Prof. Dr. Robson Nunes de Lima DEE/UFBA

Prof. Dr. Vincent Patrick Marie Bourguet DEE/UFMG

Prof. Dr. José Alberto Nicolau de Oliveira DEE/UFRN

*Aos meus pais, a minha esposa e a
minha irmã, que sempre me
apoiaram nesta caminhada.*

Agradecimentos

A minha esposa Nadja, que me apoiou o tempo inteiro, me deu forças nos momentos difíceis e soube entender as muitas horas que eu estive ausente em prol do mestrado.

Aos meus pais Francisco de Assis Brito e Vilma Solano Benevides Brito, que sempre acreditaram em mim e me apoiaram ao longo de toda a minha vida acadêmica.

A minha irmã Mônica, pela sua companhia durante muitos anos e pelo seu carinho incondicional.

Ao meu amigo Weykmy, que me apresentou o mundo do radioamadorismo quando estávamos na sétima série.

Ao meu orientador, professor Fernando Rangel de Sousa, que desde o primeiro momento apostou em mim e me deu a chance de trabalhar com pesquisa, desde a graduação até o mestrado. Me deu a oportunidade de trabalhar em projetos de pesquisa do estado da arte na área que eu sempre quis desde os tempos de criança: circuitos para comunicação. Agradeço pela sua orientação neste mestrado, mostrando os rumos que eu deveria seguir para que este trabalho pudesse ter um valor científico.

Aos colegas de pós-graduação: Aduino, Jody e Pedro, por compartilharem comigo os maus e bons momentos desta nossa jornada.

Aos companheiros do Laboratório de Microeletrônica e Sistemas Embarcados.

A Pedro, pelo auxílio com o modelo do correlator a cinco portas.

A Antonio, pela ajuda com o Layout.

Aos companheiros da banda silicium.

Ao CNPq, pelo apoio financeiro.

Resumo

Este trabalho apresenta um VCO anel banda-larga para ser utilizado em receptores para Rádio Cognitivo baseados no correlator a cinco portas. Uma arquitetura diferencial de três estágios com porta de transmissão é utilizada como forma de manter uma sintonia linear em larga faixa de frequências, bem como, um baixo ruído de fase. Análises de Monte-Carlo foram feitas para avaliar as variações de fase em cada estágio, o que constitui uma figura de mérito importante em receptores baseados no correlator de cinco portas. Observou-se correspondência razoavelmente linear entre tensão de controle e frequência de oscilação na faixa compreendida entre 200 MHz e 1800 MHz. O VCO foi preliminarmente projetado para tecnologia CMOS IBM de 130 nanômetros.

Palavras-chave: Rádio Cognitivo, Rádio Definido por Software, Cinco Portas, Receptores RF, Receptores banda-larga, Osciladores banda-larga, VCO Anel.

Abstract

This work presents an wideband ring VCO for cognitive radio five-port based receivers. A three-stage differential topology using transmission gate was adopted in order to maintain wide and linear tuning range and a low phase-noise. Monte-Carlo analysis were performed for phase-shift response of individual stages, which is an important figure of merit in five-port works. It was observed a fairly linear correlation between control voltage and oscillation frequency in the range between 200 MHz and 1800 MHz. The VCO was preliminarily designed for IBM 130nm CMOS technology.

Keywords: Cognitive Radio, Software Defined Radio, Five-Port, RF Receivers, Wide-Band Receivers, Wide-Band Oscillators, Ring VCO.

Sumário

Sumário	i
Lista de Figuras	iii
Lista de Tabelas	v
Lista de Símbolos e Abreviaturas	vi
1 Introdução	1
1.1 Requisitos para um sistema de Rádio Cognitivo	2
1.2 Organização deste documento	4
2 Receptores de RF	5
2.1 Tipos de Receptores	6
2.2 Receptores homódinos	8
2.2.1 Distorção em receptores homódinos	8
2.3 Receptor homódino baseado no Correlator a Cinco Portas	13
3 Osciladores	16
3.1 Revisão sobre a teoria de osciladores	17
3.2 Oscilador Anel	19
3.2.1 A célula de atraso	19
3.2.2 Frequência de Oscilação	19
3.2.3 Inicialização e critério de oscilação	19
3.2.4 Tipos de Osciladores Anel	20
3.3 Oscilador Controlado por Tensão	24
4 VCO Anel Banda Larga	26
4.1 Considerações de Arquiteturas	27
4.2 Análise do Latch Diferencial	29
4.3 Análise da Porta de Transmissão	31

4.4	Layout	33
5	Resultados	35
5.1	Faixa de frequências sintonizável	36
5.2	Ruído de Fase	39
5.3	Simulações Estatísticas	40
6	Conclusões e Perspectivas	43
	Referências bibliográficas	45
A	Códigos-fonte	47
A.1	Bancos de testes e Modelos do Capítulo 2	47
A.1.1	Banco de teste do receptor IQ	47
A.1.2	Banco de teste do receptor a cinco portas	48
A.1.3	Modelo VHDL-AMS para extração das componentes I e Q a partir das saídas do correlator a cinco portas	50
A.2	Bancos de testes e Modelos do Capítulo 4	52
A.2.1	Banco de teste para extração da resistência efetiva da porta de transmissão	52
A.3	Bancos de testes do Capítulo 5	53
A.3.1	Código SPICE da célula de atraso	53
A.3.2	Banco de teste da faixa de frequências sintonizável do VCO	53
A.3.3	Banco de teste do ruído de fase do VCO	54
A.3.4	Banco de teste para simulações estatísticas da variabilidade de fase do VCO	55
B	Artigo aceito para publicação no ICCAS 2009	56

Lista de Figuras

1.1	Diagrama de blocos de um RDS ideal	2
1.2	Diagrama de blocos de um RDS com uma interface de rádiofrequência	3
2.1	Figura ilustrativa de uma translação em frequência utilizando arquitetura heteródina	6
2.2	Figura ilustrativa de uma translação em frequência utilizando arquitetura homódina	6
2.3	Diagrama de blocos resumido de um receptor homódino em quadratura	8
2.4	Diagrama ilustrativo de um sistema não-linear	8
2.5	Diagrama ilustrativo de um sistema não-linear submetido a um sinal de entrada contendo dois tons e as componentes em frequência relativas aos termos de segunda ordem na saída.	10
2.6	Gráfico típico com o sinal fundamental, os produtos de intermodulação e os pontos de interceptação de segunda e terceira ordem.	10
2.7	Diagrama simplificado do banco de testes utilizado para extração da constelação de saída em um receptor homódino em quadratura.	11
2.8	Deslocamento da constelação de saída de um sinal 16-QAM devido a distorção causada pela segunda harmônica na arquitetura IQ	12
2.9	Diagrama de blocos de um receptor homódino baseado no correlador a cinco portas	13
2.10	Receptor a cinco portas	14
2.11	Figura ilustrativa do banco de testes para extração da constelação de saída em um receptor a cinco portas.	14
2.12	Constelação de saída de um sinal 16-QAM apresentando redução dos efeitos causados pela distorção de segunda ordem na arquitetura de cinco portas	15
3.1	Ilustração de um sistema realimentado negativamente	17
3.2	Casos equivalentes de defasamento que obedecem ao segundo critério de Barkhausen	18

3.3	Diagrama de um Oscilador Anel	19
3.4	Tipos de osciladores anel. (a) saída simples (b) saída diferencial.	20
3.5	Célula de atraso inversora com controle de corrente ou <i>current-starved</i>	21
3.6	Célula de atraso diferencial com cargas resistivas	22
3.7	Diagrama de bloco de um oscilador controlado por tensão	24
3.8	Gráfico para definição de um oscilador controlado por tensão	24
4.1	Célula de atraso	27
4.2	VCO anel	28
4.3	Arquitetura genérica de um circuito lógico DCVSL	29
4.4	Célula de atraso principal implementada com um latch diferencial	30
4.5	Modelo para cálculo da resistência efetiva da porta de transmissão	31
4.6	Resistência da porta de transmissão em função da tensão de controle	32
4.7	Layout da célula de atraso	33
4.8	Layout do VCO	34
5.1	Freq x Vctrl	36
5.2	Faixas de frequências sintonizável para determinados valores de W e L.	37
5.3	Ruído de Fase	39
5.4	Histogramas para saída com defasamento de 120 graus	40
5.5	Histogramas para saída com defasamento de -120 graus	41
5.6	Desvio Padrão x Vctrl	42

Lista de Tabelas

2.1	Parâmetros utilizados no banco de testes da Figura 2.7	11
5.1	Faixas de frequências obtidas para determinados valores de W/L	38

Lista de Símbolos e Abreviaturas

A/D: Conversor Analógico-Digital.

Bluetooth: Modo de comunicação para redes pessoais de curto alcance

CDMA: do inglês *Code Division Multiple Access*, ou Acesso Múltiplo por Divisão de Código

CMOS scaling: Nomenclatura utilizada para definir o avanço tecnológico dos processos de fabricação CMOS em função da diminuição das dimensões dos transistores e de seus parâmetros

CMOS: do inglês *Complementary Metal-Oxide-Semiconductor*, tecnologia que se baseia em transistores complementares de metal-óxido-semicondutor dos tipos p e n

CMRR: do inglês *Common-Mode Rejection Ratio*, uma Figura de mérito que mede a capacidade do circuito em atenuar os efeitos das variações de modo-comum

D/A: Conversor Digital-Analógico.

DC: do inglês *Direct Current*, ou corrente contínua. Define componentes cuja frequência é zero.

DCVSL: do inglês *Differential Cascode Voltage Switch Logic*, uma família de circuitos lógicos composta sempre por entradas e saídas diferenciais, com par de realimentação positiva PMOS.

DK: do inglês *Design Kit*, é um conjunto de ferramentas de projeto e de modelos fornecidos pelas *Foundries* de modo a auxiliar o projeto de circuitos integrados.

FI: Frequência intermediária.

Foundry: Termo utilizado para designar as indústrias que fabricam circuitos integrados em material semicondutor.

- GSM: do inglês *Global System for Mobile Communications*, ou Sistema Global para Comunicações Móveis.
- IIP2: do inglês *2nd-order Input Interception Point*, ou Ponto de interceptação de Segunda Ordem referenciado a entrada.
- IIP3: do inglês *3rd-order Input Interception Point*, ou Ponto de interceptação de Terceira Ordem referenciado a entrada.
- IM2: produto de intermodulação de segunda ordem.
- IM3: produto de intermodulação de terceira ordem.
- IP2: do inglês *2nd-order Interception Point*, ou Ponto de interceptação de Segunda Ordem.
- IP3: do inglês *3rd-order Interception Point*, ou Ponto de interceptação de Terceira Ordem.
- LNA: do inglês *Low Noise Amplifier*, ou Amplificador de Baixo Ruído.
- PA: do inglês *Power Amplifier*, ou Amplificador de Potência.
- PSRR: do inglês *Power Supply Rejection Ratio*, uma Figura de mérito que mede a capacidade do circuito em atenuar os efeitos das variações de tensão de alimentação
- QAM: do inglês *Quadrature Amplitude Modulation*, ou Modulação de Amplitude em Quadratura.
- RC: Rádio Cognitivo
- RDS: Rádio Definido por Software
- RF: Rádio-frequência.
- SPICE: do inglês, *Simulated Program with Integrated Circuit Emphasis*, é um programa de simulação para circuitos eletrônicos
- VCO: do inglês *Voltage Controlled Oscillator*, ou Oscilador Controlado por Tensão.
- Verilog-AMS Linguagem de descrição de circuitos e sistemas analógicos e mistos derivada da linguagem de descrição de hardware Verilog
- VFO: do inglês *Variable Frequency Oscillator*, ou Oscilador de Frequência Variável.

VHDL-AMS Linguagem de descrição de circuitos e sistemas analógicos e mistos derivada da linguagem de descrição de hardware VHDL

Capítulo 1

Introdução

Largura de banda é uma exigência para diversos tipos de serviços de comunicação, como televisão, internet ou transmissão móvel de dados via celular. Um sinal de televisão ocupa um canal de 6 MHz, o que demanda receptores banda-larga para fazer a recepção adequada do sinal. Além disso, faz-se necessário que estes receptores sejam sintonizáveis em uma larga faixa de frequências, devido à grande quantidade de canais, o que demanda um VCO (do inglês *Voltage Controlled Oscillator*, ou Oscilador Controlado por Tensão), sintonizável para esta larga faixa de frequências: um VCO banda-larga.

Estes serviços de comunicação estão caminhando para uma convergência, onde será possível ter um único receptor banda-larga capaz de sintonizar qualquer uma das faixas de frequências ou serviço desejado. Recentemente, esta característica de convergência de serviços tem ganhado atenção em um novo conceito de utilização eficiente do espectro, trata-se do Rádio Cognitivo (RC), que é uma tecnologia revolucionária a qual visa à utilização de segmentos não ocupados do espectro ao mesmo tempo em que garante os direitos de utilização dos serviços primários (serviços licenciados) para os seus usuários, a partir de uma varredura contínua do espectro [Haykin 2005].

A seção a seguir apresentará resumidamente os requisitos para um sistema de rádio cognitivo, uma aplicação do estado da arte que exige receptores banda-larga.

1.1 Requisitos para um sistema de Rádio Cognitivo

Um sistema RC pode ser construído a partir de uma plataforma de Rádio Definido por Software (RDS) [Haykin 2005]. Um RDS ideal pode ser considerado como um hardware genérico que possibilita a programação embarcada de qualquer função de um rádio, como a modulação ou demodulação, ou a implementação de qualquer padrão de comunicação (e.g. GSM, CDMA, Bluetooth) [Arslan 2007, Ismail & de Llera Gonzáles 2006]. Idealmente, este RDS seria implementado por um processador digital programável conectado à antena via conversores A/D e D/A, como está apresentado na Figura 1.1.

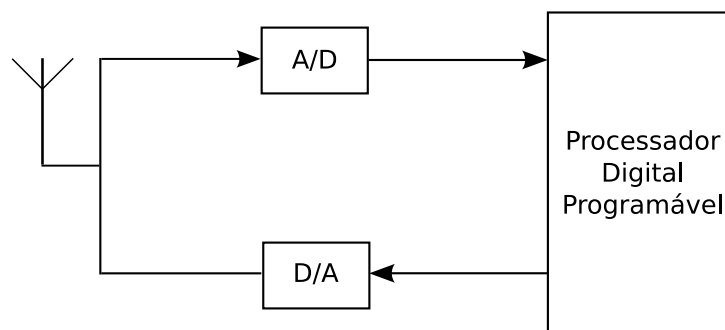


Figura 1.1: Diagrama de blocos de um RDS ideal

Um dos problemas desta arquitetura é, naturalmente, a alta frequência de amostragem dos conversores A/D e D/A, que deve ser no mínimo o dobro da frequência da portadora dos sinais de RF recebidos (Teorema de Nyquist). Além disto, os conversores necessitam de faixas dinâmicas proibitivas nos dias atuais [Ismail & de Llera Gonzáles 2006]. Estes problemas podem ser contornados parcialmente pela implementação de uma interface de rádio-frequência, que na parte de recepção, é dotado de um LNA (do inglês *Low Noise Amplifier*, ou Amplificador de Baixo Ruído), de um misturador, de um oscilador local e filtros, como pode ser visto na Figura 1.2.

A implementação de um receptor para RDS necessita atender aos seguintes requisitos:

- Banda Larga: o receptor deve ser capaz de sintonizar canais em banda larga;
- Sintonia em larga faixa de frequências: o receptor deve ser capaz de varrer uma grande faixa de frequências do espectro;
- Baixo Consumo de Potência: o receptor deve consumir pouco, de modo a permitir a sua mobilidade com uma maior durabilidade das baterias;
- Baixo Custo: o receptor deve ser de baixo custo; com otimização de área;

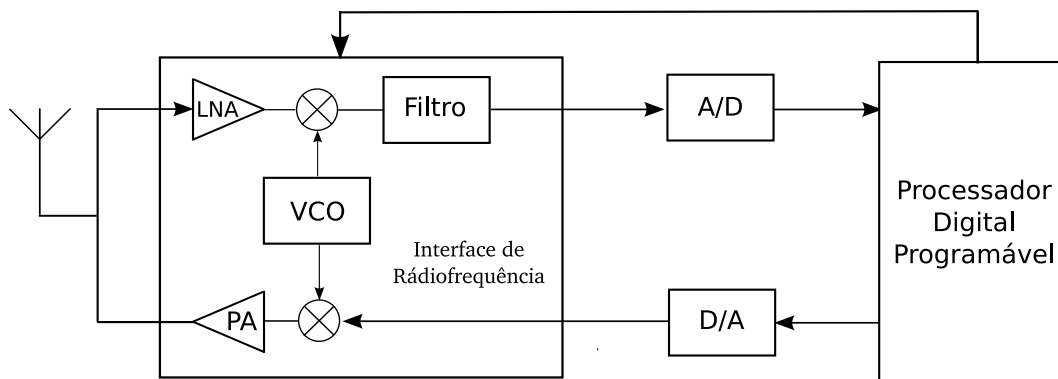


Figura 1.2: Diagrama de blocos de um RDS com uma interface de rádio-frequência

- **Flexibilidade:** o receptor deve ser flexível para atender a reprogramabilidade por software, tanto para a configuração de funções de rádio como a modulação, demodulação ou padrões de comunicação, como para a configuração de parâmetros da interface de rádio-frequência.

Estes requisitos dependem predominantemente da interface de rádio-frequência. Os requisitos de largura de banda e sintonia em larga faixa de frequências dependem especialmente do oscilador local, implementado por um VCO. O requisito da flexibilidade é atendido pela utilização de blocos de RF reprogramáveis, como filtros, amplificadores ou VCOs que possam ser programados por software, bem como, pela utilização de processadores digitais programáveis, para a implementação das funções de rádio.

Neste trabalho será dado enfoque à interface de rádio-frequência, em especial, ao VCO.

1.2 Organização deste documento

Este capítulo apresentou um breve resumo do Rádio Cognitivo e da sua implementação a partir de um Rádio Definido por Software, uma aplicação do estado da arte que exige um receptor com características de banda larga, sintonia em larga faixa de frequências, baixo consumo e baixo custo. Estas características dependem predominantemente da interface de rádiofrequência, especialmente do seu VCO, objeto principal desta pesquisa. No segundo capítulo será aprofundado o conhecimento nas arquiteturas de receptores, onde serão discutidas as implementações homódinas e heteródinas e apresentado um receptor homódino baseado no correlador a cinco portas. No capítulo 3 será dado um resumo da teoria de Osciladores, em especial do Oscilador Anel, para em seguida, no capítulo 4, ser descrito o VCO CMOS banda larga objeto desta pesquisa. No capítulo 5 serão apresentados os resultados obtidos, e por fim, no capítulo 6, serão feitas algumas conclusões.

Capítulo 2

Receptores de RF

Neste capítulo serão apresentados os tipos de receptores e alguns receptores banda-larga que tornam possível um sistema de Rádio Cognitivo.

2.1 Tipos de Receptores

Existem basicamente duas divisões de receptores: os homódinos e os heteródinos. Os primeiros se caracterizam pela conversão direta de rádio-frequência (RF) para banda-básica, já os receptores heteródinos convertem o sinal de RF para uma frequência intermediária (FI).

Em arquiteturas heteródinas, o sinal é convertido para frequências intermediárias, de modo a permitir uma melhor seletividade dos canais [Razavi 1998]. Esta conversão permite o relaxamento dos requisitos de fator de qualidade (Q) dos filtros seletores de canais. Ilustrada na Figura 2.1, esta conversão é realizada por meio de um misturador. De modo a converter a frequência central de ω_{RF} para ω_{FI} , o sinal é misturado com um sinal de frequência ω_{OL} , tal que $\omega_{OL} = \omega_{RF} - \omega_{FI}$. Este sinal é gerado pelo Oscilador Local, que pode ser implementado na forma de um VCO. ω_{FI} é a frequência intermediária.

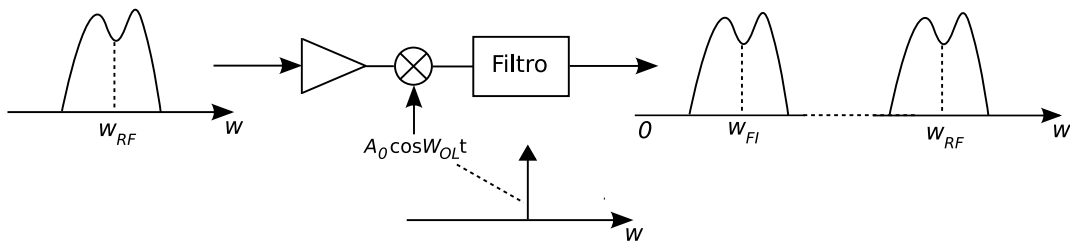


Figura 2.1: Figura ilustrativa de uma translação em frequência utilizando arquitetura heteródina

Alguns receptores heteródinos utilizam várias frequências intermediárias de modo a diminuir um problema inerente de sua arquitetura, conhecido como problema da frequência de imagem, enquanto mantém uma seletividade aceitável.

Em arquiteturas homódinas, o sinal de RF é convertido diretamente para banda-básica. Neste caso, o oscilador local possui a mesma frequência do sinal de RF.

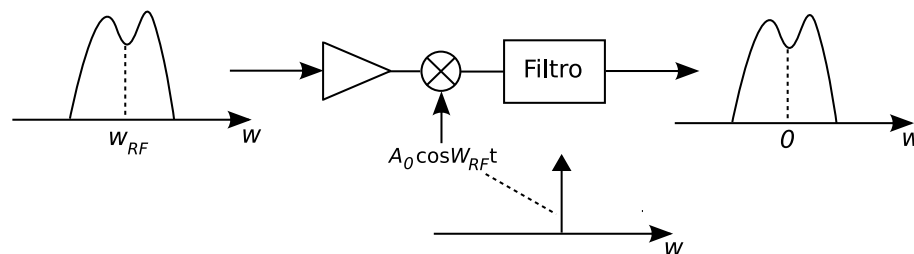


Figura 2.2: Figura ilustrativa de uma translação em frequência utilizando arquitetura homódina

De acordo com Razavi [Razavi 1998], a arquitetura homódina é mais simples e oferece mais duas importantes vantagens em relação a arquitetura heteródina. Primeiro, não há o problema da frequência de imagem, uma vez que $\omega_{FI} = 0$, e conseqüentemente, não há necessidade de filtros exclusivos para rejeição da imagem. Segundo, os filtros de FI e os estágios subsequentes de conversão com misturadores são substituídos por filtros passa-baixas e possivelmente amplificadores de banda-básica, que são facilmente integráveis. Como foi visto na seção 1.1, estas vantagens são benéficas na escolha de uma arquitetura para implementar um RDS, e conseqüentemente, um sistema RC. Por isso, será dado enfoque nas próximas seções a duas formas de implementação de arquitetura homódina, e uma delas escolhida para a implementação de um receptor banda-larga que pode ser utilizado para implementar um sistema RC.

2.2 Receptores homódinos

Uma forma clássica de implementação de receptores homódinos é em quadratura. Neste tipo de arquitetura os sinais de saída são dados com informações em fase (I) e em quadratura (Q). A Figura 2.3 apresenta esta arquitetura, que evita a perda de informação de sinais modulados em frequência e em fase nos receptores homódinos, e é mais adequada a recepção de sinais com modulação digital [Razavi 1998].

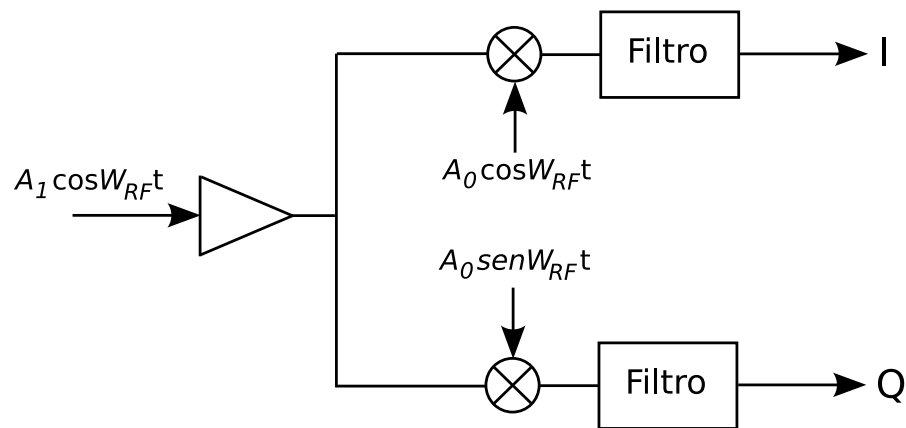


Figura 2.3: Diagrama de blocos resumido de um receptor homódino em quadratura

Um dos principais problemas dos receptores homódinos clássicos é a distorção de segunda ordem, que em RF pode ser medida pela Figura de mérito conhecida como IP2 - Ponto de Interceptação de Segunda Ordem. Este problema contribui para o aparecimento de um outro problema inerente dos receptores homódinos, o *offset* DC. A seguir será apresentada de forma resumida a teoria básica para a compreensão destes problemas.

2.2.1 Distorção em receptores homódinos

A distorção em circuitos eletrônicos é causada devido à natureza não-linear dos dispositivos. Para entender este fenômeno, considere o sistema da Figura 2.4.

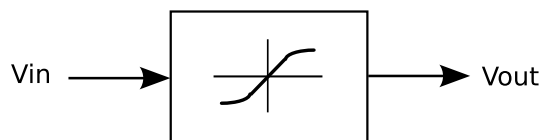


Figura 2.4: Diagrama ilustrativo de um sistema não-linear

Para simplificar a análise, será considerado que este sistema é sem memória e variante no tempo¹, podendo ser modelado pela expansão em série de potência, dada por 2.1.

$$v_{out} = k_0 + k_1 v_{in} + k_2 v_{in}^2 + k_3 v_{in}^3 + \dots \quad (2.1)$$

Para descrever a não-linearidade do sistema com uma boa precisão, faz-se necessário um número infinito de termos, porém, em circuitos práticos, os primeiros três termos são suficientes para caracterizar o circuito com uma boa fidelidade [Rogers & Plett 2003].

Uma forma comumente utilizada para caracterizar a não-linearidade de um circuito é o teste de dois tons. Este teste consiste em aplicar dois sinais de frequências diferentes ao circuito não-linear.

$$v_{in} = v_1 \cos \omega_1 t + v_2 \cos \omega_2 t = X_1 + X_2 \quad (2.2)$$

Substituindo o sinal de 2.2 em 2.1, usando-se os três primeiros termos da série de potência dependentes de frequência e mais o termo DC, temos:

$$v_{out} = k_0 + k_1 (X_1 + X_2) + k_2 (X_1 + X_2)^2 + k_3 (X_1 + X_2)^3 \quad (2.3)$$

$$v_{out} = k_0 + k_1 (X_1 + X_2) + k_2 (X_1^2 + 2X_1X_2 + X_2^2) + k_3 (X_1^3 + 3X_1^2X_2 + 3X_1X_2^2 + X_2^3) \quad (2.4)$$

Estes termos podem ser desmembrados em vários componentes de frequência. Nesta análise serão levados em consideração os termos de segunda ordem. Para o termo X_1^2 temos um componente DC e outro na segunda harmônica do sinal de entrada:

$$X_1^2 = (v_1 \cos \omega_1 t)^2 = \frac{v_1^2}{2} (1 + \cos 2\omega_1 t) \quad (2.5)$$

Os termos de segunda ordem podem então ser expressos por:

$$(X_1 + X_2)^2 = X_1^2 + 2X_1X_2 + X_2^2 \quad (2.6)$$

onde os termos X_1^2 e X_2^2 , como pode-se notar a partir de 2.5, possuem um componente DC e outro na segunda harmônica; e o termo $2X_1X_2$ é conhecido como produto de intermodulação de segunda ordem (IM2), e possui componentes na soma e na diferença das frequências de entrada ω_1 e ω_2 , ou seja, apresenta componentes nas frequências $\omega_1 \pm \omega_2$

¹Para modelar um sistema não-linear com memória e invariante no tempo é necessário o uso de Séries de Volterra [Rogers & Plett 2003]

e $\omega_2 \pm \omega_1$. A Figura 2.5 ilustra estas componentes na saída de um sistema não-linear submetido ao teste de dois tons.

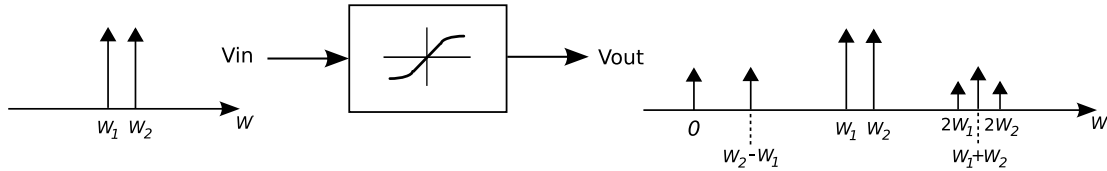


Figura 2.5: Diagrama ilustrativo de um sistema não-linear submetido a um sinal de entrada contendo dois tons e as componentes em frequência relativas aos termos de segunda ordem na saída.

Parâmetros frequentemente utilizados para caracterizar a não-linearidade de um receptor são o ponto de interceptação de segunda ordem (IP2) e o ponto de interceptação de terceira ordem (IP3), que quantificam a não-linearidade de segunda e terceira ordem, respectivamente. A Figura 2.6 apresenta um gráfico típico com o sinal fundamental, os produtos de intermodulação e os pontos de interceptação de segunda e terceira ordens (IIP2 e IIP3 são os pontos de interceptação de segunda e terceira ordens referenciados à entrada, do inglês *input interception point*).

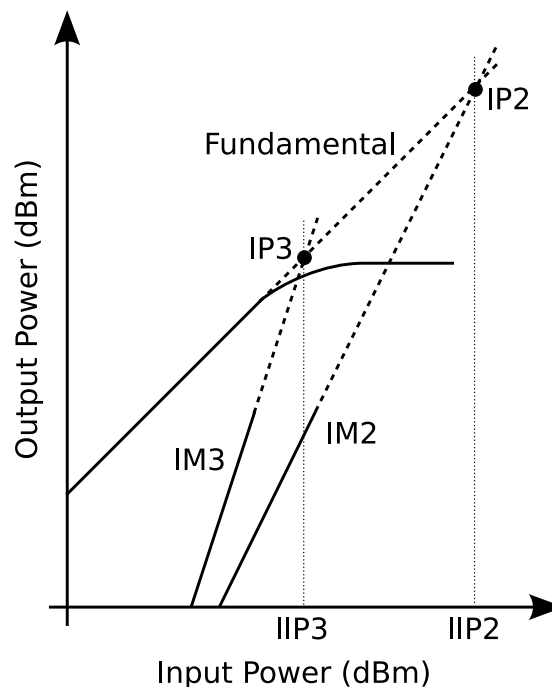


Figura 2.6: Gráfico típico com o sinal fundamental, os produtos de intermodulação e os pontos de interceptação de segunda e terceira ordem.

Um banco de testes foi utilizado para demonstrar o que estes problemas causam no sinal recebido por um receptor homódino em quadratura. A Figura 2.7 apresenta um diagrama simplificado deste banco de testes. Nesta figura, um sinal de RF com modulação 16-QAM e sinais do oscilador local defasados em 90 graus foram usados como estímulos de entrada para o modelo comportamental do receptor em quadratura, e a constelação de saída foi extraída a partir dos sinais I e Q. O sinal 16-QAM, assim como os blocos que compõem o receptor em quadratura, foram gerados a partir de modelos comportamentais em verilog-AMS. O banco de testes foi implementado em SPICE e simulado com o AdvanceMS e Eldo-RF. A tabela 2.1 apresenta os parâmetros utilizados no banco de teste para o sinal 16-QAM, para os misturadores e para o oscilador local.

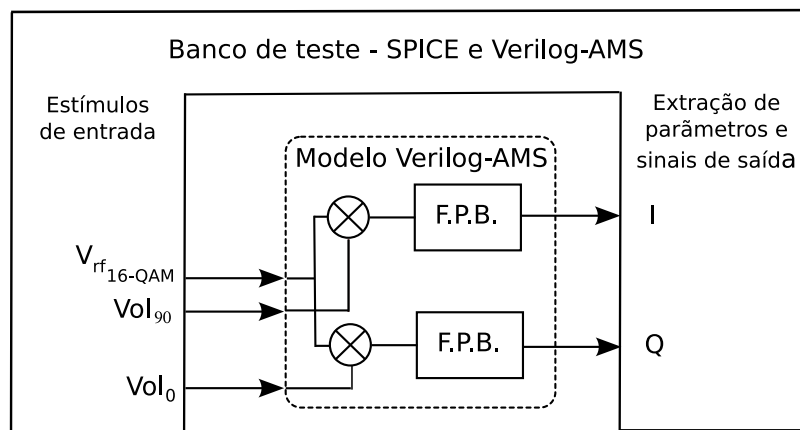


Figura 2.7: diagrama simplificado do banco de testes utilizado para extração da constelação de saída em um receptor homódino em quadratura.

Potência do sinal de RF (dBm)	-20
Potência do sinal do Oscilador Local (dBm)	0
Frequência (MHz)	1000
IIP2 dos Misturadores (dBm)	-20 a 20
IIP3 dos Misturadores (dBm)	5

Tabela 2.1: Parâmetros utilizados no banco de testes da Figura 2.7

A constelação do sinal de saída do receptor é apresentada na Figura 2.8, a qual apresenta um deslocamento da constelação em função da diminuição do IIP2. Este deslocamento é causado pelo termo DC devido à não-linearidade de segunda-ordem, apresentado anteriormente. Note também que quanto menor o IIP2, mais distorcida é a constelação de saída do sinal 16-QAM. Isto se deve ao fato que, quanto menor o IIP2, maior será a

influência da harmônica e do produto de intermodulação de segunda-ordem, o que causa uma maior distorção do sinal de saída.

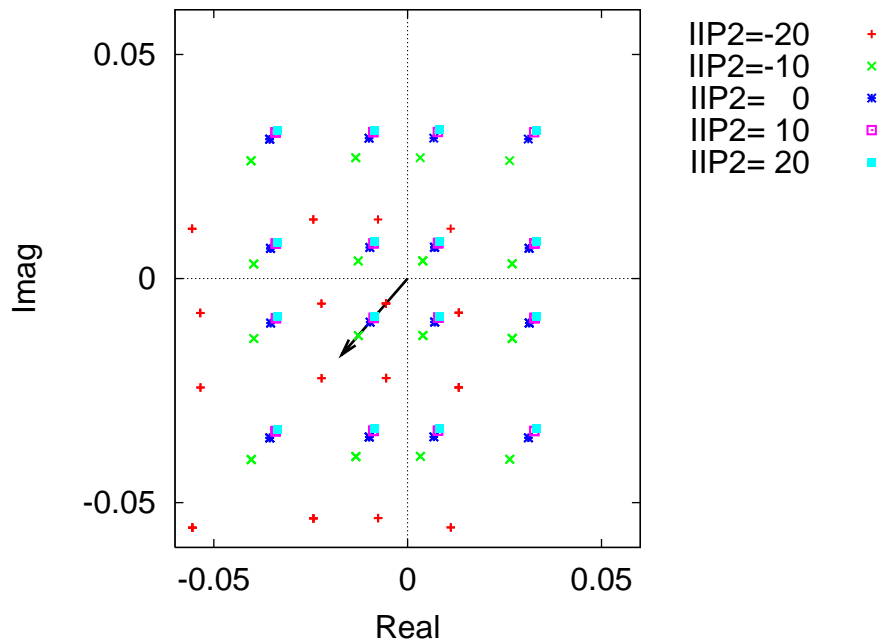


Figura 2.8: Deslocamento da constelação de saída de um sinal 16-QAM devido a distorção causada pela segunda harmônica na arquitetura IQ

Na seção a seguir será apresentada uma arquitetura que propõe atenuar estes problemas. Trata-se de um receptor homódino baseado no correlator a cinco portas.

2.3 Receptor homódino baseado no Correlator a Cinco Portas

O receptor a cinco portas é um circuito que possui três blocos básicos: um gerador de bases vetorial², um conversor de frequência e um processador digital de sinais [de Sousa & Huyart 2008]. O gerador de bases vetoriais deve fornecer três sinais defasados em 120 graus. O conversor de frequência converte o sinal RF na entrada em três sinais banda-básica, proporcionais às projeções do sinal de RF com as bases vetoriais. Após convertidos do domínio analógico para o digital, os sinais $V_1(n)$, $V_2(n)$ e $V_3(n)$ são processados digitalmente de modo a se obter as suas componentes em fase e em quadratura ($I(n)$ e $Q(n)$) do sinal RF na entrada. A Figura 2.9 apresenta a arquitetura clássica de um receptor baseado no correlator de cinco portas [de Sousa & Huyart 2008].

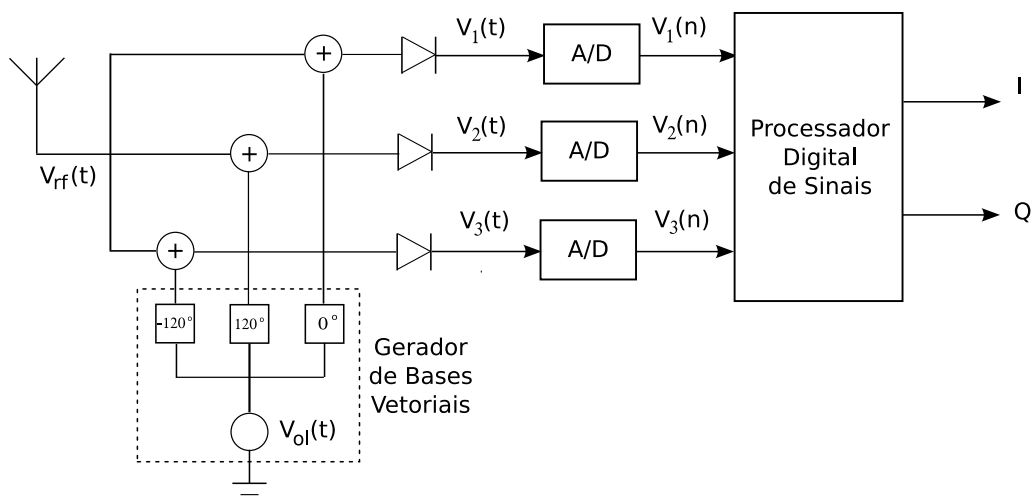


Figura 2.9: Diagrama de blocos de um receptor homódino baseado no correlator a cinco portas

Neste trabalho é proposta uma arquitetura que utiliza misturadores como conversores de frequência e um VCO anel como gerador de bases vetoriais. Este tipo de VCO gera as bases vetoriais sem a necessidade de circuitos adicionais, como será apresentado no capítulo 4. O processamento digital pode ser implementado via software no contexto de um RDS, sem a necessidade de um processador digital de sinais dedicado a esta operação. A Figura 2.10 apresenta esta arquitetura.

²O uso do termo "bases vetoriais" não está rigorosamente correto, uma vez que o grupo de vetores contém, neste caso, três vetores linearmente dependentes. Contudo, é usado neste trabalho para melhor compreensão do leitor

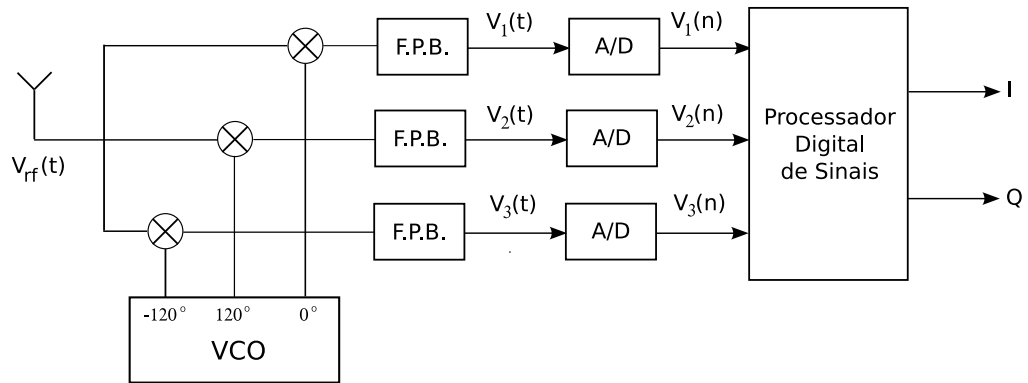


Figura 2.10: Receptor a cinco portas

As componentes do envelope complexo I e Q são calculadas a partir da soma ponderada das tensões medidas nas saídas do correlator a cinco portas:

$$I(n) = a_i.V_1(n) + b_i.V_2(n) + c_i.V_3(n) \quad (2.7)$$

$$Q(n) = a_q.V_1(n) + b_q.V_2(n) + c_q.V_3(n) \quad (2.8)$$

As constantes de ponderação são obtidas por um dos diversos métodos de calibração de correladores a 5 e 6 portas disponíveis [de Sousa et al. 2004, Neveux et al. 2004], podendo ser obtidas antes ou durante a operação do receptor.

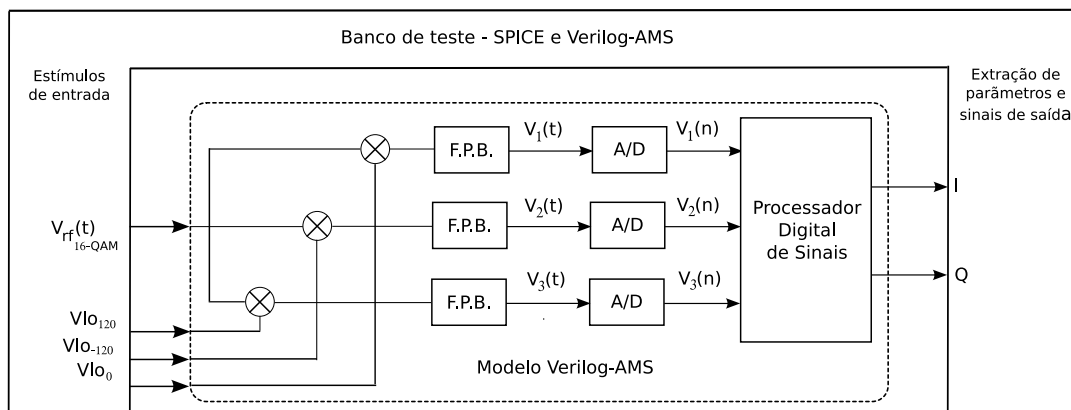


Figura 2.11: Figura ilustrativa do banco de testes para extração da constelação de saída em um receptor a cinco portas.

Um banco de testes semelhante ao utilizado para o receptor em quadratura foi utilizado para o receptor a cinco portas. A Figura 2.11 apresenta o banco de teste, que consistiu em

injetar-se um sinal de RF com modulação 16-QAM e sinais do oscilador local defasados em 120 graus como estímulos de entrada para o modelo comportamental do receptor a cinco portas, assim como, extrair a constelação de saída a partir dos sinais I e Q. O sinal 16-QAM e os blocos que compõem o receptor a cinco portas foram gerados a partir de modelos comportamentais em verilog-AMS. O banco de testes foi implementado em SPICE e simulado com o ADVanceMS e Eldo-RF. Os parâmetros utilizados foram os mesmos do banco de testes utilizado no receptor em quadratura, resumidos na tabela 2.1.

A constelação do sinal de saída do receptor é apresentada na Figura 2.12. Diferentemente da arquitetura em quadratura, a constelação do sinal de saída não se desloca, mas sim, mantém-se centrada em 0.

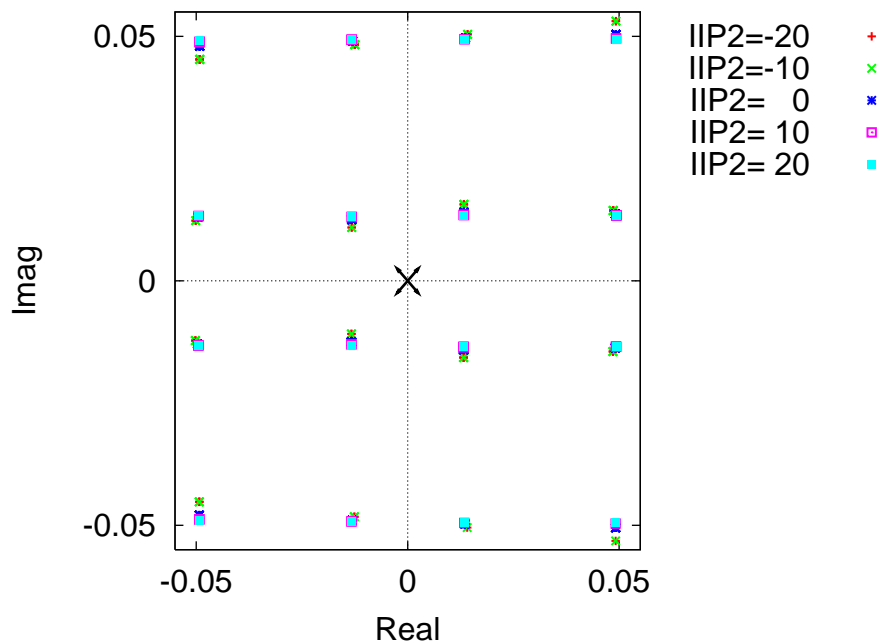


Figura 2.12: Constelação de saída de um sinal 16-QAM apresentando redução dos efeitos causados pela distorção de segunda ordem na arquitetura de cinco portas

Além disso, a arquitetura de cinco portas possui uma maior imunidade aos sinais interferentes que podem causar estas distorções [Neveux et al. 2004].

Capítulo 3

Osciladores

Nos capítulos anteriores foi construída a base para a recepção de sinais de banda larga. Foram apresentadas algumas arquiteturas tradicionais de receptores e foi proposta uma arquitetura homódina modificada com uma estrutura baseada no correlator a cinco portas. Como foi visto, o receptor depende de um oscilador local com três fases distintas. Neste capítulo iremos tratar da teoria de osciladores e também justificar a utilização de um tipo especial de oscilador, o oscilador anel. Será dada a fundamentação básica do oscilador anel, bem como, apresentados os diferentes tipos de osciladores anel. Esta fundamentação será importante para o capítulo 4, onde será apresentado o VCO anel banda larga, objeto desta pesquisa.

3.1 Revisão sobre a teoria de osciladores

Um oscilador é um sistema capaz de produzir uma saída periódica sem a necessidade de estímulos de entrada [Razavi 2001]. Em osciladores eletrônicos, esta saída é normalmente em forma de tensão. De forma elementar, um oscilador pode ser implementado por um sistema realimentado de modo a apresentar comportamento instável [Lee 2003].

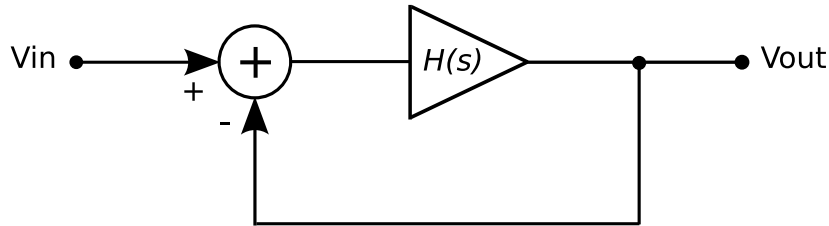


Figura 3.1: Ilustração de um sistema realimentado negativamente

Para entender o funcionamento de um oscilador, considere o sistema com realimentação negativa da Figura 3.1, que tem a seguinte função de transferência:

$$\frac{V_o}{V_i} = \frac{H(s)}{1 + H(s)} \quad (3.1)$$

Como pode ser interpretado de 3.1, se $s = j\omega_0$ e $H(j\omega_0) = -1$, então o ganho é infinito, que resulta na amplificação infinita da componente de ruído em ω_0 . Para que ocorram oscilações na frequência em que o deslocamento de fase é igual a 180 graus, em ω_0 , o módulo do ganho de malha deve ser igual ou superior a unidade. Este critério de oscilação é conhecido como o **critério de Barkhausen** e pode ser resumido pelas equações 3.2 e 3.3.

$$|H(j\omega_0)| \geq 1 \quad (3.2)$$

$$\angle H(j\omega_0) = 180^\circ \quad (3.3)$$

O segundo **critério de Barkhausen**, expresso em 3.3, pode também ser referenciado ao defasamento total do sistema. Neste caso, pode ser dito que, para que ocorram oscilações, o defasamento total do sistema deve ser múltiplo de 360 graus.

Os três casos ilustrados na figura 3.2 são equivalentes para satisfazer o segundo **critério de Barkhausen**.

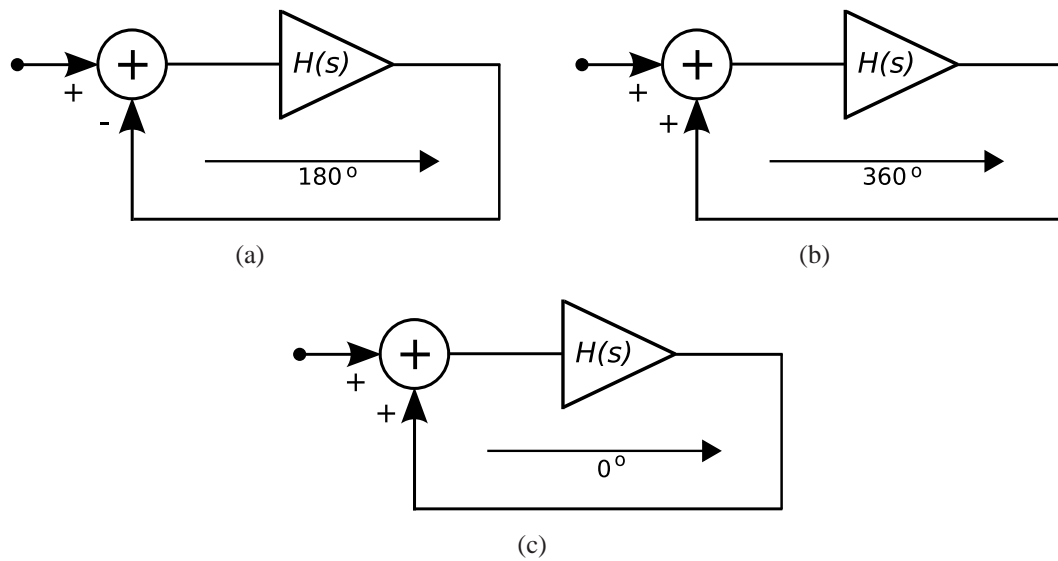


Figura 3.2: Casos equivalentes de defasamento que obedecem ao segundo **critério de Barkhausen**

O caso ilustrado na figura 3.2(a) exibe um sistema realimentado negativamente com defasamento de 180 graus. Os casos apresentados nas figuras 3.2(b) e 3.2(c) diferem no defasamento total, onde no primeiro caso existe um defasamento total de 360 graus, já no segundo caso, não existe defasamento em ω_0 .

Existem diferentes tipos e configurações disponíveis de osciladores. Em tecnologia CMOS os osciladores são implementados tipicamente por **Osciladores LC** ou **Osciladores Anel**. Dentre estes, será destacado para este trabalho um em especial: o Oscilador Anel. Este tipo de oscilador possui uma característica particular que o faz ser a escolha ideal para fazer parte de um receptor homódino baseado no correlator a cinco portas: a sua capacidade inerente de gerar as três saídas defasadas de 120 graus entre si. A seguir veremos como funciona um oscilador anel.

3.2 Oscilador Anel

Um Oscilador Anel consiste em um número de amplificadores em uma malha realimentada, como é mostrado na Figura 3.3. Note que A_0 define o ganho do amplificador e t_d o seu atraso.

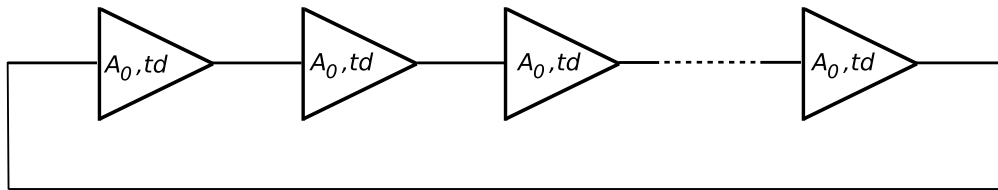


Figura 3.3: Diagrama de um Oscilador Anel

3.2.1 A célula de atraso

Uma vez que cada amplificador que compõe o oscilador anel possui um atraso característico, dado por t_d , o mesmo pode ser chamado de célula de atraso.

3.2.2 Frequência de Oscilação

Sendo t_d o atraso em cada amplificador, temos que a frequência de oscilação do oscilador anel é dada por 3.4 [Razavi 1998].

$$f_{osc} = \frac{1}{2Nt_d} \quad (3.4)$$

onde N denota o número de estágios utilizados, ou o número de células de atraso.

O número de estágios a utilizar é frequentemente determinado por especificações de consumo ou ruído de fase, porém, neste trabalho, o critério dominante é o defasamento de 120 graus das saídas, o que implica na utilização de osciladores com múltiplos de 3 estágios.

3.2.3 Inicialização e critério de oscilação

A função de transferência para um oscilador anel com número de estágios N é dada em 3.5 [Razavi 2001]:

$$H(s) = \frac{A_0^N}{\left(1 + \frac{s}{\omega_c}\right)^N} \quad (3.5)$$

onde ω_c é a frequência de corte da célula de atraso. Esta equação aglutina a função de transferência individual das células de atraso.

Um dos critérios de oscilação é a defasagem total do sistema de 360 graus. Cada estágio em um oscilador anel contribui com $\frac{360}{N}$ graus de defasamento. A frequência em que isto ocorre é dada por:

$$\omega_{osc} = \omega_c \cdot \tan\left(\frac{360}{N}\right) \quad (3.6)$$

O outro critério de oscilação é o ganho de malha fechada ser igual ou superior a unidade em ω_{osc} . Podemos calcular o ganho de tensão mínimo por célula de atraso inserindo 3.6 em 3.5. Esta operação dá a equação do mínimo ganho de tensão necessário para atender a este critério de oscilação:

$$A_0 = \sqrt{1 + \tan\left(\frac{180}{N}\right)^2} \quad (3.7)$$

3.2.4 Tipos de Osciladores Anel

Existem dois tipos principais de células de atraso para osciladores anel: com saída simples ou com saída diferencial. Estas implementações podem ser vistas na Figura 3.4.

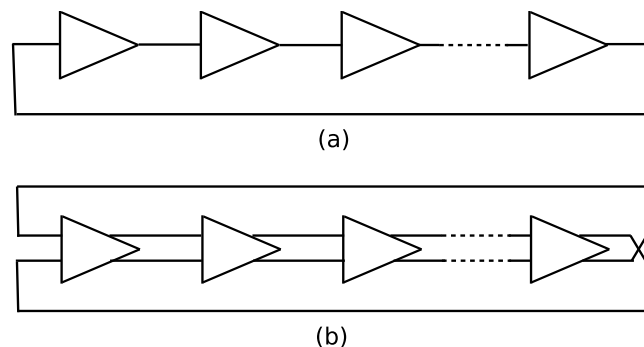


Figura 3.4: Tipos de osciladores anel. (a) saída simples (b) saída diferencial.

Saída simples

A topologia básica de um oscilador anel com saída simples consiste na utilização de um inversor CMOS como célula de atraso. A frequência de oscilação pode ser definida por 3.8 [Ali & Lee 2000].

$$f_{osc} = \frac{1}{2.N.t_D} \approx \frac{\mu_{eff}.W_{eff}.C_{ox}.\Delta V^2}{8.\eta.N.L.q_{max}} \quad (3.8)$$

onde $W_{eff} = W_n + W_p$, $\mu_{eff} = \frac{\mu_n.W_n + \mu_p.W_p}{W_n + W_p}$, q_{max} = carga máxima no nó de saída, ΔV = variação da tensão na porta do transistor, η = constante e N = número de estágios.

A equação 3.8 tem o comprimento do canal L no denominador. Consequentemente, a máxima frequência de oscilação que se pode obter é dependente do processo e a partir do *CMOS scaling* é possível alcançar frequências mais altas, devido a diminuição do comprimento mínimo do canal dos transistores.

Em um oscilador anel com saída simples o requisito de ganho é facilmente atingido pois o inversor CMOS é tipicamente um estágio de alto ganho. Para garantir a oscilação, a arquitetura com saída simples deve ser implementada com um número ímpar de inversores [Razavi 2001].

O consumo de energia nos inversores CMOS ocorre sempre na carga e descarga da capacitância equivalente de saída. Os tempos de carga e descarga definem o atraso do inversor. Uma forma de controlar os tempos de carga e descarga do inversor é adicionando dois transistores, como mostrado na figura 3.5. Com esta modificação, o atraso da célula, e consequentemente a frequência de oscilação, pode ser controlado por uma tensão de controle. Este tipo de célula de atraso com saída simples é conhecida como inversor com controle de corrente ou *current-starved*.

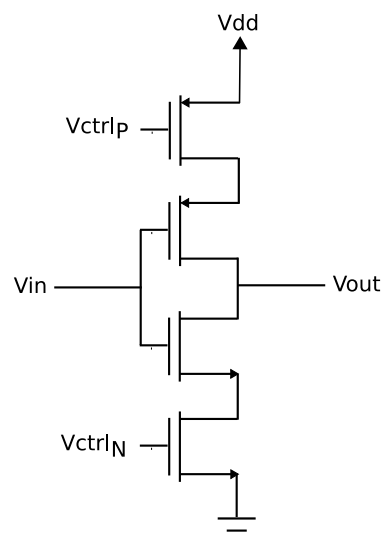


Figura 3.5: Célula de atraso inversora com controle de corrente ou *current-starved*

Se o dimensionamento dos transistores NMOS e PMOS forem feitos de modo a se obter tempos de subida e descida idênticos, o ruído de fase de um oscilador anel com saída simples pode ser expresso por 3.9 [Ali & Lee 2000].

$$L(\Delta\omega) = \frac{8}{3\eta} \cdot \frac{k.T}{P} \cdot \frac{V_{dd}}{V_{char}} \cdot \frac{\omega_0^2}{\Delta\omega^2} \quad (3.9)$$

onde V_{char} =tensão de overdrive na porta do transistor, $\Delta\omega$ =variação de frequência, ω_0 =frequência central e P =potência dissipada na carga.

Saída diferencial

Uma arquitetura utilizada para célula de atraso em um oscilador anel com saída diferencial é o circuito da figura 3.6.

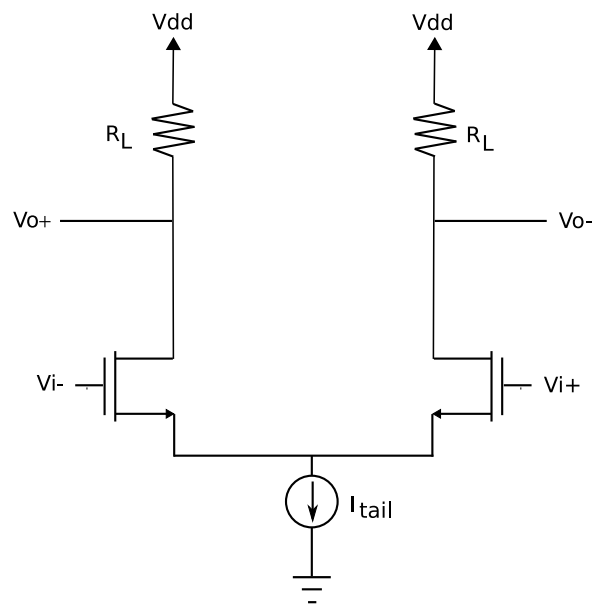


Figura 3.6: Célula de atraso diferencial com cargas resistivas

A figura 3.6 apresenta um par diferencial NMOS com cargas resistivas. O atraso da célula é dado pela carga em cada nó e pela corrente através da carga, que pode ser implementado por um resistor, como no caso apresentado na figura 3.6, calculado para uma dada frequência de oscilação. A carga também pode ser implementada com transistor PMOS, onde a frequência de oscilação pode ser sintonizada por uma tensão de controle.

A frequência de oscilação de um oscilador anel com saída diferencial pode ser expressa por 3.10.

$$f_{osc} = \frac{1}{2 \cdot N \cdot t_D} = \frac{I_{tail}}{2 \cdot \eta \cdot N \cdot q_{max}} \approx \frac{\mu_p \cdot Cox \cdot W_p \cdot (V_{ctrl} - V_{tp})^2}{2 \cdot \eta \cdot N \cdot q_{max} \cdot L_p} \quad (3.10)$$

Como pode ser visto em 3.10, a máxima frequência de oscilação para um oscilador anel com saída diferencial, assim como para o caso de saída simples, é limitada pelo processo e aumenta com a diminuição do comprimento do canal dos transistores.

O ruído de fase de um oscilador anel com saída diferencial é dado por 3.11 [Ali & Lee 2000].

$$L(\Delta\omega) \approx \frac{8}{3 \cdot \eta} \cdot N \cdot \frac{k \cdot T}{P} \cdot \left(\frac{V_{dd}}{V_{char}} + \frac{V_{dd}}{R_L \cdot I_{tail}} \right) \cdot \frac{\omega_0^2}{\Delta\omega^2} \quad (3.11)$$

3.3 Oscilador Controlado por Tensão

Até o momento foi visto que um oscilador possui uma determinada frequência de oscilação ω_{osc} . No entanto, um oscilador pode variar a sua frequência de saída. Este tipo de oscilador é conhecido como VFO, do inglês *Variable frequency oscillator*. O tipo mais comum de VFO é o oscilador controlado por tensão - VCO, do inglês *Voltage Controlled Oscillator*. Um VCO varia a sua frequência de saída por meio de uma tensão de controle de entrada. O diagrama da Figura 3.7 ilustra este tipo de oscilador.

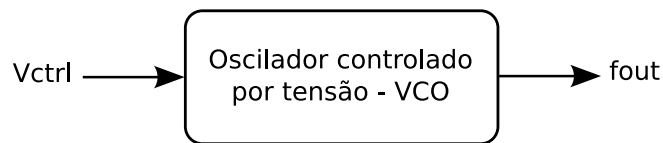


Figura 3.7: Diagrama de bloco de um oscilador controlado por tensão

Um VCO ideal varia linearmente a sua frequência de saída em função da tensão de controle em sua entrada, como apresenta o gráfico da Figura 3.8.

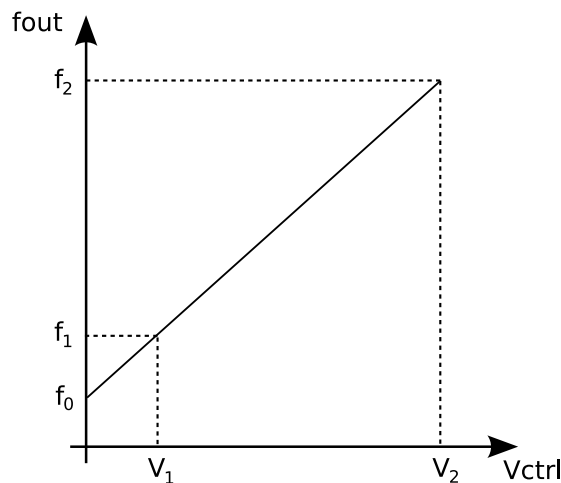


Figura 3.8: Gráfico para definição de um oscilador controlado por tensão

A equação que descreve o comportamento de um VCO é dada em 3.12.

$$f_{out} = f_0 + K_{VCO}v_{ctrl} \quad (3.12)$$

onde K_{VCO} é considerado o ganho [Razavi 1998] ou a sensibilidade do VCO, dado em Hz/V, e f_0 representa o valor da frequência de oscilação quando $V_{ctrl} = 0$. Note que, de acordo com a Figura 3.8, K_{VCO} pode ser calculado por 3.13.

$$K_{VCO} = \frac{f_2 - f_1}{V_2 - V_1} \quad (3.13)$$

No próximo capítulo serão consideradas arquiteturas para se implementar um VCO, baseadas em osciladores anel, de modo a se atender os requisitos estabelecidos no capítulo 1. Um VCO anel banda-larga para receptores baseados no correlator de cinco portas será proposto e suas características serão analisadas.

Capítulo 4

VCO Anel Banda Larga

No capítulo anterior foi feita uma breve revisão da teoria de osciladores e do funcionamento de um Oscilador Anel. Neste capítulo será aprofundado o conhecimento nas arquiteturas de osciladores anel banda larga. Um VCO para um receptor a cinco portas será proposto e suas características serão analisadas.

4.1 Considerações de Arquiteturas

Nos capítulos anteriores, foram apresentadas alguns requisitos necessários para um oscilador sintonizável em uma larga faixa de frequência e com saídas defasadas em 120 graus. Devido à capacidade inerente do oscilador anel em se obter estas saídas defasadas sem a necessidade de um circuito defasador adicional, bem como, a possibilidade de se cobrir uma larga faixa de frequências, fez deste a escolha mais adequada.

Devido à necessidade de se gerar saídas diferenciais, uma vez que as saídas do VCO estarão conectadas as entradas dos misturadores, que são diferenciais (e.g. célula de Gilbert¹), a utilização de uma célula de atraso diferencial é a escolha mais adequada, pois evita a utilização de circuitos adicionais para a conversão de saída simples em saída diferencial.

A arquitetura diferencial possui melhor PSRR e CMRR, figuras de mérito utilizadas para medir a capacidade do circuito em atenuar os efeitos das variações na tensão de alimentação (PSRR) e de modo-comum (CMRR), porém, apresenta um ruído de fase pior do que a arquitetura simples, uma vez que o ruído de fase está relacionado ao número de componentes ativos da célula de atraso [Ali & Lee 2000]. Este problema pode ser sanado utilizando-se uma arquitetura diferencial com célula de atraso saturada, que apresenta um menor ruído de fase devido à sua característica de operar em modo *full switching* [Dai & Harjani 2002], ou seja, com os transistores operando sempre na região de corte ou na região de saturação.

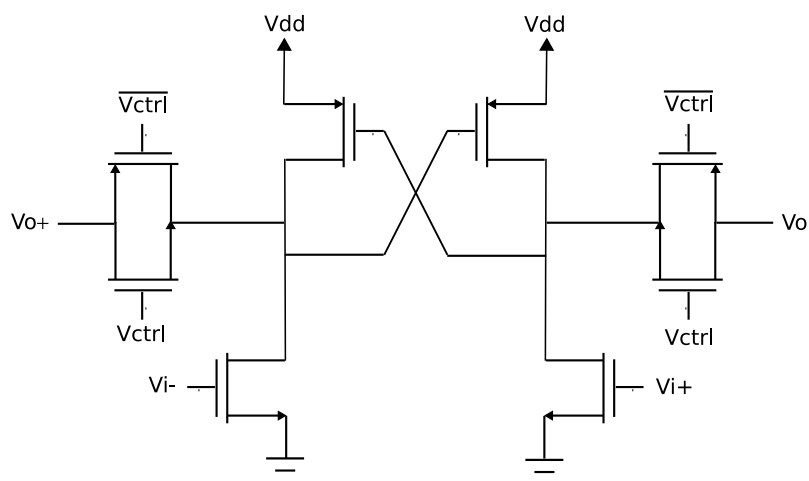


Figura 4.1: Célula de atraso

Neste trabalho, optou-se por utilizar uma arquitetura diferencial com célula de atraso

¹A célula de Gilbert é um circuito multiplicador analógico descrito por Barrie Gilbert em 1968. Este circuito relaciona a corrente de saída com a multiplicação das correntes em suas entradas diferenciais.

operando em modo *full switching*, com o objetivo de se conseguir um baixo ruído de fase. E como mecanismo de sintonia em frequência, a porta de transmissão, para se conseguir uma larga faixa de frequências sintonizáveis. A Figura 4.1 apresenta esta arquitetura.

A célula de atraso consiste em um par diferencial de entrada com transistores NMOS, um par de transistores PMOS com realimentação positiva e portas de transmissão, as quais conectam as saídas de uma célula de atraso às entradas da próxima. Podemos dividir a célula de atraso em dois blocos principais: a célula principal e o mecanismo de sintonia. A célula principal é implementada por um latch diferencial e o mecanismo de sintonia por porta de transmissão. O VCO anel, ilustrado na Figura 4.2 é implementado com três células de atraso, de modo a se obter saídas defasadas em 120 graus.

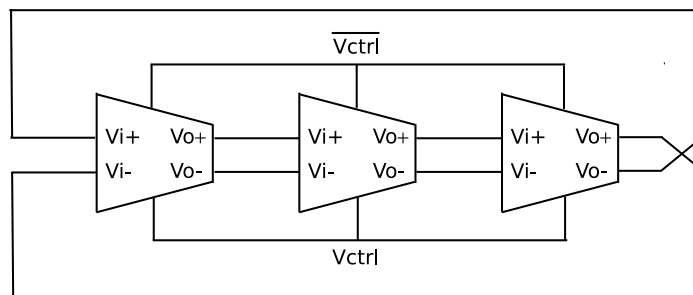


Figura 4.2: VCO anel

A seguir serão feitas análises dos dois componentes da célula de transmissão: o latch diferencial e a porta de transmissão.

4.2 Análise do Latch Diferencial

Devido à exigência dos misturadores de se gerar sinais diferenciais na saída do VCO, foi utilizada uma arquitetura diferencial para a célula de atraso. A célula diferencial possui um ruído de fase pior do que as células de atraso com saída simples, porém, é possível minimizar este problema utilizando-se uma arquitetura saturada. Neste trabalho foi escolhido um latch diferencial para implementar a célula de atraso. Este circuito tende a manter o seu estado anterior, mesmo com a presença de perturbações externas como variações na tensão de alimentação ou de modo comum, fazendo com que este possua um melhor PSRR e CMRR.

O Latch diferencial é um circuito lógico do tipo DCVSL [Weste & Harris 2005], do inglês *Differential Cascode Voltage Switch Logic*, uma família de circuitos lógicos composta por entradas e saídas diferenciais, com um par de transistores PMOS realimentados positivamente, o que força sempre a operação do circuito em modo *full switching*. Este tipo de circuito lógico utiliza sinais de entrada complementares para obter saídas complementares usando um par de rede *pull-down* NMOS, ou seja, um par de rede de circuito combinacional implementado com transistores NMOS. Com o objetivo de minimizar o ruído de fase, foi utilizada a forma mais simples de implementação da rede NMOS, com apenas um par de transistores NMOS, tornando o circuito um latch diferencial.

A Figura 4.3 apresenta um circuito lógico DCVSL genérico e a Figura 4.4 apresenta a célula de atraso principal implementada com o latch diferencial.

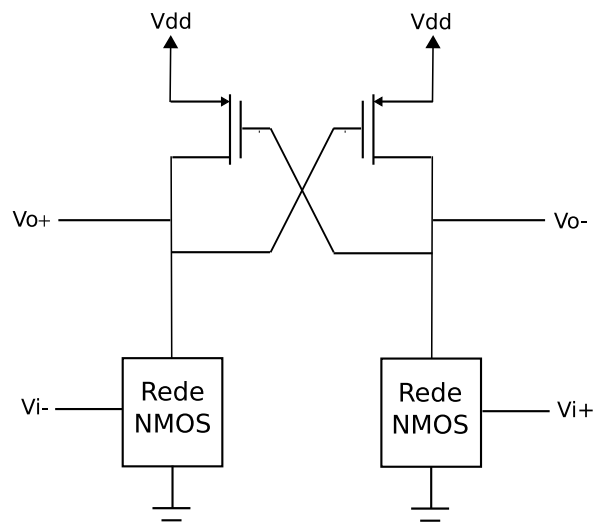


Figura 4.3: Arquitetura genérica de um circuito lógico DCVSL

Em um circuito genérico DCVSL, como mostrado na Figura 4.3, uma rede NMOS

estará sempre ligada e a outra desligada². A rede ligada coloca a saída a qual está conectada em nível lógico baixo. Este nível baixo por sua vez coloca o transistor PMOS em saturação, implicando em colocar a saída oposta em nível lógico alto. Quando a saída oposta muda para nível alto, o outro transistor PMOS é desligado, ou seja, entra na região de corte, onde ocorre a dissipação de potência estática.

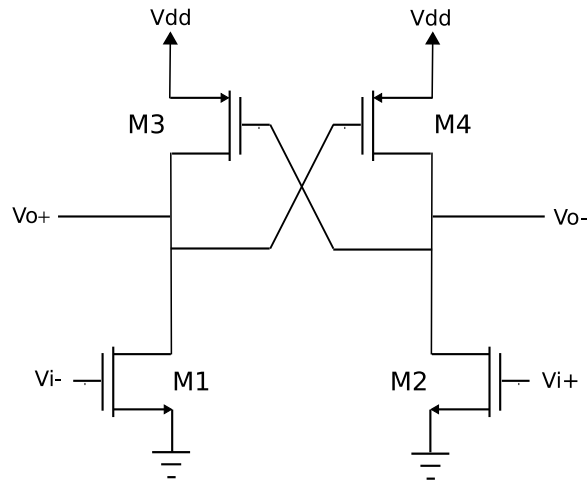


Figura 4.4: Célula de atraso principal implementada com um latch diferencial

A Figura 4.4 apresenta a célula de atraso principal, composta por um latch diferencial utilizado para implementar a lógica DCVSL. Quando $V_{i+} = '1'$, $V_{i-} = '0'$, logo M2 está ligado e M1 está desligado. Então M3 passa da região de corte para a saturação, e V_{o+} passa para nível lógico alto, ou '1', enquanto que $V_{o-} = '0'$. Quando $V_{i+} = '0'$, $V_{i-} = '1'$, logo M1 está ligado e M2 está desligado. Então M4 passa da região de corte para a saturação, e V_{o-} passa para nível lógico alto, ou '1', enquanto que $V_{o+} = '0'$. O funcionamento deste circuito descreve uma operação *full switching*, que possibilita uma melhoria no ruído de fase da célula diferencial, bem como, melhor PSRR e CMRR.

²os termos ligada e desligada são traduções do inglês *ON* e *OFF*, para designar quando os transistores estão operando nas regiões de corte ou de saturação, respectivamente

4.3 Análise da Porta de Transmissão

A porta de transmissão é a escolha mais adequada para osciladores que necessitam de sintonia em uma larga faixa de frequência [Hwang et al. 2004]. A resistência da porta de transmissão (R_{tg}) varia em função da tensão aplicada na porta dos transistores. Esta variação de sua resistência é o que permite a sua sintonia em uma larga faixa de frequências. A relação da resistência com a tensão é não-linear e devido os transistores alternarem em regiões de triodo e saturação periodicamente, o cálculo de sua resistência equivalente não é um processo direto. A Figura 4.5 mostra um modelo para cálculo da resistência da porta de transmissão, com um pulso em sua entrada e o sinal resultante na saída. Um capacitor suficientemente maior do que as capacitâncias parasitas é conectado na saída. Assumindo que este processo possui uma constante de tempo com modelo de primeira ordem e medindo o seu tempo de atraso, para um sinal na saída alcançar metade do tempo de entrada temos que a resistência efetiva é dada por:

$$R_{eff} = \frac{t_d}{C_L \cdot \ln(2)} \quad (4.1)$$

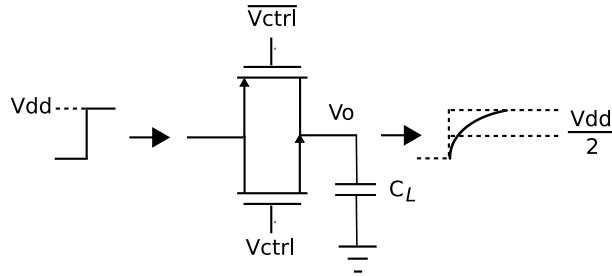


Figura 4.5: Modelo para cálculo da resistência efetiva da porta de transmissão

Por 4.1 nota-se que, fixando-se um valor para o capacitor C_L , é possível encontrar o valor de R_{eff} por simulação, calculando-se o tempo de atraso t_d .

Em Hwang et al. (2004) [Hwang et al. 2004] é proposto um método indireto para cálculo da condutância equivalente de uma porta de transmissão, dado em 4.2.

$$G_{eff} = \frac{I_{D0} \cdot V_{DD}}{2} \left(\ln(2) \left(\frac{V_{ctrl} - V_t}{V_{DD} - V_t} \right)^{\alpha^p} + \frac{(V_{ctrl} - V_t) + (V_{DD} - V_{ctrl} - V_t) \cdot \ln \left(1 - \frac{V_{ctrl} - V_t}{V_{DD}} \right)}{(V_{DD} - V_t)^{\alpha^n}} \right) \quad (4.2)$$

(for $V_t < V_{ctrl} < V_{DD}$)

onde I_{D0} é a corrente de dreno em $|V_{GS}| = |V_{DS}| = V_{DD}$ e α^p e α^n são os coeficientes

alpha-power[Sakurai 1990] para os transistores P e N, respectivamente.

A figura 4.6 apresenta a resistência efetiva da porta de transmissão em função da tensão de controle para a tecnologia CMOS IBM de 130 nanômetros utilizada neste projeto. Foram utilizados transistores N e P com dimensões mínimas ($L=0,12\mu\text{m}/W=0,16\mu\text{m}$).

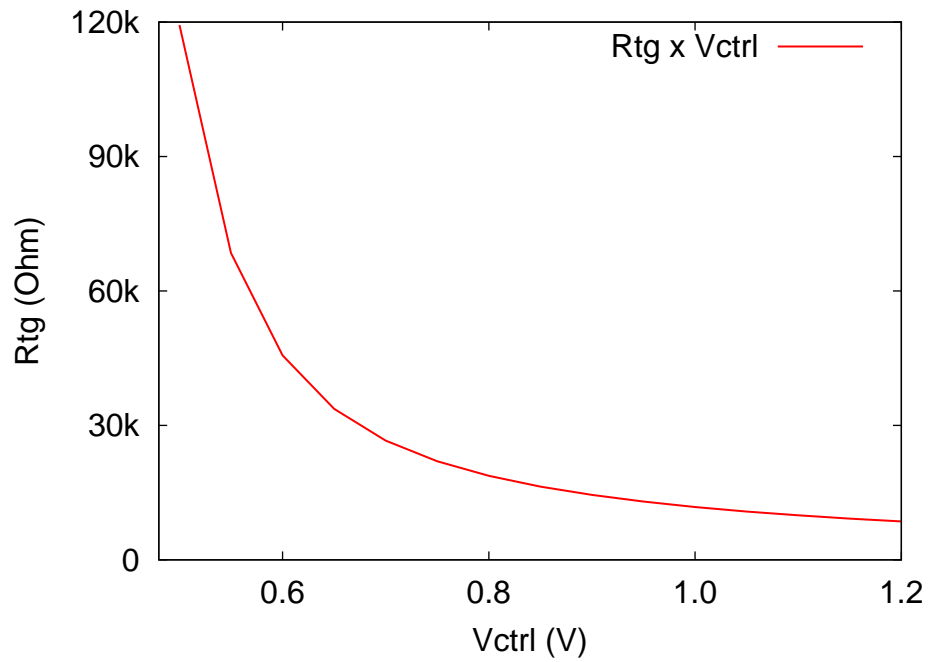


Figura 4.6: Resistência da porta de transmissão em função da tensão de controle

4.4 Layout

O layout do VCO foi elaborado utilizando-se bibliotecas de células do *Design Kit* para o processo IBM CMOS de 130 nanômetros. Além disso, algumas técnicas de layout foram utilizadas como forma de minimizar problemas de descasamento devido à variações no processo, como a técnica de centróide comum³.

A figura 4.7 apresenta o layout da célula de atraso, com os pares de transistores NMOS e PMOS utilizando a técnica de centróide comum, as portas de transmissão e as suas interconexões.

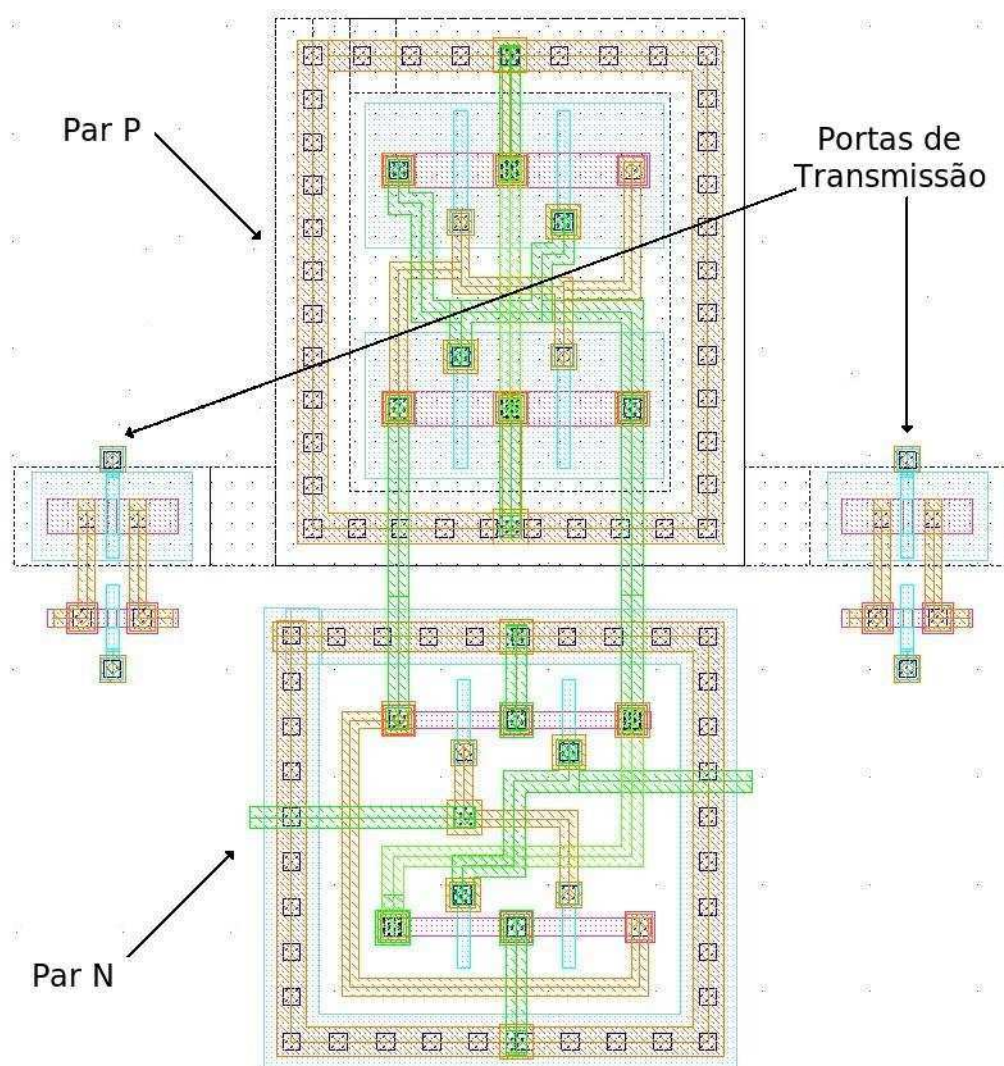


Figura 4.7: Layout da célula de atraso

³A técnica de centróide comum consiste em dividir os transistores em partes menores e dispor estas partes de forma intercalada, de modo a permitir uma exposição mais homogênea às variações de processo

Por fim, a figura 4.8 apresenta o layout completo do VCO, com os três estágios interconectados.

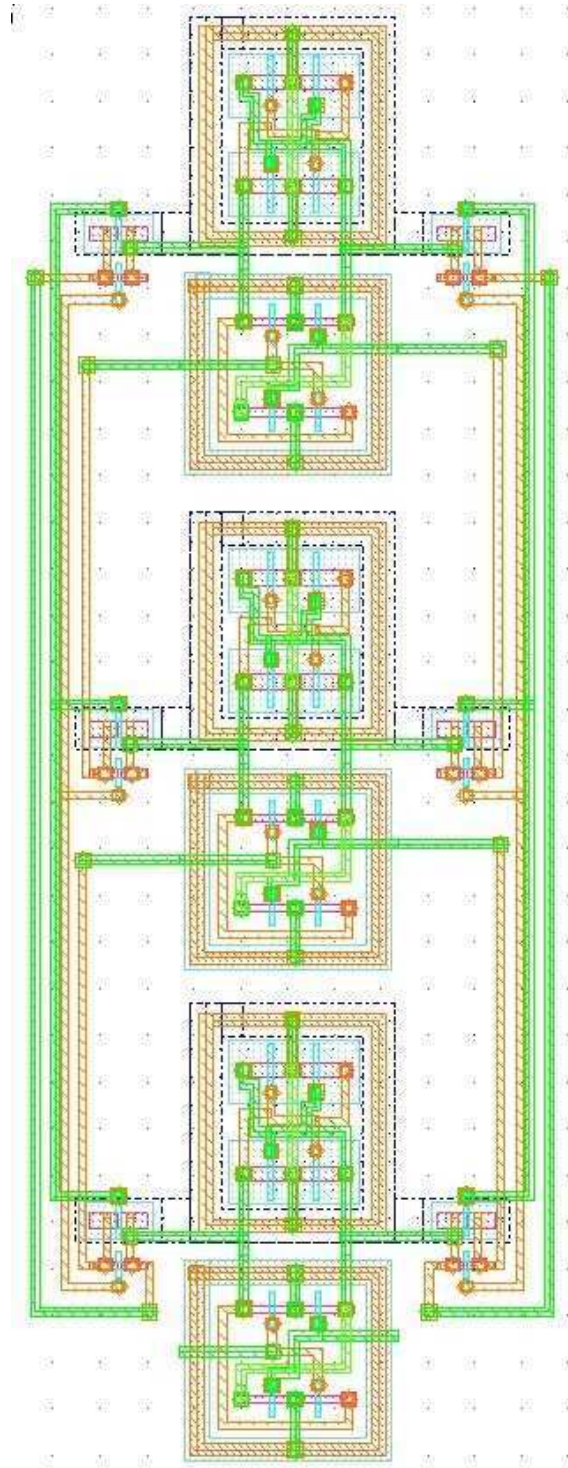


Figura 4.8: Layout do VCO

Capítulo 5

Resultados

Com o objetivo de analisar as figuras de mérito do VCO e as características importantes para a sua utilização em um receptor a cinco portas, foram utilizadas simulações RF e simulações estatísticas de Monte-Carlo com o software Eldo-RF da Mentor Graphics.

A metodologia utilizada consistiu em elaborar bancos de testes para medir a faixa de frequências sintonizável pelo VCO e o seu ruído de fase, figuras de mérito importantes para a caracterização de um VCO. Além disso, foram elaborados bancos de testes para analisar a variabilidade de fase nas saídas do VCO por meio de simulações de Monte-Carlo. Os bancos de testes foram implementados em SPICE e foram utilizados modelos implementados em Verilog-AMS para as simulações que incluíram o receptor a cinco-portas.

5.1 Faixa de frequências sintonizável

Uma das figuras de mérito importantes para um VCO é a faixa de frequências que este é capaz de sintonizar. Como foi visto no capítulo 4, para o VCO proposto neste trabalho, a variação da resistência da porta de transmissão é o que define a faixa de frequências sintonizáveis pelo VCO. Para verificar a faixa de frequências do VCO proposto no capítulo 4, foi elaborado um banco de teste que consistiu em injetar o sinal de controle V_{ctrl} variando-o de 0,5 a 1,2 Volts, com passo de 0,05 Volts, e verificando a frequência correspondente de oscilação para cada uma das tensões de controle injetadas. O resultado da simulação realizada neste banco de teste pode ser visualizado na Figura 5.1.

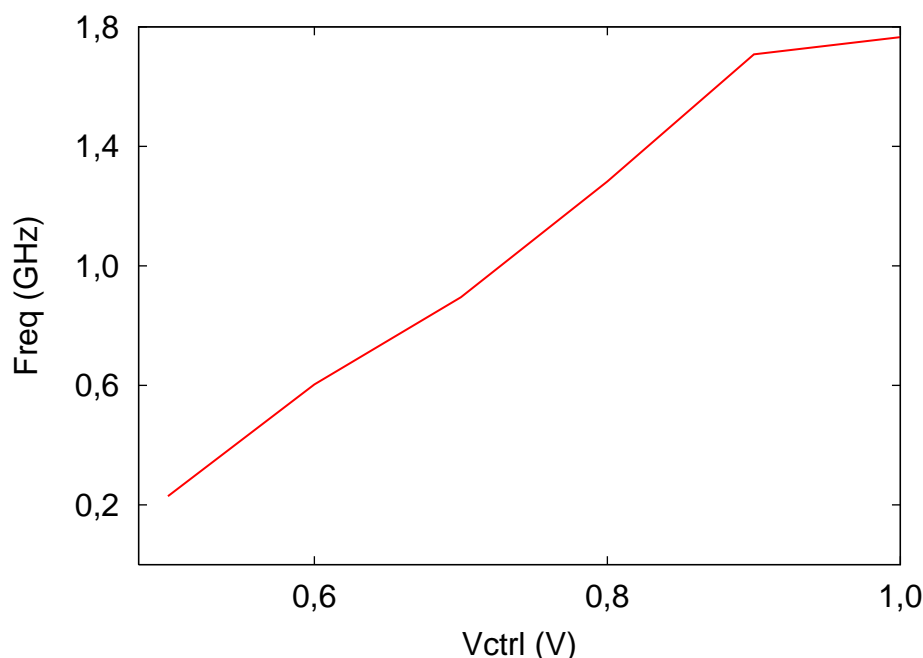


Figura 5.1: Freq x Vctrl

A figura 5.1 mostra a variação da frequência em função da tensão de controle. O VCO cobre aproximadamente uma faixa de 200 MHz a 1,8 GHz, sendo capaz de sintonizar qualquer frequência dentro desta faixa. A tensão de controle pode variar entre 0,5 e 1,0 volt. Para uma tensão de controle compreendida entre 1,0 e 1,2 Volts ocorre uma saturação, devido à proximidade da tensão de alimentação de 1,2V, o que implica em dizer que estas tensões de controle podem sintonizar a mesma frequência, não sendo necessário incluir esta faixa no gráfico da faixa de frequências do VCO. Para se conseguir esta faixa de frequências, foram utilizados os tamanhos mínimos para o comprimento e a largura do canal dos transistores permitidos pela tecnologia de 130 nm, que são

$L=0,12\mu\text{m}/W=0,16\mu\text{m}$ para os transistores N e P. Sendo assim, podemos afirmar que 1,8 GHz é a máxima frequência sintonizável utilizando esta arquitetura e esta tecnologia para o VCO.

Foi elaborado também um banco de teste para se analisar o projeto do VCO visando atingir uma determinada faixa de frequências para a tecnologia utilizada neste trabalho. O gráfico a seguir apresenta três faixas de frequências relativas ao projeto do VCO com dimensionamento mínimo, uma vez e meia maior do que o tamanho mínimo, duas vezes maior do que o tamanho mínimo e quatro vezes maior do que o tamanho mínimo permitido pela tecnologia, para as dimensões W e L dos transistores.

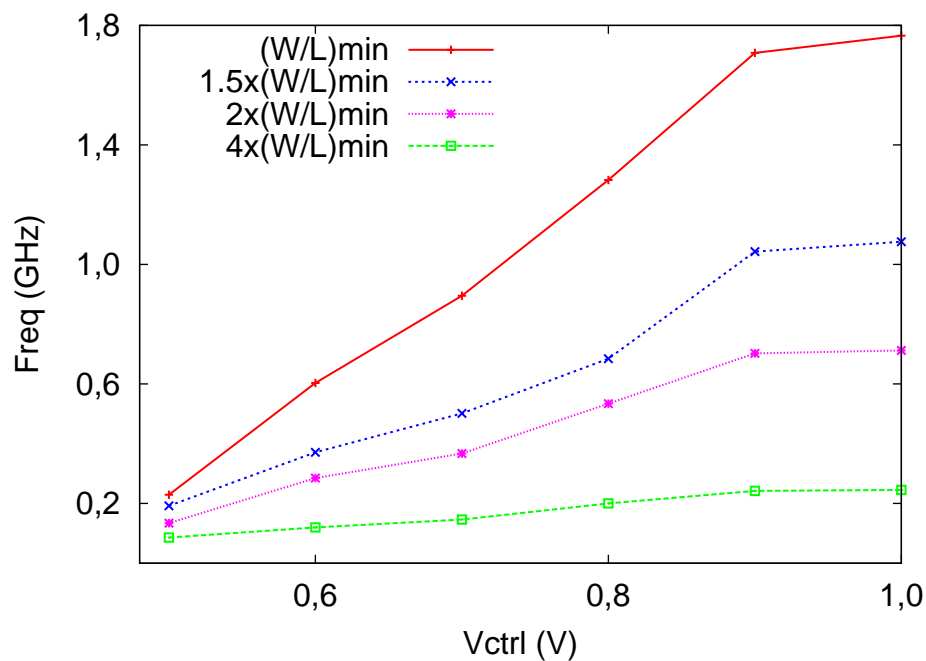


Figura 5.2: Faixas de frequências sintonizável para determinados valores de W e L.

Note que a faixa de frequências e a máxima frequência sintonizável diminui com o aumento das dimensões W e L dos transistores, para (W/L) constante e em relação aos valores de W e L mínimos permitidos para a tecnologia. A tabela 5.1 apresenta a faixa de frequências obtidas para as simulações apresentadas na figura 5.2.

Dimensões W/L (μm)	Faixa de frequências sintonizável (MHz)
$W=0,16$ e $L=0,12$	229 a 1766
$W=0,24$ e $L=0,18$	192 a 1076
$W=0,32$ e $L=0,24$	134 a 712
$W=0,64$ e $L=0,48$	120 a 238

Tabela 5.1: Faixas de frequências obtidas para determinados valores de W/L .

5.2 Ruído de Fase

Uma outra figura de mérito importante para o VCO é o ruído de fase. Para verificar o ruído de fase do VCO proposto foi implementado um banco de teste utilizando os modelos de ruído fornecidos pela *Foundry*¹, e feitas simulações com o software Eldo-RF utilizando-se funções específicas para cálculo de ruído de fase. As simulações foram feitas para a tensão de controle intermediária de 0.8 V. A figura 5.3 apresenta o ruído de fase dado em dBc/Hz.

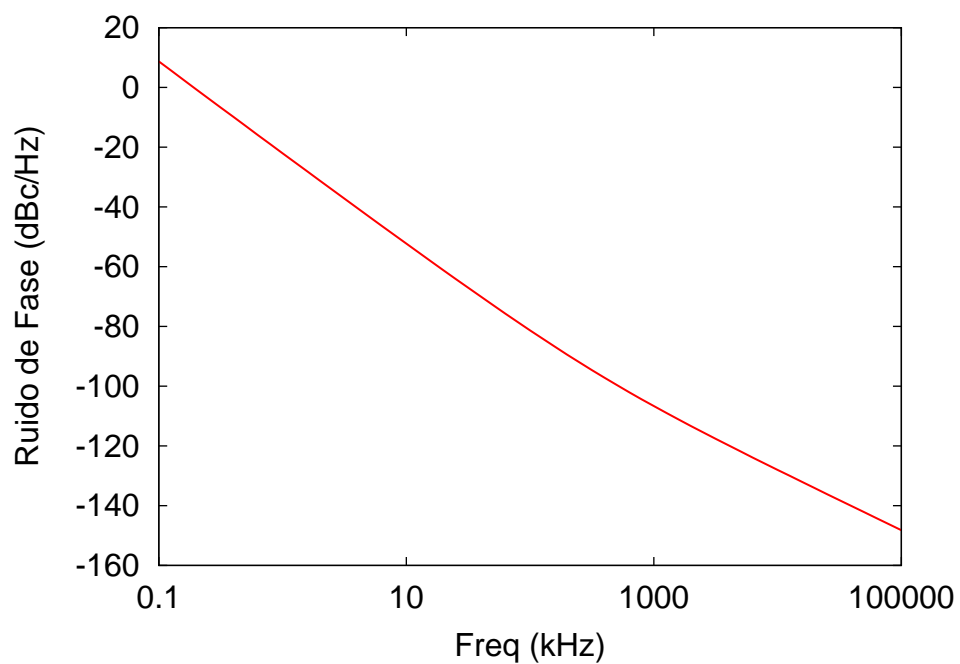


Figura 5.3: Ruído de Fase

O ruído de fase calculado do VCO foi de -107 dBc/Hz em uma frequência de *offset* de 1 Mhz.

¹Termo utilizado para designar as indústrias que fabricam circuitos integrados.

5.3 Simulações Estatísticas

Em um receptor a cinco portas, a estabilidade das fases do oscilador local implica diretamente em sua performance, pois estas fases são variáveis utilizadas pelos métodos de calibração [de Sousa et al. 2004] que configuram o receptor para a detecção correta do sinal de RF sem *offset DC*, distorção de ordem par ou interferência de canal adjacente. Um conjunto de simulações estatísticas baseadas na análise de Monte-Carlo foram feitas de modo a validar a implementação do VCO para um receptor a cinco portas, fornecendo informações quanto a sua variabilidade de fase em suas saídas. Foram feitas variações paramétricas das dimensões W e L dos transistores de até 25%, usando distribuição gaussiana, com e sem correlação. As simulações estatísticas foram feitas com Eldo-RF e foram providas de até 2000 amostras em sua análise de Monte-Carlo.

Os resultados apresentados mostram histogramas para variações de fase em três tensões de controle: 0,5 V (valor próximo ao mínimo), 0,8 V (valor médio) e 1,1 V (valor próximo ao máximo), para as saídas defasadas em 120 e -120 graus, tendo como referência a saída sem defasamento (fase 0).

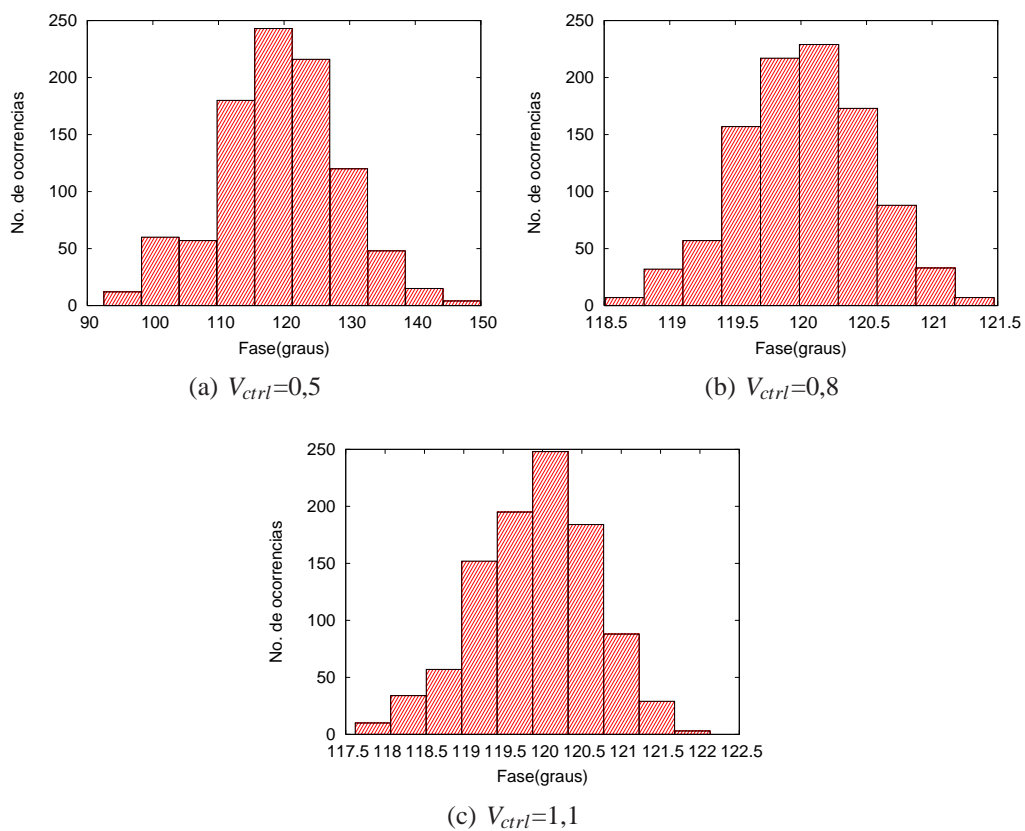


Figura 5.4: Histogramas para saída com defasamento de 120 graus

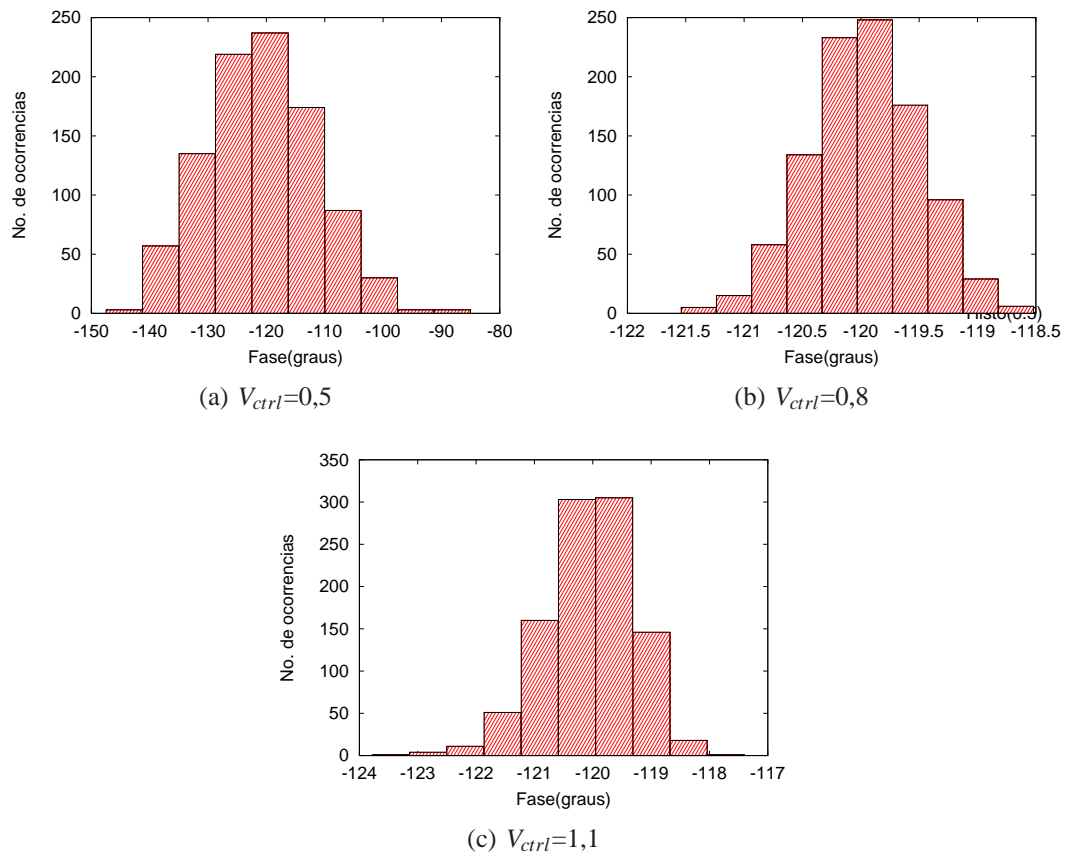


Figura 5.5: Histogramas para saída com defasamento de -120 graus

As variações nas saídas defasadas em 120 e -120 são compensadas uma pela outra, de modo a obter 360 graus de defasamento total na malha realimentada, que é um dos critérios de oscilação. Estas variações aumentam quando a tensão de controle se aproxima da tensão de limiar dos transistores, como pode ser percebido nos histogramas extraídos para uma tensão de controle de 0,5 volt, onde as variações são de até 30 graus, porém, em 50% das amostras, esta variação é inferior a 5 graus. Para as demais tensões, a variabilidade de fase pode ser considerada pequena, da ordem de 2 graus para mais ou para menos, sendo que, em mais de 50% das amostras esta variabilidade é inferior a 0,5 grau, pois trata-se de uma distribuição do tipo gaussiana.

Estes histogramas mostram a distribuição gaussiana da variação de fase em cada uma das saídas defasadas do VCO em função das tensões de controle. Com estes resultados é possível elaborar um modelo para prever o funcionamento do receptor a cinco portas mediante estas variações de fase, que são variáveis nos métodos de calibração deste receptor. Além disso, a elaboração de um modelo comportamental do VCO prevendo sua distribuição de fase nas saídas permite uma diminuição nos tempos gastos com simula-

ção dos receptores a cinco-portas, pois não há a necessidade de simular conjuntamente o subcircuito do VCO em SPICE, e com a mesma fidelidade nos resultados.

O banco de teste utilizado para extração destes resultados consistiu em variar o sinal de controle de 0,5 a 1,2 Volts, com passo de 0,1 volt, extraíndo-se os histogramas correspondentes a cada uma das tensões de controle e para cada uma das saídas defasadas em 120 graus. Além disso, foi extraído o desvio padrão de cada uma destas simulações, o que permitiu gerar o gráfico da Figura 5.6, onde é possível ter um resumo das variações de fase do VCO.

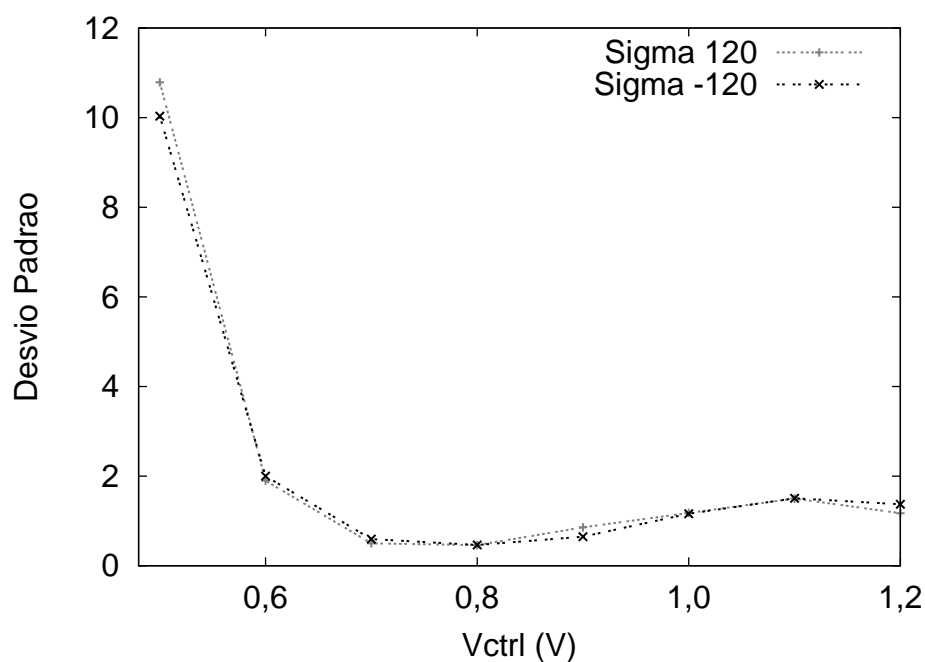


Figura 5.6: Desvio Padrão x Vctrl

O desvio padrão é maior para tensões de controle próximas da tensão de limiar dos transistores. Para uma tensão de controle de 0,6 volt, o desvio padrão é aproximadamente 2. Para as demais tensões de controle, o desvio padrão varia em torno de 0,5 a 1.

Capítulo 6

Conclusões e Perspectivas

Um receptor a cinco portas pode ser uma boa alternativa para a implementação de receptores para sistemas de rádiofrequência que necessitam de banda-larga e de sintonia em uma larga faixa de frequências, como o Rádio Cognitivo. Este tipo de receptor necessita de um VCO banda-larga com saídas defasadas em 120 graus. Um VCO anel diferencial, com célula de atraso saturada e sintonizado a partir de portas de transmissão, foi preliminarmente implementado em tecnologia IBM CMOS de 130nm e mostrou atender os requisitos exigidos para tornar o receptor a cinco portas uma alternativa para a implementação de receptores destes sistemas de RF. Bancos de testes comportamentais foram elaborados para demonstrar a melhoria nos receptores homódinos com o uso da arquitetura de cinco portas. Foram também elaborados bancos de testes com o objetivo de extrair as características do VCO, como faixas de frequências sintonizáveis, ruído e a variabilidade de fase. Análises de Monte-Carlo foram realizadas com o objetivo de prever o defasamento das saídas do VCO em função de variações dos parâmetros no processo de fabricação. Estas análises servirão para elaborar um modelo comportamental do VCO, o que permitirá uma diminuição nos tempos gastos com simulação dos receptores a cinco-portas.

O layout do VCO foi elaborado para permitir a fabricação de um protótipo do receptor a cinco portas em tecnologia CMOS IBM de 130 nm, que deverá ocorrer quanto os demais componentes do receptor a cinco portas estiverem concluídos.

As contribuições deste trabalho foram:

- A análise, elaboração de bancos de testes e simulação comparativa dos receptores homódinos IQ e a cinco portas;
- A proposta do VCO para o receptor a cinco portas;
- As análises e simulações do VCO;
- A elaboração do layout do VCO.

O trabalho realizado abre várias possibilidades de trabalhos futuros e complementares. Como perspectivas, pretende-se:

- Elaborar o modelo comportamental do VCO para utilização em simulações conjuntas com os demais componentes do receptor a cinco portas;
- Elaborar uma metodologia de projeto e dimensionamento de transistores em função de variabilidades máximas de fase ou de faixa de frequências;
- Inclusão do VCO em um chip completo do receptor a cinco portas, para fabricação e testes.

Referências Bibliográficas

- Ali, Hajimiri & Thomas H. Lee (2000), *The Design of Low Noise Oscillators*, Kluwer Academic Publishers Group.
- Arslan, Hüseyin (2007), *Cognitive Radio, Software Defined Radio and Adaptive Wireless Systems*, Springer.
- Dai, Liang & Ramesh Harjani (2002), 'Design of low-phase noise cmos ring oscillators', *IEEE Transactions on Circuits and Systems* **49**(5), 328–338.
- de Sousa, Fernando Rangel & Bernard Huyart (2008), 'Five-port receiver with improved sensitivity', *Microwave and Optical Technology Letters* **50**(11), 2945–2947.
- de Sousa, Fernando Rangel, Bernard Huyart & Robson N. de Lima (2004), 'A new method for automatic calibration of 5-port reflectometers', *Journal of Microwaves and Optoelectronics* **3**(5), 135–144.
- Haykin, Saymon (2005), 'Cognitive radio: Brain-empowered wireless communications', *IEEE Journal on Selected Areas in Communications* **23**(2), 201–220.
- Hwang, In-Chul, Chilwoo Kim & Sumg-Mo Kang (2004), 'A cmos self-regulating vco with low supply sensitivity', *IEEE Journal on Solid-State Circuits* **39**, 42–28.
- Ismail, Mohammed & Delia Rodriguez de Llera Gonzáles (2006), *Radio Design in Nanometer Technologies*, Springer.
- Lee, Thomas H. (2003), *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press.
- Neveux, Guillaume, Bernard Huyart & Georges J. Rodriguez-Guisantes (2004), 'Wide-band rf receiver using the "five-port" technology', *IEEE Transactions on Vehicular Technology* **53**(5), 1441–1451.
- Razavi, Behzad (1998), *RF Microelectronics*, Prentice Hall PTR.

Razavi, Behzad (2001), *Design of Analog CMOS Integrated Circuits*, McGraw Hill.

Rogers, John & Calvin Plett (2003), *Radio Frequency Integrated Circuit Design*, Artech House.

Sakurai, T. (1990), 'Alpha-power law mosfet model and its applications to cmos inverter delay and other formulas', *IEEE Journal on Solid-State Circuits* **25**, 1723–1732.

Weste, Neil H. E. & David Harris (2005), *CMOS VLSI Design - A Circuits and Systems Perspective*, Addison Wesley.

Apêndice A

Códigos-fonte

A.1 Bancos de testes e Modelos do Capítulo 2

A.1.1 Banco de teste do receptor IQ

```
1 * IQ
3 .param ip2=10
  .step param ip2 20 -20 10
5
  .model mixer_rc_1_1_rf MACRO lang=veriloga lib=MGC_CommLibRF
7
  Ymixer1 mixer_rc_1_1_rf RF lo0 IF1
9 + param :
  + Gain = 10
11 + IIP3 = -5
  + IIP2 = ip2
13 + NF = 5
  + LO2IF = 40
15 + RF2IF = 40
  + Rin_LO = 50
17 + Rin_RF = 50
  + P_LO = plo
19 + dc_out = 0.5
  + Cout = 0.0
21
  Ymixer2 mixer_rc_1_1_rf RF lo90 IF2
23 + param :
  + Gain = 10
25 + IIP3 = -5
  + IIP2 = ip2
27 + NF = 5
```

```

+ LO2IF = 40
29 + RF2IF = 40
+ Rin_LO = 50
31 + Rin_RF = 50
+ P_LO = plo
33 + dc_out = 0.5
+ Cout = 0.0
35
.param Prf= -20
37 .param Plo = 0

39 Vlo0 lo0 0 rport=50 FOUR 1G PdBm (1) Plo 0
Vlo90 lo90 0 rport=50 FOUR 1G PdBm (1) Plo -90
41
Vrf rf 0 RPORT=50
43 +MQAM M=4 LPF=no_filter
+ four 1GHz PDBM (1) -20 0
45 + pattern delay=10n tsymb=50n RANDOM

47 .sst fund1=1G nharm1=5 fund2=1G nharm2=5
.modsst 0.11n 10u
49
.plot fmodsst VdB(RF) VdB(lo0) VdB(IF1) VdB(lo90) VdB(IF2)
51 .plot tmodsst V(RF) V(lo0) V(IF1) V(lo90) V(IF2)

```

A.1.2 Banco de teste do receptor a cinco portas

```

1 * 5p

3 .param ip2=10
.step param ip2 20 -20 10
5
.model cptoiq(cptoiq_arch) MACRO lang=vhdlams lib=cp
7
Ycptoiq cptoiq(cptoiq_arch)
9 +port: if1 if2 if3 i q 0

11 .model mixer_rc_1_1_rf MACRO lang=veriloga lib=MGC_CommLibRF

13 Ymixer1 mixer_rc_1_1_rf RF lo0 IF1
+ param :
15 + Gain = 10

```

```

+ IIP3    = -5
17 + IIP2    = ip2
+ NF      = 5
19 + LO2IF   = 40
+ RF2IF   = 40
21 + Rin_LO  = 50
+ Rin_RF  = 50
23 + P_LO    = plo
+ dc_out  = 0.5
25 + Cout    = 0.0

27 Ymixer2 mixer_rc_1_1_rf RF lo120 IF2
+ param :
29 + Gain    = 10
+ IIP3     = -5
31 + IIP2    = ip2
+ NF       = 5
33 + LO2IF   = 40
+ RF2IF    = 40
35 + Rin_LO  = 50
+ Rin_RF   = 50
37 + P_LO    = plo
+ dc_out   = 0.5
39 + Cout    = 0.0

41 Ymixer3 mixer_rc_1_1_rf RF lo-120 IF3
+ param :
43 + Gain    = 10
+ IIP3     = -5
45 + IIP2    = ip2
+ NF       = 5
47 + LO2IF   = 40
+ RF2IF    = 40
49 + Rin_LO  = 50
+ Rin_RF   = 50
51 + P_LO    = plo
+ dc_out   = 0.5
53 + Cout    = 0.0

55 .param Prf= -20
+ .param Plo = 0

57
Vlo0 lo0 0 rport=50 FOUR 1G PdBm (1) Plo 0

```

```

59 Vlo120 lo120 0 rport=50 FOUR 1G PdBm (1) Plo 120
   Vlo-120 lo-120 0 rport=50 FOUR 1G PdBm (1) Plo -120
61
   Vrf rf 0 RPORT=50
63 +MQAM M=4 LPF=no_filter
   + four 1GHz PDBM (1) -20 0
65 + pattern delay=10n tsymb=50n RANDOM

67 .sst fund1=1G nharm1=5 fund2=1G nharm2=5
   .modsst 0.11n 10u
69
   .plot fmodsst VdB(RF) VdB(i) VdB(q)

```

A.1.3 Modelo VHDL-AMS para extração das componentes I e Q a partir das saídas do correlator a cinco portas

```

LIBRARY MGC_AMS;
2 USE MGC_AMS.eldo.all;

4 LIBRARY ieee;
   USE ieee.electrical_systems.all;
6 USE ieee.math_real.all;

8 ENTITY cptoIQ IS
   PORT ( TERMINAL in1, in2, in3, i, q, ref : ELECTRICAL );
10 END cptoIQ;

12 ARCHITECTURE cptoIQ_arch OF cptoIQ IS
   QUANTITY vi ACROSS ii THROUGH i TO ref;
14   QUANTITY vq ACROSS iq THROUGH q TO ref;
   QUANTITY v1 ACROSS in1;
16   QUANTITY v2 ACROSS in2;
   QUANTITY v3 ACROSS in3;

18
   CONSTANT ai : REAL := 0.6666666666666667;
20   CONSTANT bi : REAL := -0.3333333333333333;
   CONSTANT ci : REAL := -0.3333333333333333;
22   CONSTANT aq : REAL := 0.0;
   CONSTANT bq : REAL := 0.577350269189626;
24   CONSTANT cq : REAL := -0.577350269189626;

26 BEGIN

```



```
28      vi == (ai*v1)+(bi*v2)+(ci*v3);  
      vq == (aq*v1)+(bq*v2)+(cq*v3);  
30  
END cptoiqu_arch;
```

A.2 Bancos de testes e Modelos do Capítulo 4

A.2.1 Banco de teste para extração da resistência efetiva da porta de transmissão

```
1 * Transmission gate
3 .include "../eldo/allModels.scs"
5 Mn in ctrl out 0 NMOS W=nw L=nl
  Mp in ctrlbar out dd PMOS W=pw L=pl
7 Vid out 0 DC 0
9 Vdd dd 0 1.2
  Vin in 0 1.2 *PULSE (0 2 0 1e-7 1e-7 5u 10u)
11
  Vctrl ctrl 0 ctrlvar
13
  .param nw=0.16u nl=0.12u pw=0.16u pl=0.12u
15
  .param ctrlvar=1
17 .step param ctrlvar 0.5 1.2 0.05
19 .model subm modfas *modelo utilizado para gerar ctrlbar
  ysub sub dd ctrl ctrlbar model:subm
21
  .DEFWAVE Res=v(in , out)/i(vid)
23
  .DC
25 .PLOT DC W(Res)
```

A.3 Bancos de testes do Capítulo 5

A.3.1 Código SPICE da célula de atraso

```

1 * Delaycell

3 .SUBCKT dcell inmais inmenos omais omenos ctrl ctrlbar dd 0
  Mn1 omais ctrl 1 0 NMOS W=nw L=nl
5 Mp1 omais ctrlbar 1 dd PMOS W=pw L=pl
  Mn2 omenos ctrl 2 0 NMOS W=nw L=nl
7 Mp2 omenos ctrlbar 2 dd PMOS W=pw L=pl
  Min1 1 inmenos 0 0 NMOS W=nw L=nl
9 Min2 2 inmais 0 0 NMOS W=nw L=nl
  Mcr1 dd 2 1 dd PMOS W=pw L=pl
11 Mcr2 dd 1 2 dd PMOS W=pw L=pl
  .ENDS dcell

```

A.3.2 Banco de teste da faixa de frequências sintonizável do VCO

```

* Ring VCO
2
  .include "../eldo/allModels.scs"
4 .include dcell.cir

6 Xdcell1 f e a b ctrl ctrlbar dd 0 dcell
  Xdcell2 a b c d ctrl ctrlbar dd 0 dcell
8 Xdcell3 c d e f ctrl ctrlbar dd 0 dcell

10 Vdd dd 0 1.2

12 .OPTION SST_CONVERGENCE_HELP=PSEUDO_MODSST

14 Vctrl ctrl 0 ctrlvar

16 .param ctrlvar=1
  .step param ctrlvar 0.5 1.2 0.1
18
  .param nw=0.16u nl=0.12u pw=0.16u pl=0.12u
20 .param nwtg=0.16u nltg=0.12u pwtg=0.16u pltg=0.12u

22 .model subm modfas
  ysub sub dd ctrl ctrlbar model:subm

```

```
24 .sstprobe f 0
26 .IC V(f)=1e-9V
28 .sst oscil nharm=5
30 .extract fsst label=fosc fund_osc
```

A.3.3 Banco de teste do ruído de fase do VCO

```
2 .include dcell.cir
4 .include "../eldo/allModels.scs"

6 Xdcell1 f e a b ctrl ctrlbar dd 0 dcell
   Xdcell2 a b c d ctrl ctrlbar dd 0 dcell
8 Xdcell3 c d e f ctrl ctrlbar dd 0 dcell

10 Vdd dd 0 1.2

12 .OPTION SST_CONVERGENCE_HELP=PSEUDO_MODSST

14 Vctrl ctrl 0 0.8
   Vctrlbar ctrlbar 0 0.4

16 .sstprobe f 0
18 .sst stabil
20 .sstnoise v(f) harm(1) dec 10 100 100000k
22 .IC V(f)=1e-9V *V(g)=3V
24 .sst oscil nharm=5
26 .plot sstnoise db(sphi)
28 .extract fsst label=fosc fund_osc
```

A.3.4 Banco de teste para simulações estatísticas da variabilidade de fase do VCO

```
1
2 .include dcell.cir
3 .include "../eldo/allModels.scs"
4
5 Xdcell1 f e a b ctrl ctrlbar dd 0 dcell
6 Xdcell2 a b c d ctrl ctrlbar dd 0 dcell
7 Xdcell3 c d e f ctrl ctrlbar dd 0 dcell
8
9 .param nw=0.16u lot/gauss=10% dev/gauss=15%
10 .param nl=0.12u lot/gauss=10% dev/gauss=15%
11 .param pw=0.32u lot/gauss=10% dev/gauss=15%
12 .param pl=0.12u lot/gauss=10% dev/gauss=15%
13
14 .mcmmod nmos vth0 dev/gauss=25%
15 .mcmmod pmos vth0 dev/gauss=25%
16
17 .mc 2000 all nbbins=10
18
19 Vdd dd 0 1.2
20
21 .OPTION SST_CONVERGENCE_HELP=PSEUDO_MODSST
22
23 Vctrl ctrl 0 0.8
24 Vctrlbar ctrlbar 0 0.4
25
26 .sstprobe f 0
27
28 .sst stabil
29
30 .IC V(f)=1e-9V
31
32 .sst oscil nharm=5
33
34 .plot fsst v(f) v(b) v(c)
35
36 .extract fsst label=fosc fund_osc
37 .extract fsst yval(vp(b), FUND_OSC)
38 .extract fsst yval(vp(c), FUND_OSC)
39 .extract fsst yval(vp(f), FUND_OSC)
```

Apêndice B

**Artigo aceito para publicação no
ICCCAS 2009**

Wideband Signal Generator for Cognitive Radio Five-Port Receiver

Francisco de Assis Brito Filho and Fernando Rangel de Sousa

Abstract—This paper presents an wideband ring VCO for cognitive radio five-port based receivers. A three-stage differential topology using transmission gates was adopted in order to maintain wide and linear tuning range and a good phase-noise. Monte-carlo analysis were made for evaluating the phase-shift response, which should be 120° between stages. Those analysis will be used to develop a behavioral model of the VCO with focus on five-port receiver simulations allowing time-saving. It was observed a fairly linear correlation between control voltage and oscillation frequency in the range between 200 MHz and 1800 MHz. The VCO was designed for IBM 130nm CMOS technology.

I. INTRODUCTION

Many communication systems like TV broadcast, internet and cellphone mobile data transmission needs wide frequency bandwidth. For suitable signal reception, wideband receivers are necessary. Also, the receivers should present a wide frequency tuning range because of the large number of channels to be selected, which is often achieved by means of voltage controlled oscillator (VCO). Recently a new concept of efficient spectrum usage has gained attention, the Cognitive Radio (CR). It is a revolutionary technology that aims the use of unoccupied spectrum spaces while maintaining the rights of the primary services for their first users through continuous spectrum sensing [1]. CR systems are developed in a Software Defined Radio (SDR) platform and current SDR requirements are wideband, larger frequency tuning range, low power consumption, low cost and reconfigurability [2].

In this paper we propose an wideband ring VCO for a five-port receiver, that can be used for SDR receiver implementation. Section II provides considerations about RF receivers and proposes a five-port receiver for SDR implementation. The wideband VCO suitable for five-port receivers is showed and their analysis is provided in section III. Section IV presents the results and discussions for the proposed VCO. Finally, conclusions are drawn in section V.

II. SDR RECEIVER CONSIDERATIONS

There are basically two types of receivers: heterodyne and homodyne receivers. The former transposes the RF frequency to an intermediary frequency (IF) for selectivity improvement purposes. The latter translates the RF frequency directly into baseband for further processing the information [3]. Both has advantages and disadvantages. Heterodyne receivers were the most used in the last decades but due to their complexity and

more difficult integrability, homodyne receivers have gained space in today receiver architectures that needs low cost, low power consumption and integrability [4].

A. Homodyne Wideband Receivers

A quadrature receiver is a common homodyne receiver implementation, providing inphase and quadrature information of the input signal. This kind of implementation is suitable for modern digital modulations and preserve signal integrity for signal modulated in phase or in frequency [3]. However, homodyne receivers have two major problems: DC offset and high sensibility to even order distortion.

A testbench was made for demonstrating those problems in a homodyne quadrature receiver. In Figure 1, the block diagram of this testbench is shown, in which a 16-QAM modulated RF signal and the local oscillator (LO) quadrature signals are injected at the receiver's model input. The baseband components of the downconverted signal are the considered as the testbench outputs. In order to observe the even order distortion phenomenon, the second-order interception point (IIP2) of the mixers was varied. The 16-QAM signal and receiver blocks were developed as Verilog-AMS behavioral models. The testbench was made in ELDO/SPICE and was simulated with Mentor Graphics ADvanceMS and Eldo-RF tools. In Table I, the parameters used on the testbench for 16-QAM signal, mixers and local oscillator are presented.

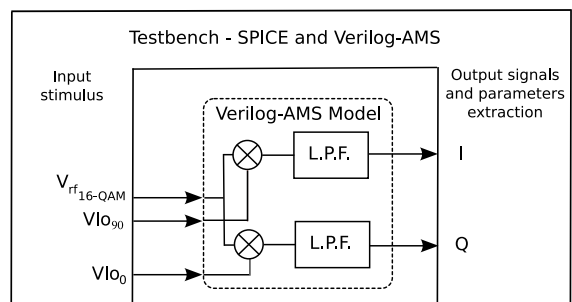


Fig. 1. Testbench block diagram for output constellation extraction in a homodyne quadrature receiver.

The receiver's output constellation is shown in Figure 2, from which it can be observed a shift of the constellation center as the mixer's IIP2 decreases. That shift can be interpreted as a DC offset due to system second-order non-linearity. See also that 16-QAM output signal constellation is more distorted for lower IIP2. This is due the influence of harmonics and the intermodulation product (IM2) of second-order.

This work was supported by CNPq

The authors are with Federal University of Rio Grande do Norte, Department of Electrical Engineering, Campus Universitario Lagoa Nova, Natal, RN, 59072-970, Brazil (E-Mail: britofilho@ieee.org; frangel@dee.ufrn.br)

RF Output Power (dBm)	-20
LO Power (dBm)	0
Frequency (MHz)	1000
Mixers IIP2 (dBm)	-20 a 20
Mixers IIP3 (dBm)	5

TABLE I

PARAMETERS USED IN THE TESTBENCH OF FIGURE 1

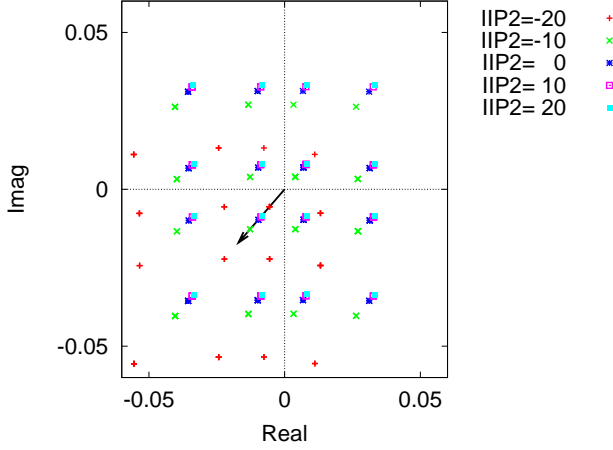


Fig. 2. 16-QAM output constellation shift due second-order non-linearities

In the next subsection it will be presented an architecture that proposes to mitigate those problems.

B. Homodyne Five-Port Receiver

A five-port receiver is a circuit that has three basic blocks: vector basis generator¹, frequency converters and digital signal processing [5]. The vector basis generator should supply three signals phase-shifted in 120 degrees. The frequency converters translate the RF signal in three base-band signals proportional to the projections of the input signal over the vector of the basis. After the analog-to-digital conversion, the signals are digitally processed in order to provide I and Q components.

In this work it was used an implementation of the five-port receiver with mixers for frequency conversion and a ring VCO like vector basis generator. This type of VCO generates the vector basis without additional components and can be seen in section III. The digital processing can be implemented by software in the SDR context. Figure 3 shows this implementation.

The complex envelope components I and Q are calculated by the weighted sum of the measured voltages at the five-port outputs:

$$I(n) = a_i.V_1(n) + b_i.V_2(n) + c_i.V_3(n) \quad (1)$$

$$Q(n) = a_q.V_1(n) + b_q.V_2(n) + c_q.V_3(n) \quad (2)$$

¹The use of vector basis is not rigorously correct, since the group of vectors contain, in this case, three linearly dependent vectors. However, it is used in this paper for the reader's better understanding

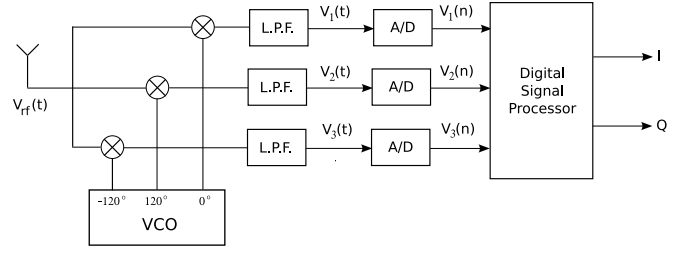


Fig. 3. Five-port Receiver architecture

The weighted constants can be obtained before or during receiver operation by one of the many calibration methods for five-port or six-port correlators available [6], [7].

A testbench similar to that used for quadrature receiver was used for five-port receiver, as can be seen in Figure 4. The parameters used were the same as those of the quadrature receiver, summarized in Table I.

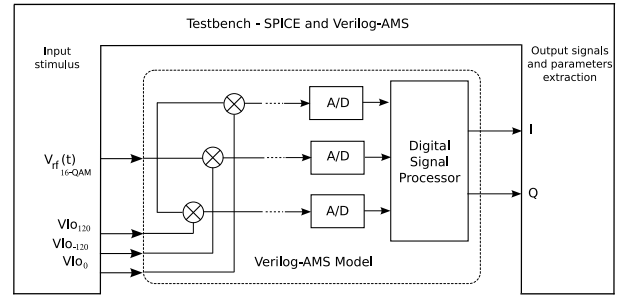


Fig. 4. Testbench for output constellation extraction in a five-port receiver.

The output constellation signal is presented in Figure 5. Differently of quadrature architecture, the output constellation does not shift, remaining centered at the origin.

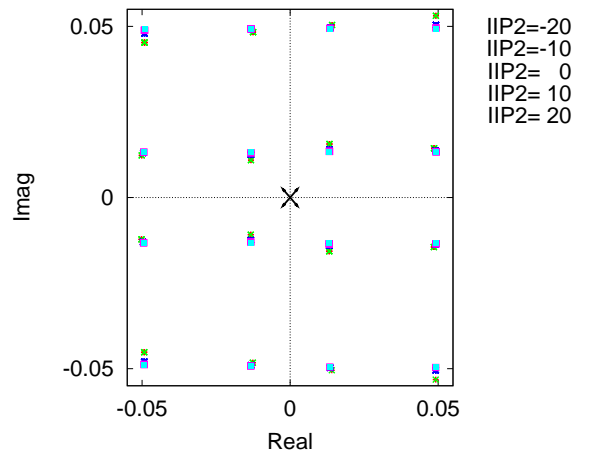


Fig. 5. 16-QAM Output Constellation with second-order non-linearity effects reduction in a five-port receiver.

In addition, the five-port receiver has a better immunity for adjacent channels interferer signals [6] that may contribute to receiver distortion.

III. WIDEBAND VCO FOR FIVE-PORT RECEIVER

In previous section, a five-port based receiver was proposed for SDR implementation. That receiver needs a vector basis generator to provide a 120 degree phase-shifted outputs. In this work we propose an wideband ring VCO to implement the like basis generator. This VCO generates three outputs phase-shifted in 120 degrees without additional circuitry.

In order to generate 120-degree phase-shifted outputs, a three-stage ring VCO is needed, since the phase contribution of each delay cell is $360/N$, being N the number delay cells. Since today mixers have differential inputs configuration (e.g. gilbert cell based mixers), a ring VCO differential topology is needed. It is known that differential topology presents worse phase noise than single-ended topology [8], but it is possible to improve the phase noise performance of differential ring VCOs by using a saturated-type delay-cell [9]. The mechanism for frequency tuning is made by transmission gate that has a wide and linear tuning capability [10]. In this work it was used a differential saturated-type delay-cell with transmission gates as frequency tuning mechanism. Figure 6 shows this circuit.

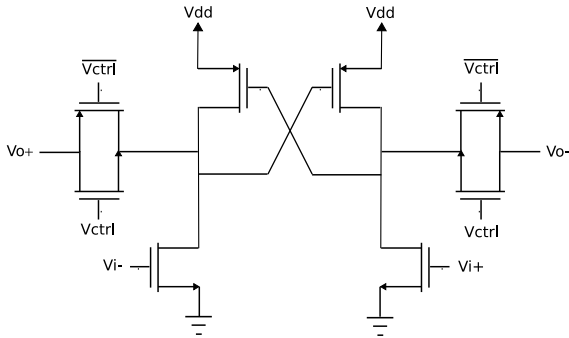


Fig. 6. Delay-cell

The delay-cell is an input NMOS differential pair, a PMOS positive feedback pair and a transmission gate which connects the output of one delay-cell to the next one. The delay-cell can be partitioned in two main blocks: the main delay-cell and the tuning mechanism. The main delay-cell is made by a differential latch and the tuning mechanism by transmission gate. The ring VCO is showed in figure 7 and is implemented by three delay-cells in order to provide three outputs phase-shifted in 120 degrees.

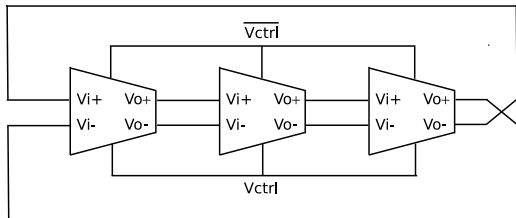


Fig. 7. Three-stage differential ring VCO

In the next subsections will be made analysis of the two delay-cell components: the differential latch and the transmission gate.

A. Differential Latch

The differential latch is a DCVSL circuit [11], a logic circuit always composed by differential inputs and differential outputs with cascaded feedback PMOS transistors which forces the circuit operation in *full switching* mode. This type of logic circuit uses complementary inputs to get complementary outputs using a pair of NMOS pull-down network [11]. Aiming to get better phase-noise since its directly correlated with the number of active components [8], we used the simplest way of NMOS pull-down network, a simple pair of NMOS transistors making the circuit a differential latch.

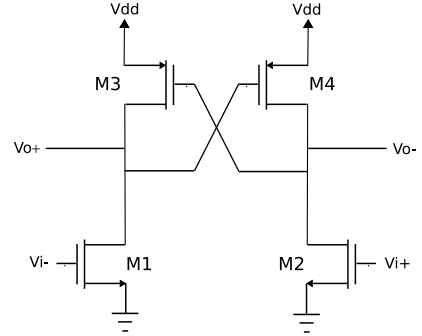


Fig. 8. Main delay-cell made by a differential latch

The Figure 8 presents the main delay-cell composed by a differential latch used for implementing the DCVSL. When $V_{i+} = '1'$, $V_{i-} = '0'$, M2 is ON and M1 is OFF. Then M3 change from cutoff region to saturation and V_{o+} switches to HIGH logic level while V_{o-} is in LOW logic level. When $V_{i+} = '0'$, $V_{i-} = '1'$, M1 is ON and M2 is OFF. Then M4 changes from cutoff region to saturation, and V_{o-} switches to HIGH logic level while V_{o+} is in LOW logic level. The operation of this circuit describes a *full switching* operation that enables a better phase-noise in differential delay-cell.

B. Transmission Gate

The transmission gate is the better choice for oscillators that needs tuning in an wide frequency range [10]. The transmission gate resistance varies in function of applied voltage at transistor gate. This resistance variation is the mechanism for frequency tuning in the VCO. The relationship between resistance and voltage is non-linear and due to transistors alternate between triode and saturation regions periodically, it is not straightforward to determine its equivalent resistance. The Figure 9 shows the transmission gate with a rising unit step signal at input and a time-delayed signal at output, which is connected to a capacitor large enough compared to parasitic capacitance. Assuming this process with a first-order time constant model and measuring the delay time t_d , the effective resistance of transmission gate is obtained as 3.

$$R_{eff} = \frac{t_d}{C_L \cdot \ln(2)} \quad (3)$$

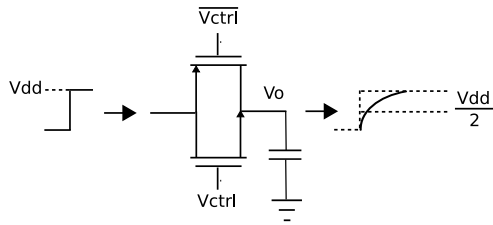


Fig. 9. Model for effective resistance calculation of the transmission gate

In 3 is seen that, with a fixed value capacitor C_L is possible to obtain R_{eff} value by simulation, calculating the delay time t_d .

IV. RESULTS AND DISCUSSIONS

In order to analyze the VCO behavior, we used RF and monte-carlo simulations by Eldo-RF.

The methodology was to realize testbenches for measuring the VCO frequency tuning range and the outputs phase-shift variations by monte-carlo analysis. The testbenches were implemented in Eldo-RF.

A. VCO frequency tuning range

This test shows the VCO frequency tuning range and its correlated control voltage. We implemented a testbench which varied the input control voltage and extracted the VCO frequency. The testbench results can be seen in Figure 10.

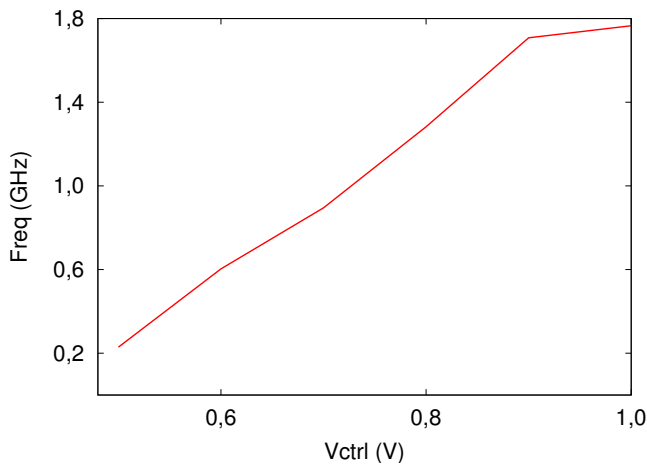


Fig. 10. Frequency x control vantage

The VCO frequency tuning range is from 200 MHz to 1.8 GHz. The range is wide 1600 MHz and can be suitable for Cognitive Radio, Software Defined Radio applications and other wideband applications that needs wide frequency tuning range. The control voltage vary from 0,5 to 1,0 V. For voltages between 1,0 and 1,2 is a saturation due to supply voltage is 1,2 V and this voltages may tune the same frequency which is not necessary include this range in the figure plot. Then the control voltage range for the VCO is limited from 0,5 to 1,0 V.

To achieve this frequency tuning range we used minimum 130nm technology sizes for transistor length and width, which are $L=0,12\mu\text{m}$ and $W=0,16\mu\text{m}$.

B. Outputs Phase-shift monte-carlo analysis

VCO outputs phase-shift variations is important in five-port works because the variables used by calibration methods [7] that configures the five-port receiver for correct RF detection without DC offsets, even order distortion or adjacent channel interferences.

In order to verify VCO outputs phase-shift variations were made monte-carlo analysis. Those analysis were made as function of parametric variations until 25% in W and L transistor dimensions. Those statistics simulations were made with Eldo-RF and used 2000 samples in monte-carlo analysis.

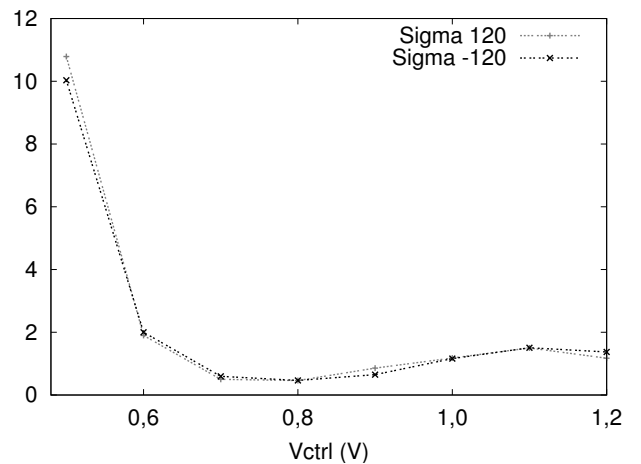


Fig. 11. Standard Deviation in function of control voltage

Figure 11 shows a summary of these variations, with standard deviation provided by monte-carlo analysis in function of VCO control voltage. See that standard deviation increases when control voltage is reaching transistor threshold voltage, which means that process variations contribute more significantly in moderate and weak inversion transistor regions for outputs phase-shift variations.

These results enable to develop a model to provide five-port receiver operation in function of phase variations that are variables in five-port calibration methods. Furthermore, the development of a VCO behavioral model providing phase distribution of the outputs allows a reduction in time spent with simulations of five-port receivers, because there is no need to simulate the VCO subcircuit together in SPICE maintaining a good fidelity in the results.

V. CONCLUSIONS AND FUTURE WORKS

A. Conclusions

A five-port receiver can be an alternative to implement receivers for RF systems that needs wideband and wide frequency tuning range like cognitive radio and software defined radio applications. This type of receiver needs an

wideband VCO with 120 degree phase-shifted outputs. A ring VCO with differential saturated-type delay-cell and tuned by transmission gate was implemented in IBM CMOS 130nm technology and simulations showed that has the requirements for become the five-port receiver an attractive choice for that RF systems. Testbenches were made to demonstrate the improvement of five-port architecture in homodyne receivers. Also were made testbenches for VCO characteristics extraction as frequency tuning range and phase-shift variations. Monte-carlo analysis were realized aiming to provide VCO outputs phase-shift in function of process variations. Those analysis will be used to develop a behavioral model of the VCO with focus on five-port receiver simulations allowing time-saving.

B. Future Works

Future works may include VCO noise analysis. In this work, noise analysis was not the focus because in the first moment the interest is to validate five-port receiver that needs large tuning range, wideband and a good phase variations model as more important figures of merit at present moment research.

REFERENCES

- [1] S. Haykin, "Cognitive Radio: Brain-empowered wireless communications", in *IEEE Journal on Selected Areas in Communication*, vol.23, no.2, pp.201-220, February 2005.
- [2] M. Ismail and D. R. L. Gonzales, *Radio Design in Nanometer Technologies*, Springer, 2006.
- [3] Behzad Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.
- [4] B. Razavi, "Design Considerations for Direct-Conversion Receivers", in *IEEE Transactions on Circuits and Systems, Part II*, vol.44, pp.428-435, June 1997.
- [5] F. R. Sousa and B. Huyart, "Five-port receiver with improved sensitivity", in *Microwave and Optical Technology Letters*, vol.50, no.11, pp.2945-2947, November 2008.
- [6] G. Neveux, B. Huyart and G. J. Rodriguez-Guisantes, "Wide-Band RF Receiver Using the "Five-Port" Technology", in *IEEE Transactions on Vehicular Technology*, vol.53, no.5, pp.1441-1451, September 2004.
- [7] F. R. Sousa, B. Huyart and R. N. Lima, "A new-method for automatic calibration of 5-port reflectometers", in *Journal of Microwave and Optoelectronics*, vol.3, no.5, pp.135-144, July 2004.
- [8] Hajimiri Ali and Thomas H. Lee, *The Design of Low-Noise Oscillators*, Kluwer Academic Publishers Group, 2000.
- [9] L. Dai and R. Harjani, "Design of Low-Phase-Noise CMOS Ring Oscillators", in *IEEE Transactions on Circuits and Systems*, vol.49, no.5, pp.328-338, May 2002.
- [10] M. Sheu, T. Lin and W. Hsu, "Wide frequency range voltage controlled ring oscillators based on transmission gates", *IEEE International Symposium on Circuits and Systems, ISCAS 2005*, vol.3, pp.2731-2734, May 2005.
- [11] Neil H. E. Weste and David Harris, *CMOS VLSI Design - A Circuits and Systems Perspective*, Addison Wesley, 2005.