



Etiqueta RFID miniaturizada de baixa potência para identificação de objetos

Candidato: Juan Sebastian Moya Baquero

Orientador: Fernando Rangel de Sousa

UFSC-PPGEEL-Laboratório de pesquisas em RadioFrequência (LRF)

14 de outubro de 2016



- 1 Introdução
- 2 Definição do sistema proposto
- 3 Projeto da etiqueta (simulações)
- 4 Projeto do leitor de memória ROM (simulações)
- 5 Resultados experimentais
- 6 Conclusões
- 7 Propostas de trabalhos futuros

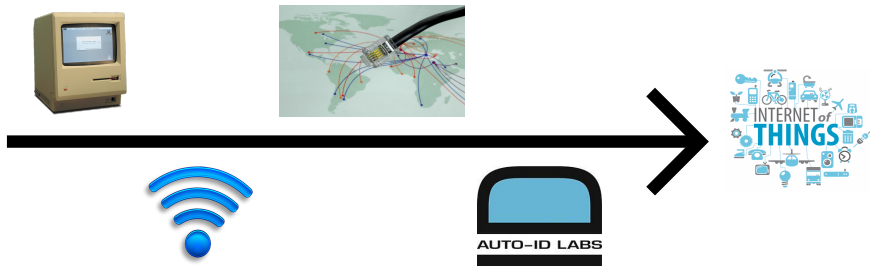


Agenda - Introdução

- 1 Introdução
- 2 Definição do sistema proposto
- 3 Projeto da etiqueta (simulações)
- 4 Projeto do leitor de memória ROM (simulações)
- 5 Resultados experimentais
- 6 Conclusões
- 7 Propostas de trabalhos futuros



A Internet dos Objetos



Mundo Abstrato



Mundo Físico



Tecnologias Auto-ID

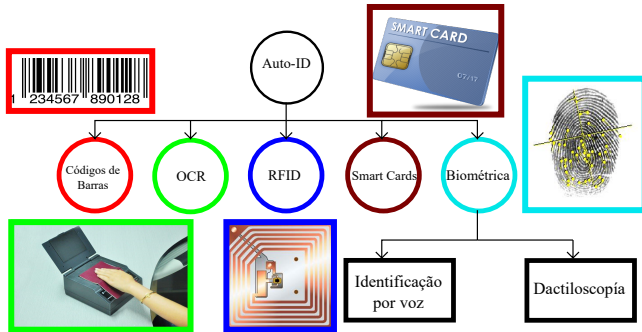


Tabela comparativa entre as diferentes tecnologias das Auto-ID.

	Códigos de barras	OCR	Smart Cards	RFID	Biométrica
Portabilidade	✓✓✓	✓✓✓	✓	✓✓✓	✓✓✓
Capacidade de memória	✓	✓✓✓	✓✓✓	✓✓✓	✓✓✓
Preço	\$	\$\$\$	\$\$\$	\$	\$\$\$
Reprogramação	✗	✗	☑	☑	☑
Contato	✗	✗	✗	✗	□

✓✓✓: Alto(a); ✓✓: Médio(a); ✓: Baixo(a); ☑: Sim; ✗: Não; □: Em alguns casos; \$\$\$: Preço Alto; \$: Preço acessível.



Produtos atuais de RFID

125 kHz



<http://gaorfid.com/>

- Identificação de pessoas.
- Controle de acesso.
- Realizar pagamentos.

13,56 MHz



<http://gaorfid.com/>

- Ingressos.
- Assistência médica.
- Rastreamento de pessoas.

860-960 MHz



<http://gaorfid.com/>

- Controle de acesso.
- Identificação de pessoas.

M. Weiser: “As tecnologias mais relevantes são aquelas que são imperceptíveis” (Tradução livre) [1]

[1] M. Weiser, “The Computer for the 21st Century”.

Motivações



- Desenvolver um dispositivo RFID miniaturizado para rastreamento de objetos em tempo real.
- Incluir o dispositivo na Camada de Percepção da IoT para monitoramento constante do objeto.



Agenda - Definição do sistema proposto

- 1 Introdução
- 2 Definição do sistema proposto**
- 3 Projeto da etiqueta (simulações)
- 4 Projeto do leitor de memória ROM (simulações)
- 5 Resultados experimentais
- 6 Conclusões
- 7 Propostas de trabalhos futuros

Objetivo Geral



- Desenvolver um sistema RFID completo e miniaturizado na faixa dos GHz voltado para uma etiqueta integrada de baixa potência para identificação de objetos.

Estado da arte

Comparação dos resultados obtidos com o estado da arte escolhido.

Referência	[2]*	[3]	[4]	[5]	[6]
Tecnologia [nm]	CMOS 350 nm	CMOS 1,2 μm	CMOS 180 nm	CMOS 180 nm	CMOS 130 nm
Potência média da etiqueta	360 μW	-	720 μW	6 μW	1 mW
Potência emitida pelo leitor	-	-	250 mW	160 mW	100 mW
Tensão de alimentação [V]	3	0,7	1,8	1,2	1,2
Frequência do sinal da portadora [MHz]	915	13,56	13,56	900	160
Frequência do sinal modulante [MHz]	0,5	0,212	-	0,2	-
Área total da etiqueta [$m \times m$]	0,38 $\times$ 0,38	7 $\times$ 7	1,5 $\times$ 1,5	1,4 $\times$ 1,4	2 $\times$ 2,18
Fator de qualidade do indutor integrado	6,2	1,2	0,89	-	12,3

*Possui memória ROM integrada.

[2]: **G. Haobijam et al.** *RFID Circuit Design with Optimized CMOS Inductor for Monitoring Biomedical Signals*. 15th International Conference on Advanced Computing and Communications, 2007.*

[3]: **B. Kim et al.** *13.56 MHz-RFID Biosensor with On-chip Spiral Inductor*. International Conference on Enabling Science and Nanotechnology (ESciNano), 2010.

[4]: **A. Baldi et al.** *Powering of single-chip fully integrated RFID wireless sensors*. 37th Annual Conference on IEEE Industrial Electronics Society (IECON), 2011.

[5]: **M. Nazari et al.** *An Implantable Continuous Glucose Monitoring Microsystem in 0.18 μm CMOS*. Symposium on VLSI Circuits Digest of Technical Papers, 2014.

[6]: **M. Zargham and P. G. Gulak** *Fully Integrated On-Chip Coil in 0.13 μm CMOS for Wireless Power Transfer Through Biological Media*. IEEE Transactions on biomedical circuits and systems, vol. 9, no. 2, april, 2015.



Objetivos Específicos

- Minimizar o consumo de potência de cada um dos blocos e sub-blocos do sistema RFID devido aos baixos níveis de potência utilizados.
- Definir e implementar os testes adequados no domínio da frequência para caracterizar a etiqueta.
- Definir e implementar os testes adequados no domínio do tempo para extrair a informação da etiqueta.



Objetivos Específicos

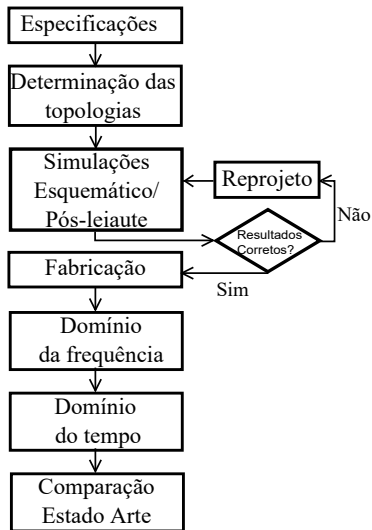
- Minimizar o consumo de potência de cada um dos blocos e sub-blocos do sistema RFID devido aos baixos níveis de potência utilizados.
- Definir e implementar os testes adequados no domínio da frequência para caracterizar a etiqueta.
- Definir e implementar os testes adequados no domínio do tempo para extrair a informação da etiqueta.



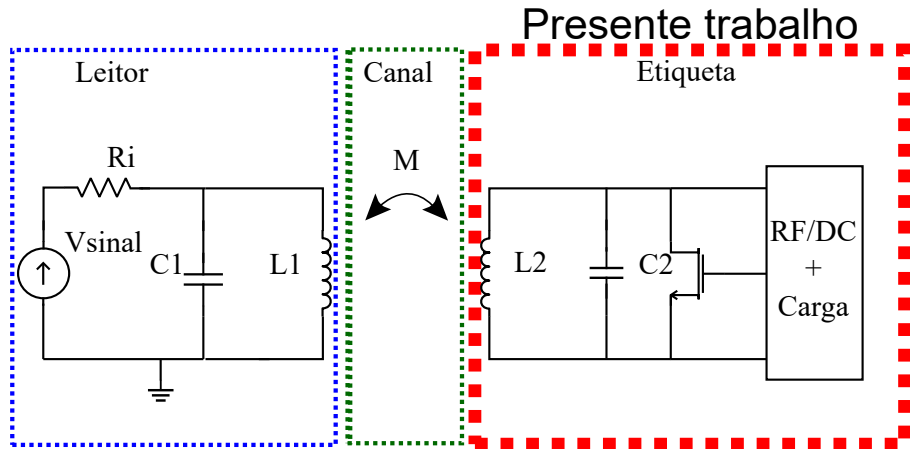
Objetivos Específicos

- Minimizar o consumo de potência de cada um dos blocos e sub-blocos do sistema RFID devido aos baixos níveis de potência utilizados.
- Definir e implementar os testes adequados no domínio da frequência para caracterizar a etiqueta.
- Definir e implementar os testes adequados no domínio do tempo para extrair a informação da etiqueta.

Fluxograma do projeto

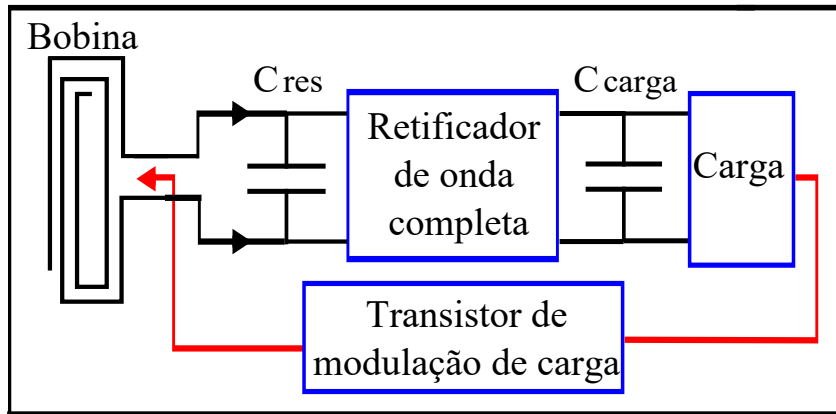


Definição dos blocos do sistema



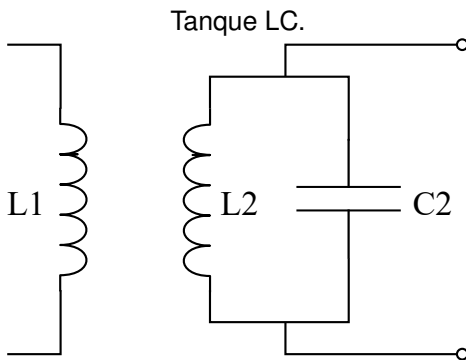
Etiqueta do sistema

Diagrama de sub-blocos da etiqueta.



Etiqueta do sistema - Bobina - C_{res}

- Acoplamento indutivo.
- Tanque LC. $\Im(Z_L) = -\Im(Z_c)$. $f = \frac{1}{2\pi\sqrt{LC}}$.
 $\Rightarrow$ Máximo valor de tensão induzido no tanque.



Etiqueta do sistema - Retificador de onda - C_{carga}

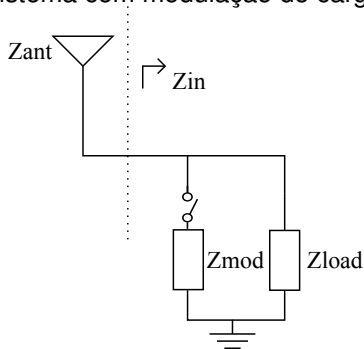


- Retificar sinal na entrada.
Eficiência de Conversão de Potência: $PCE = \frac{P_{carga}}{P_{entrada}}$.
- Filtrar o sinal de saída do retificador para diminuir a tensão de ondulação.
Tensão de ondulação $C = \frac{I_{carga}}{2f\Delta V}$

Etiqueta do sistema - Carga - Transistor de modulação

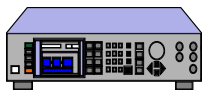
- Carga corresponde a um leitor de memória ROM: Memória ROM, Registrador de deslocamento *Parallel-Input Serial-Output* (PISO), Oscilador, Divisor de frequência e Decodificador de endereços.
- Transistor de modulação. $\Gamma = \frac{Z_{in} - Z_{ant}^*}{Z_{in} + Z_{ant}}$.

Sistema com modulação de carga.

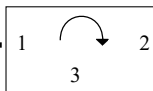


Leitor do sistema

Gerador de sinais



Circulador



Etiqueta



Bobina do leitor



Informação
demodulada



USRP B210



Restrições do sistema

Consumo de potência nos dispositivos CMOS

- Potência estática.
- Potência dinâmica.

Valores médios da tensão de limiar dos transistores da tecnologia

- Transistor Pmos: $|V_{t0}| = 388 \text{ mV}$.
- Transistor Nmos: $V_{t0} = 322 \text{ mV}$.



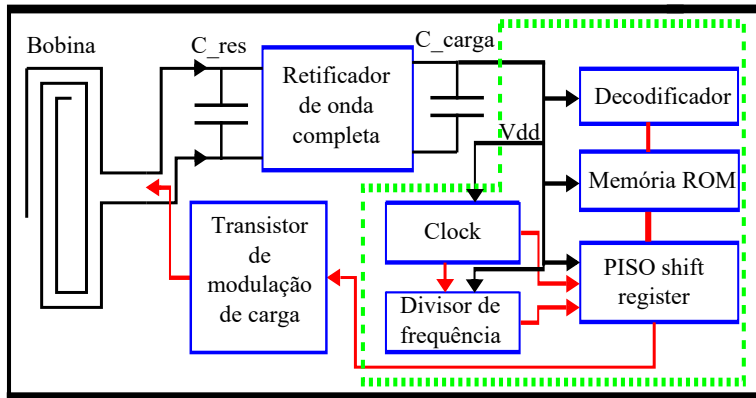
Agenda - Projeto da etiqueta (simulações)

- 1 Introdução
- 2 Definição do sistema proposto
- 3 Projeto da etiqueta (simulações)**
- 4 Projeto do leitor de memória ROM (simulações)
- 5 Resultados experimentais
- 6 Conclusões
- 7 Propostas de trabalhos futuros

Especificações da etiqueta (GF180nm)

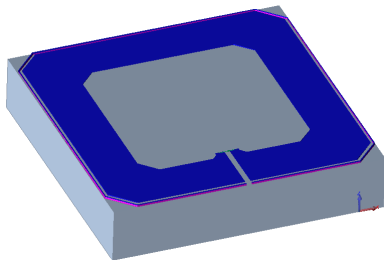
Especificação	Valor desejado
Tensão de alimentação da carga	1 V
Potência média máxima na carga (corners)	3 μ W
Potência média nominal na carga	1 μ W
Frequência do sinal de RF	1,04 GHz
Frequência do sinal modulante	1 MHz

Etiqueta proposta - Diagrama de blocos geral

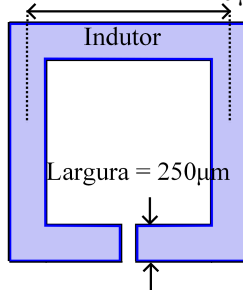


Indutor projetado para 1,04 GHz (WPT). (Trabalho do Fabian Cabrera no LRF)

Indutor na ferramenta EMPro.



Dimensões do indutor.
Diâmetro médio = $1210\ \mu\text{m}$

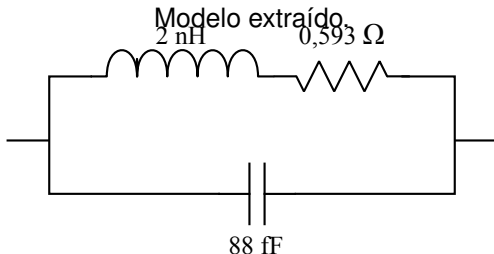
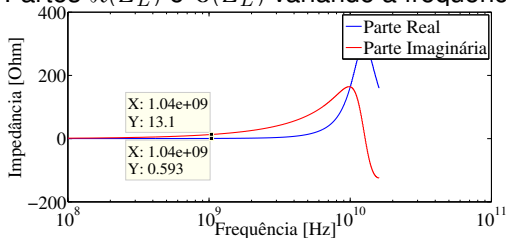


F.L. Cabrera and F.R.de Sousa *Extending the Inductor Operating Frequency for Optimally-coupled Wireless Power Transfer Systems*. International Microwave and Optical Conference (IMOC 2015), Porto de Galinhas. 2015.

F.L. Cabrera and F.R.de Sousa *Contactless Characterization of a CMOS Integrated LC Resonator for Wireless Power Transferring*. IEEE Microwave and Wireless Components Letters, 2015.

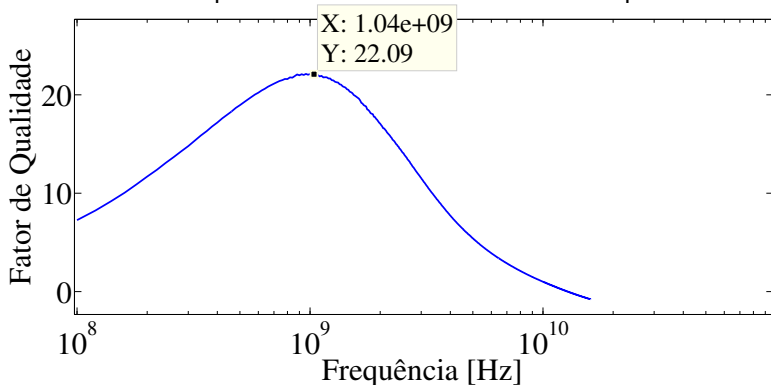
Indutor projetado para 1,04 GHz - Modelo

Partes $\Re(Z_L)$ e $\Im(Z_L)$ variando a frequência.



Indutor projetado para 1,04 GHz - Fator de Qualidade do indutor

Fator de qualidade do indutor variando a frequência.

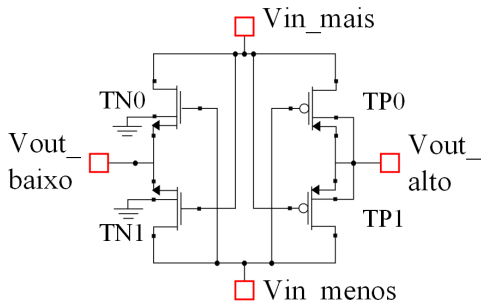


● Q = 22,09 @ 1,04 GHz.

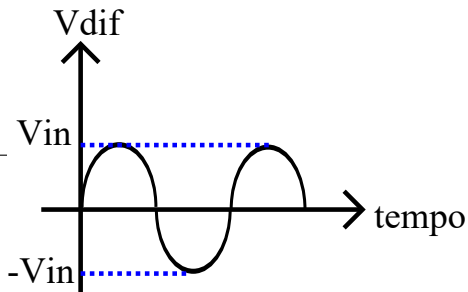
Retificador de tensão - Célula unitária (P=-6 dBm)



Célula unitária.

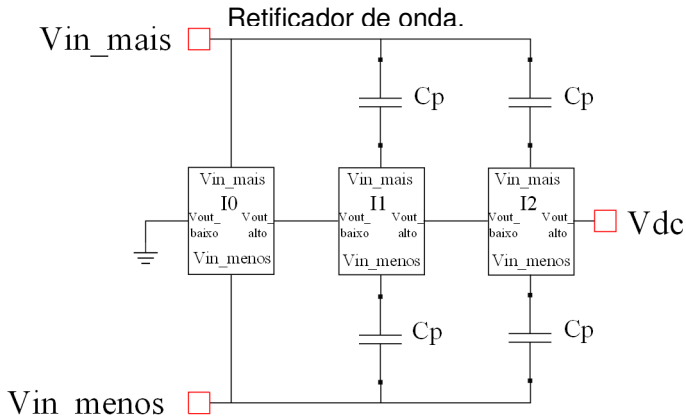


Tensão diferencial na entrada.



- $V_{dc} = (2V_{in} - V_{dropPmos} - V_{dropNmos}).$

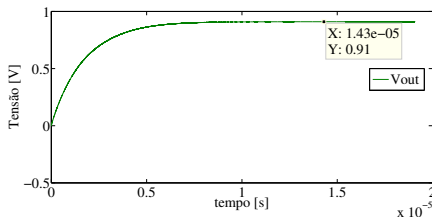
Retificador de tensão cascadeado



- $V_{dc} = N(2V_{in} - V_{dropPmos} - V_{dropNmos}).$

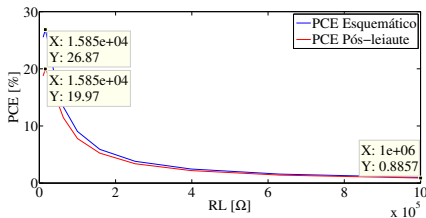
Retificador de tensão - Simulações

Simulação transiente pós-leiaute.



- $V_{DC} = 0,91V$

PCE variando o valor da carga.



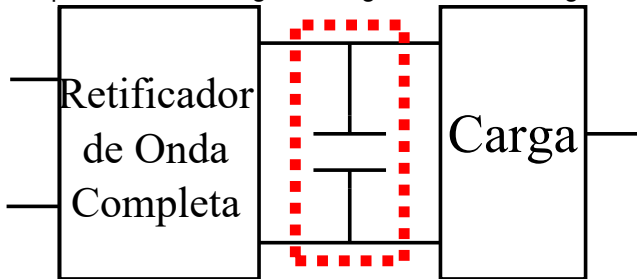
- $PCE = \frac{P_{carga}}{P_{entrada}}$

Valores simulações PCE.

Figura de mérito	Valor esquemático	Valor pós-leiaute
PCE variando RL, (pdBm=-5 dBm e Wp=Wn= 48 μm) [%]	26,87	19,97

Capacitância da carga

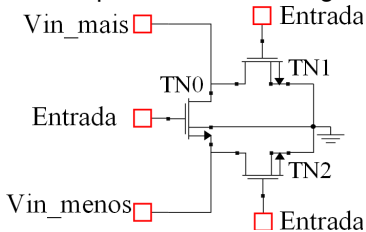
Capacitância da carga no diagrama de blocos geral.



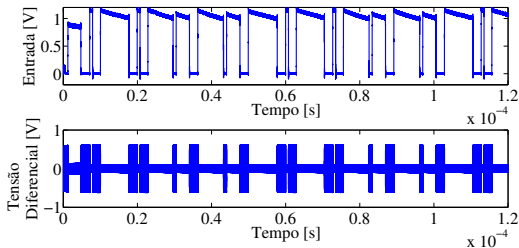
- Corrente nominal (corners): $12 \mu A$ (@ $27^\circ C$).
- Tensão de ondulação: $C = \frac{I_{carga}}{2f\Delta V} = 60 pF$

Modulação da carga

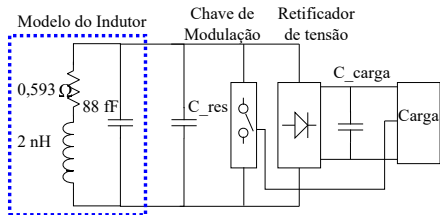
Chave para modular a carga.



Tensões de entrada e diferencial.

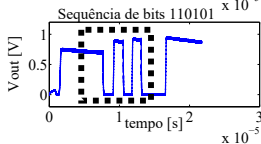
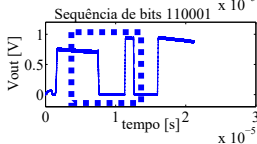
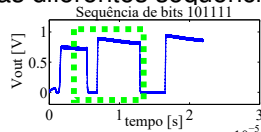
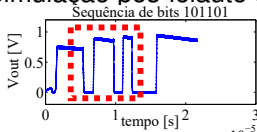


Etiqueta integrada



	Valor A1	Valor A0	Sequência de Bits
	0	0	110101
	0	1	110001
	1	0	101111
	1	1	101101

Simulação pós-leitura das diferentes sequências.





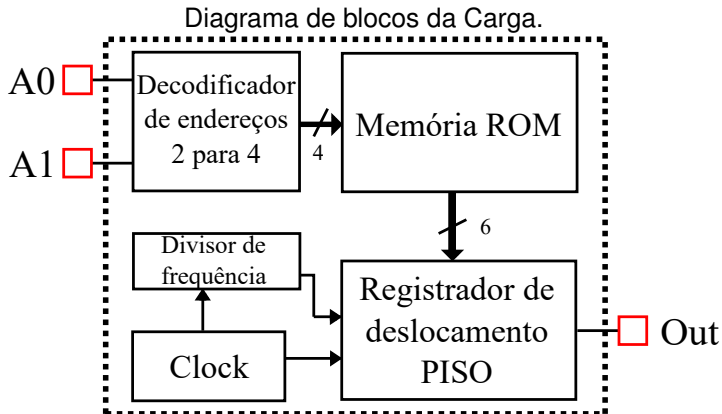
Agenda - Projeto do leitor de memória ROM (simulações)

- 1 Introdução
- 2 Definição do sistema proposto
- 3 Projeto da etiqueta (simulações)
- 4 Projeto do leitor de memória ROM (simulações)**
- 5 Resultados experimentais
- 6 Conclusões
- 7 Propostas de trabalhos futuros

Especificações da carga (GF180nm)

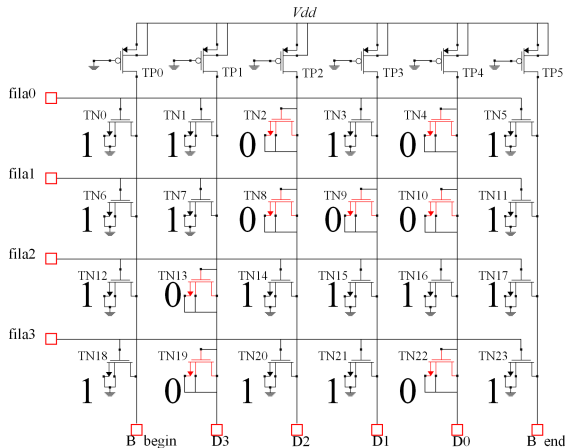
Especificação	Valor desejado
Tensão de alimentação da carga	1 V
Potência média máxima na carga (corners)	3 μ W
Potência média nominal na carga	1 μ W
Frequência do sinal modulante	1 MHz

Carga do sistema



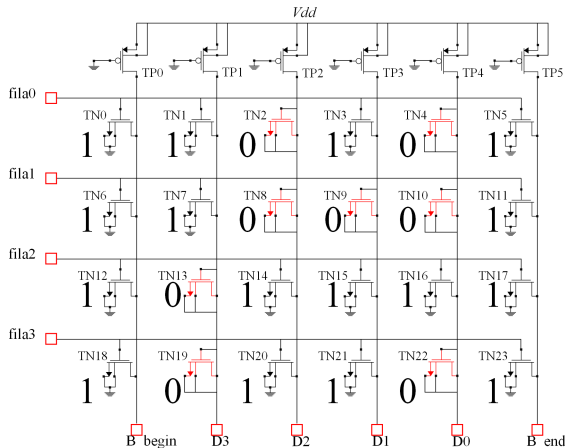
Memória ROM - Esquemático

- MOS NOR ROM.
- Transistores Pmos (*weak-pull*).
- Transistores dummy (vermelho).



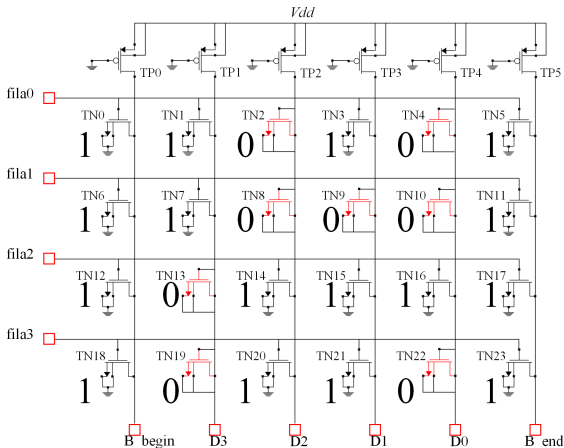
Memória ROM - Esquemático

- MOS NOR ROM.
- Transistores Pmos (*weak-pull*).
- Transistores dummy (vermelho).

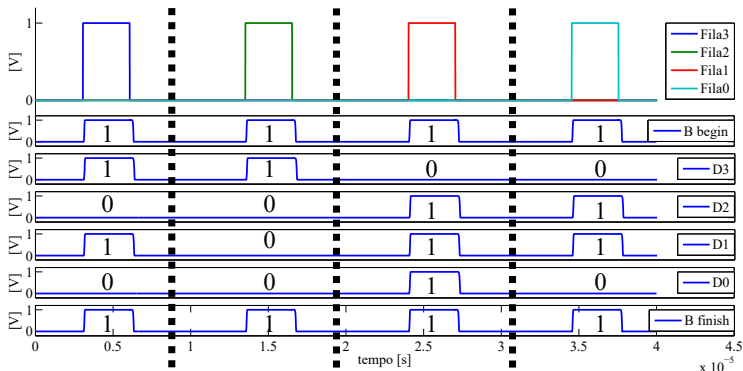


Memória ROM - Esquemático

- MOS NOR ROM.
- Transistores Pmos (*weak-pull*).
- Transistores dummy (vermelho).



Memória ROM - Simulações

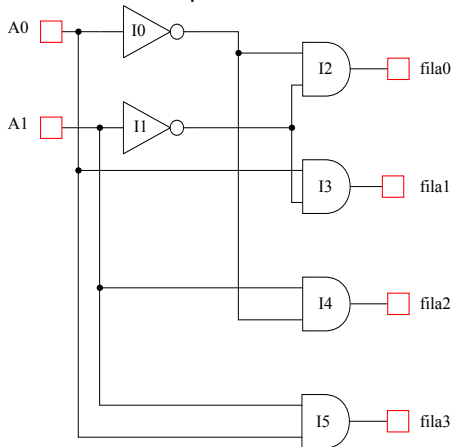


Resultados dos parâmetros da memória ROM.

Parâmetro	Valor obtido do esquemático	Valor obtido da extração das parasitas
Potência média (estática) [nW]	589,6	498,6
Potência de pico (dinâmica) [nW]	590,4	1655
Tempo de propagação de baixo para alto [ns]	71,2	92,14

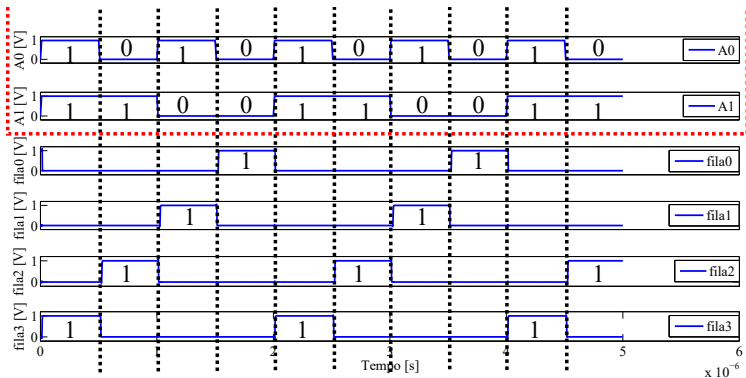
Decodificador de endereços de 2 para 4

Esquemático.



Valor A1	Valor A0	Sequência
0	0	110101
0	1	110001
1	0	101111
1	1	101101

Decodificador de endereços de 2 para 4

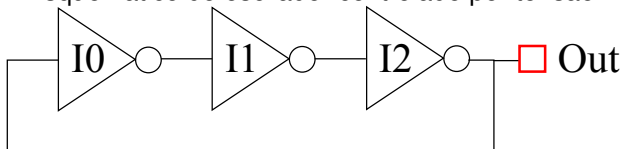


Resultados dos parâmetros do decodificador de endereços.

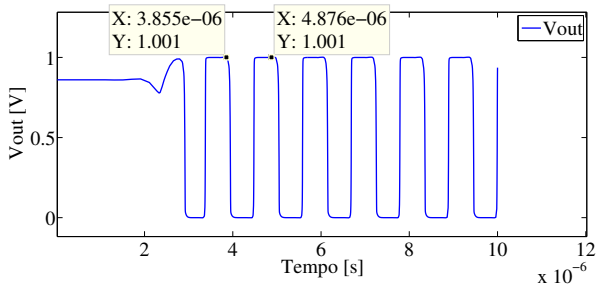
Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [nW]	0,211	0,3043
Potência de pico (dinâmica) [nW]	3,59	3,91
Tempo de <i>atraso</i> [ns]	49,4	52,7

Oscilador com frequência de 1 MHz (Clock)

Esquemático do oscilador controlado por tensão.

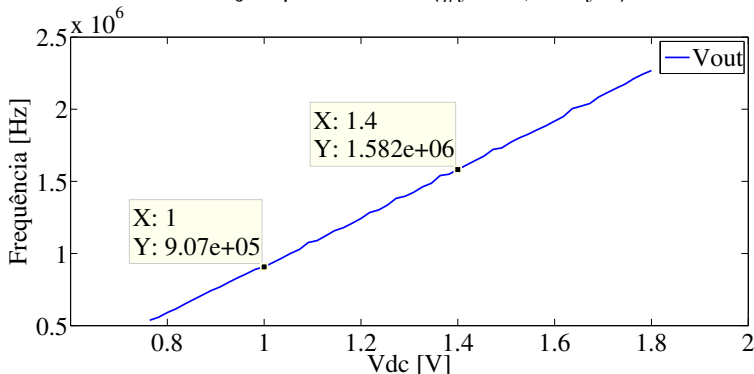


Simulação transiente ($f_{osc} = 980kHz$).



Oscilador com frequência de 1MHz - Simulações

Simulação paramétrica ($\frac{dF}{dV} = 1,69 \frac{MHz}{V}$).

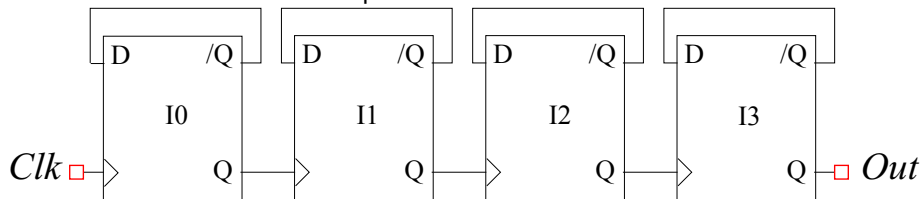


Parâmetros do oscilador em anel.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das estruturas parasitas
Potência média (estática) [nW]	153,1	244,4
Potência de pico (dinâmica) [nW]	304	280,5
Variação da frequência com a tensão	$1,86 \frac{MHz}{V}$	$1,69 \frac{MHz}{V}$

Divisor de frequência

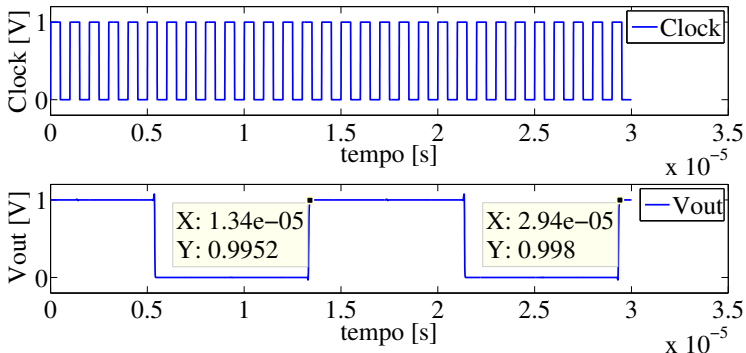
Esquemático do Divisor.



$$\bullet f_{osc} = \frac{f_{clock}}{2^N}$$

Divisor de frequência - Simulações

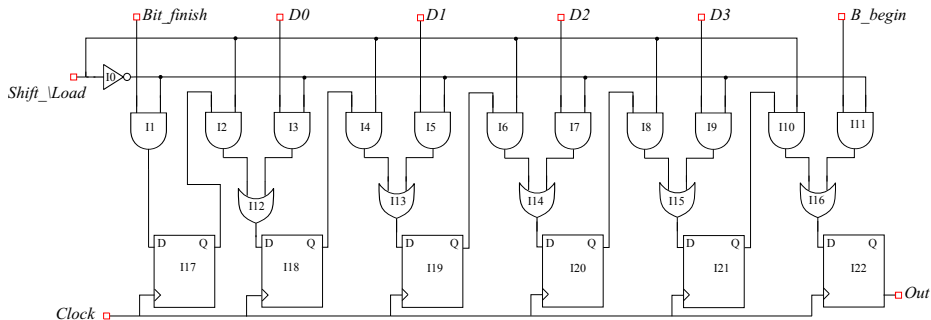
Simulação transiente $f_{osc} = 62.5kHz$.



Parâmetros do divisor de frequência.

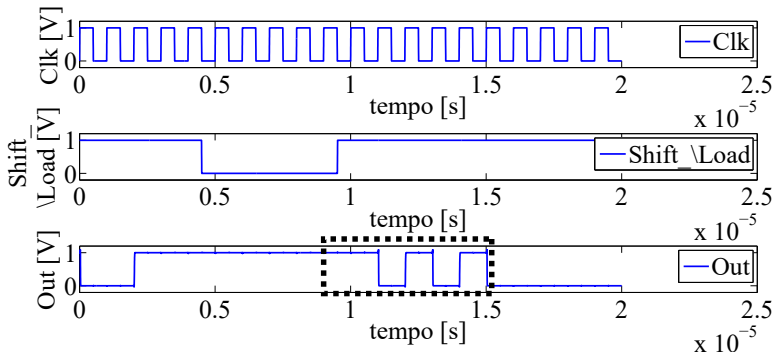
Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [μ W]	0,17	0,24
Potência de pico (dinâmica) [μ W]	3	1,6
Atraso de propagação [μ s]	10,2	12,3

Registrador de deslocamento PISO



Registrador de deslocamento PISO - Simulações

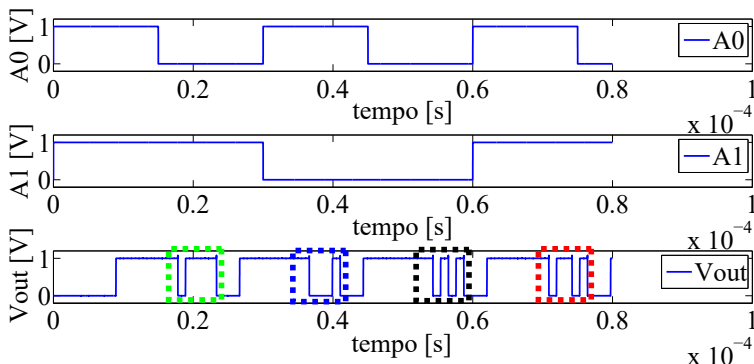
Sequência de bits 110101.



Parâmetros do Registrador de deslocamento PISO.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [μ W]	0,18	0,3
Potência de pico (dinâmica) [μ W]	9,5	10,7
Atraso de propagação [ns]	12,32	24,63

Carga do sistema - Simulação



Parâmetros da carga.

Parâmetro	Valor obtido do esquemático	Valor obtido com extração das parasitas
Potência média (estática) [μW]	1,2	1,37
Potência de pico (dinâmica) [μW]	11,37	12
Tempo de <i>atraso</i> [μs]	12,43	12,78

Verificação dos Corners da Carga- PVT

Corners

Corner	C0	C1	C2	C3
Processo	ff	ss	fs	sf
Vdd [V]	0,9 e 1,1	0,9 e 1,1	0,9 e 1,1	0,9 e 1,1
Temperatura [°C]	-40 e 80	-40 e 80	-40 e 80	-40 e 80

Corners das potências estática e dinâmica dos sub-blocos da carga para a entrada A0=1 V e A1=1 V.

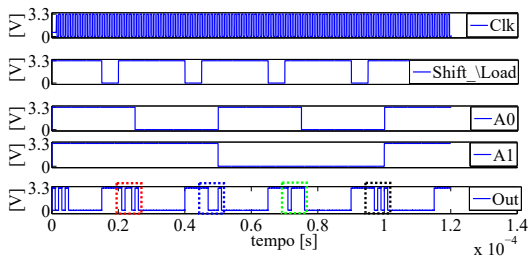
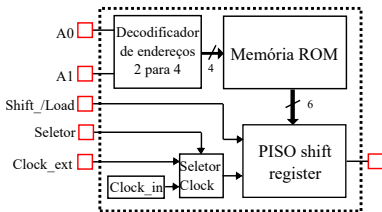
Sub-bloco	Potência Estática [μ W]			Potência Dinâmica [μ W]		
Corner	Nominal	Mínimo	Máximo	Nominal	Mínimo	Máximo
Decodificador de endereços de 2 para 4	$2,63 \times 10^{-3}$	$1,58 \times 10^{-3}$	$6,12 \times 10^{-3}$	4,8	2,91	10,57
Memória ROM	0,47	0,23	1,02	0,6	0,3	1,29
Oscilador em anel	0,15	$12,86 \times 10^{-3}$	0,33	0,3	$14,51 \times 10^{-3}$	0,71
Registrador de deslocamento PISO	0,169	$0,26 \times 10^{-3}$	0,4	10,33	0,162	23,900
Divisor de frequência	0,16	$0,1 \times 10^{-3}$	0,34	1,68	$43,68 \times 10^{-3}$	6,54
Total	1,23	0,31	2,66	12,49	3,37	28,9



Agenda - Resultados dos circuitos projetados

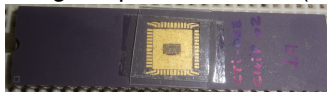
- 1 Introdução
- 2 Definição do sistema proposto
- 3 Projeto da etiqueta (simulações)
- 4 Projeto do leitor de memória ROM (simulações)
- 5 Resultados experimentais**
- 6 Conclusões
- 7 Propostas de trabalhos futuros

Protótipo da carga na tecnologia XFAB600nm - Simulações

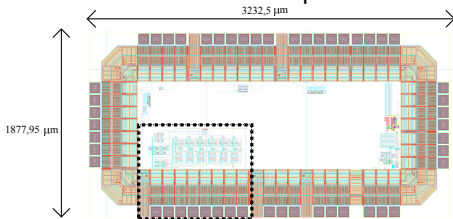


Protótipo na tecnologia XFAB600nm - Amostra e Leiaute

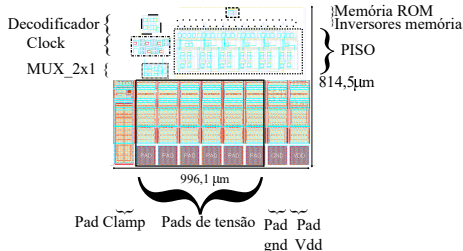
Chip entregue pelo fabricante (DIP 40).



Leiaute do chip.

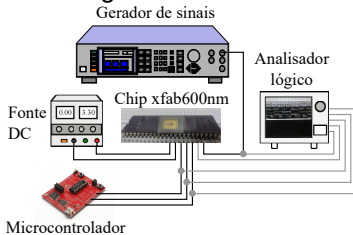


Leiaute do leitor da memória.

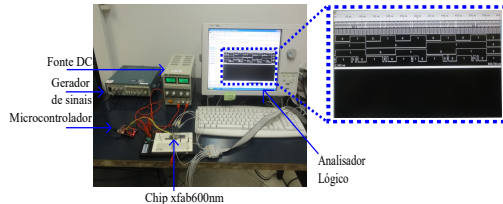


Protótipo na tecnologia XFAB600nm - Analisador Lógico

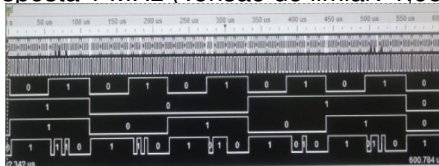
Diagrama de blocos.



Setup experimental.

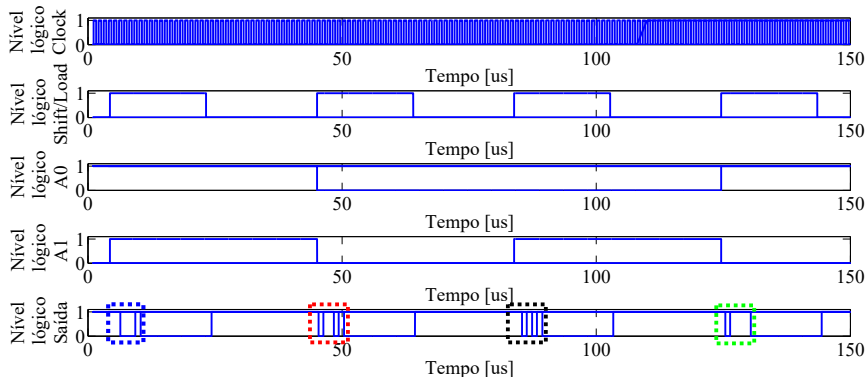


Resposta 1 MHz (Tensão de limiar: 1,65 V).



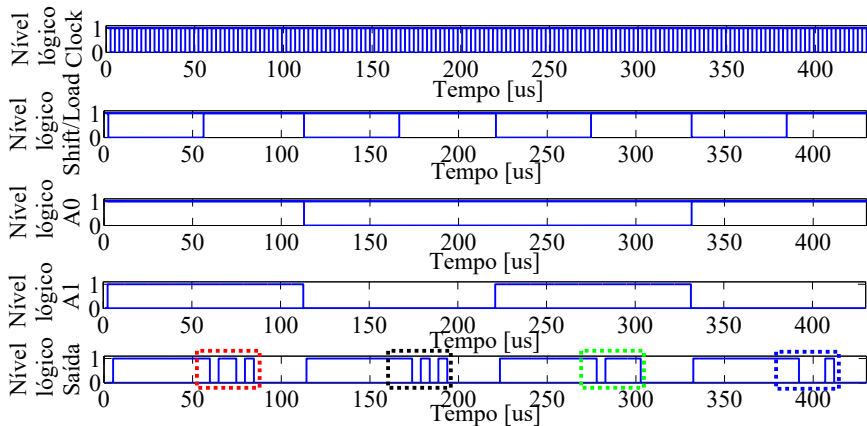


Protótipo na tecnologia XFAB600nm - Analisador Lógico - Resultados Clk = 1 MHz.





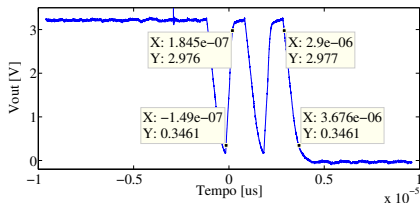
Protótipo na tecnologia XFAB600nm - Analisador Lógico - Resultados Clk = 200 kHz.



Protótipo na tecnologia XFAB600nm-Osciloscópio

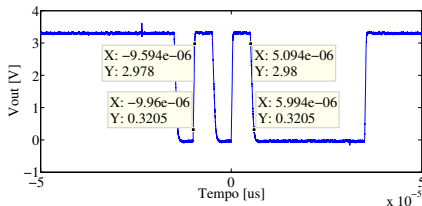


Medida Clk=1 MHz.



$$t_r = 333,5 \text{ ns}; t_f = 776 \text{ ns}$$

Medida Clk=200 kHz.

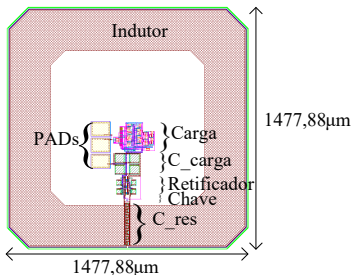


$$t_r = 366 \text{ ns}; t_f = 900 \text{ ns}$$

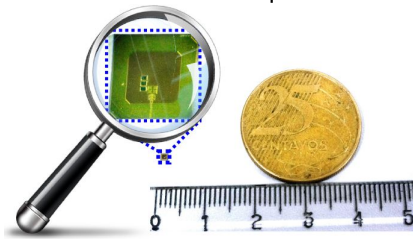
Protótipo na tecnologia GF180nm

- 40 amostras recebidas.
- Pós-processo do corte do seal ring (7 amostras).

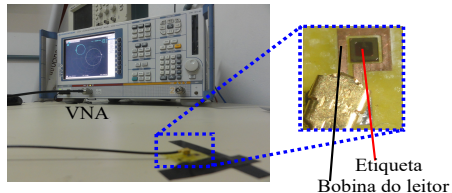
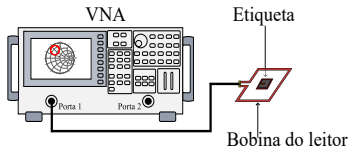
Leiaute da etiqueta.



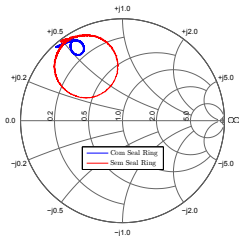
Amostra da etiqueta.



Protótipo na tecnologia GF180nm- Metodologia



Carta de Smith.

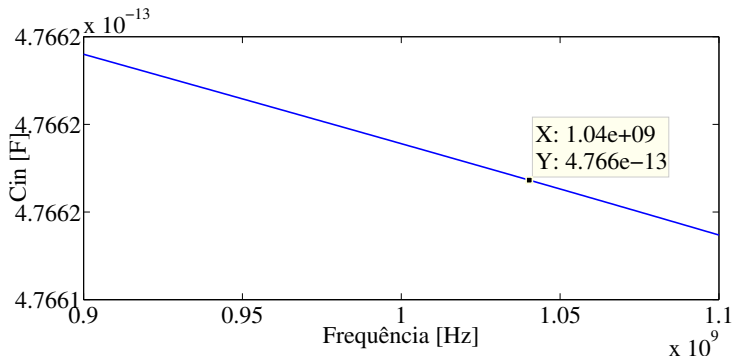


Valores médios dos parâmetros.

Parâmetro	Valor médio
Frequência de ressonância [MHz]	983,79
Fator de qualidade do indutor	19,13
Fator de acoplamento indutivo	0,2488

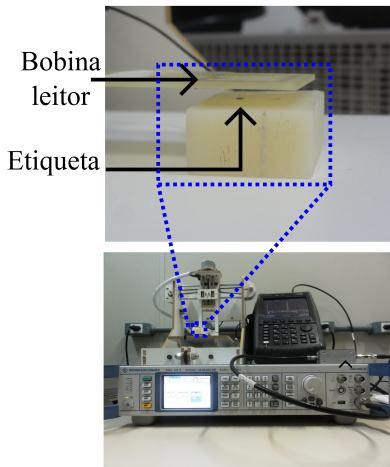
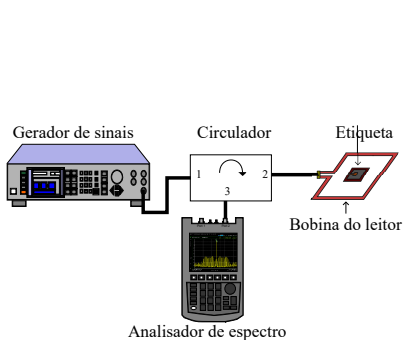
Metodologia em: **F.L. Cabrera and F.R. de Sousa** *Contactless Characterization of a CMOS Integrated LC Resonator for Wireless Power Transferring*. IEEE Microwave and Wireless Components Letters, 2015.

Protótipo na tecnologia GF180m - Capacitância de entrada retificador



- $C_{in@1,04\text{ GHz}} = 477\text{ fF}$.
- $C_{Total} = 11,7\text{ pF} + 477\text{ fF} = 12,17\text{ pF} \Rightarrow f_{osc} = 1,02\text{ GHz}$

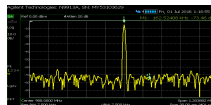
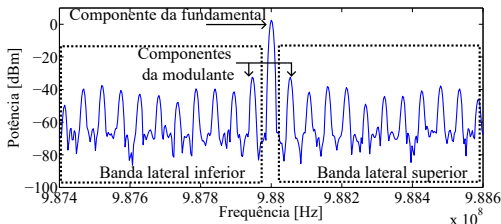
Protótipo na tecnologia GF180nm - Setup da resposta em frequência



Protótipo na tecnologia GF180nm - Resultados da Resposta em frequência

Resposta para diferentes potências.

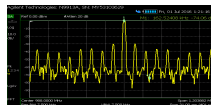
Resposta para $P = 18$ dBm.



$P = 7$ dBm

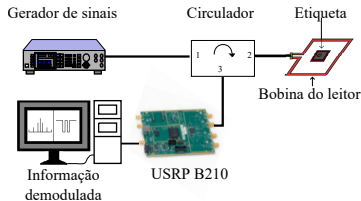


$P = 14$ dBm

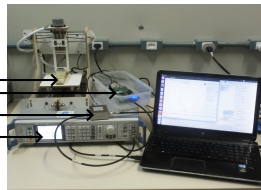


$P = 18$ dBm

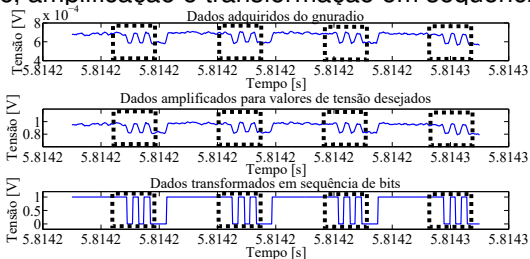
Resposta transiente -Setup e processamento dos dados



Etiqueta
USRP
Circulador
Gerador de
sinais



Aquisição, amplificação e transformação em sequência de bits



Resultados do projeto vs Estado da arte

Comparação dos resultados obtidos com o estado da arte escolhido.

Referência	[2]*	[3]	[4]	[5]	[6]	Este trabalho*
Tecnologia [nm]	CMOS 350 nm	CMOS 1,2 μm	CMOS 180 nm	CMOS 180 nm	CMOS 130 nm	CMOS 180 nm
Potência média da etiqueta	360 μW	-	720 μW	6 μW	1 mW	1 μW
Potência emitida pelo leitor	-	-	250 mW	160 mW	100 mW	40 mW
Tensão de alimentação [V]	3	0,7	1,8	1,2	1,2	1
Frequência do sinal da portadora [MHz]	915	13,56	13,56	900	160	1040
Frequência do sinal modulante [MHz]	0,5	0,212	-	0,2	-	1
Área total da etiqueta [$m \times m$]	$0,38 \times 0,38$	7×7	$1,5 \times 1,5$	$1,4 \times 1,4$	$2 \times 2,18$	$1,5 \times 1,5$
Fator de qualidade do indutor integrado	6,2	1,2	0,89	-	12,3	19,13

*Possui memória ROM integrada.

[2]: **G. Haobijam et al.** *RFID Circuit Design with Optimized CMOS Inductor for Monitoring Biomedical Signals*. 15th International Conference on Advanced Computing and Communications, 2007.*

[3]: **B. Kim et al.** *13.56 MHz-RFID Biosensor with On-chip Spiral Inductor*. International Conference on Enabling Science and Nanotechnology (ESciNano), 2010.

[4]: **A. Baldi et al.** *Powering of single-chip fully integrated RFID wireless sensors*. 37th Annual Conference on IEEE Industrial Electronics Society (IECON), 2011.

[5]: **M. Nazari et al.** *An Implantable Continuous Glucose Monitoring Microsystem in 0.18 μm CMOS*. Symposium on VLSI Circuits Digest of Technical Papers, 2014.

[6]: **M. Zargham and P. G. Gulak** *Fully Integrated On-Chip Coil in 0.13 μm CMOS for Wireless Power Transfer Through Biological Media*. IEEE Transactions on biomedical circuits and systems, vol. 9, no. 2, april, 2015.



Agenda - Conclusões

- 1 Introdução
- 2 Definição do sistema proposto
- 3 Projeto da etiqueta (simulações)
- 4 Projeto do leitor de memória ROM (simulações)
- 5 Resultados experimentais
- 6 Conclusões**
- 7 Propostas de trabalhos futuros

Conclusões



- Um dispositivo miniaturizado completamente integrado com características de um sistema RFID para identificação de objetos foi apresentado incluindo as diferentes etapas do fluxo de projeto de circuitos integrados.
- Todos os blocos da Carga foram otimizados para atingir as especificações do consumo de potência (estática e dinâmica).
- Realizou-se uma caracterização da etiqueta no domínio da frequência, comprovando o correto funcionamento da etiqueta.



Conclusões

- Um dispositivo miniaturizado completamente integrado com características de um sistema RFID para identificação de objetos foi apresentado incluindo as diferentes etapas do fluxo de projeto de circuitos integrados.
- Todos os blocos da Carga foram otimizados para atingir as especificações do consumo de potência (estática e dinâmica).
- Realizou-se uma caracterização da etiqueta no domínio da frequência, comprovando o correto funcionamento da etiqueta.



Conclusões

- Um dispositivo miniaturizado completamente integrado com características de um sistema RFID para identificação de objetos foi apresentado incluindo as diferentes etapas do fluxo de projeto de circuitos integrados.
- Todos os blocos da Carga foram otimizados para atingir as especificações do consumo de potência (estática e dinâmica).
- Realizou-se uma caracterização da etiqueta no domínio da frequência, comprovando o correto funcionamento da etiqueta.

Conclusões-2



- Realizou-se a extração da informação no domínio do tempo utilizando uma plataforma de radio definido por software, substituindo os equipamentos de medição de alto custo e, assim, validando o funcionamento do sistema completo.
- Comparando com o Estado da Arte, houve uma diminuição no consumo de potência, nas dimensões da etiqueta e um aumento do fator de qualidade do indutor da etiqueta (realizado no trabalho de doutorado do Fabian Cabrera).

Conclusões-2



- Realizou-se a extração da informação no domínio do tempo utilizando uma plataforma de radio definido por software, substituindo os equipamentos de medição de alto custo e, assim, validando o funcionamento do sistema completo.
- Comparando com o Estado da Arte, houve uma diminuição no consumo de potência, nas dimensões da etiqueta e um aumento do fator de qualidade do indutor da etiqueta (realizado no trabalho de doutorado do Fabian Cabrera).



Propostas de trabalhos futuros

- 1 Introdução
- 2 Definição do sistema proposto
- 3 Projeto da etiqueta (simulações)
- 4 Projeto do leitor de memória ROM (simulações)
- 5 Resultados experimentais
- 6 Conclusões
- 7 Propostas de trabalhos futuros**



Propostas de trabalhos futuros

- Topologia de retificador de onda completa com tensões de ativação menores (diodos Schottky).
- Inserção de um circuito limitador de tensão para manter o restante do sistema dentro dos níveis seguros de operação.
- Regulador de tensão para manter uma tensão constante na carga evitando os efeitos da modulação de carga sobre a alimentação.
- Desenvolver um método de seleção das sequências de bits baseado no nível de potência disponível na entrada da etiqueta para eliminar o uso de pads.



Propostas de trabalhos futuros

- Topologia de retificador de onda completa com tensões de ativação menores (diodos Schottky).
- **Inserção de um circuito limitador de tensão para manter o restante do sistema dentro dos níveis seguros de operação.**
- Regulador de tensão para manter uma tensão constante na carga evitando os efeitos da modulação de carga sobre a alimentação.
- Desenvolver um método de seleção das sequências de bits baseado no nível de potência disponível na entrada da etiqueta para eliminar o uso de pads.



Propostas de trabalhos futuros

- Topologia de retificador de onda completa com tensões de ativação menores (diodos Schottky).
- Inserção de um circuito limitador de tensão para manter o restante do sistema dentro dos níveis seguros de operação.
- Regulador de tensão para manter uma tensão constante na carga evitando os efeitos da modulação de carga sobre a alimentação.
- Desenvolver um método de seleção das sequências de bits baseado no nível de potência disponível na entrada da etiqueta para eliminar o uso de pads.



Propostas de trabalhos futuros

- Topologia de retificador de onda completa com tensões de ativação menores (diodos Schottky).
- Inserção de um circuito limitador de tensão para manter o restante do sistema dentro dos níveis seguros de operação.
- Regulador de tensão para manter uma tensão constante na carga evitando os efeitos da modulação de carga sobre a alimentação.
- **Desenvolver um método de seleção das sequências de bits baseado no nível de potência disponível na entrada da etiqueta para eliminar o uso de pads.**

Agradecimentos



Muito Obrigado!

Email: j.s.moya@posgrad.ufsc.br

Site: <http://lrf.ufsc.br/>





Perguntas?