

**UNIVERSIDADE FEDERAL DE SANTA CATARINA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

Rodrigo Eduardo Rottava

**ANÁLISE E PROJETO DE UM OSCILADOR COLPITTS COM  
DUPLA REALIMENTAÇÃO POSITIVA OPERANDO EM ALTA  
FREQUÊNCIA E ULTRABAIXA TENSÃO DE ALIMENTAÇÃO**

Monografia apresentada como requisito para obtenção do grau de Bacharel em Engenharia Eletrônica, submetida ao departamento de Engenharia Elétrica, pertencente ao Centro Tecnológico da Universidade Federal de Santa Catarina. Orientador: Prof. Dr., UFSC Fernando Rangel de Sousa

Florianópolis

2014



Rodrigo Eduardo Rottava

**ANÁLISE E PROJETO DE UM OSCILADOR COLPITTS COM  
DUPLA REALIMENTAÇÃO POSITIVA OPERANDO EM ALTA  
FREQUÊNCIA E ULTRABAIXA TENSÃO DE ALIMENTAÇÃO**

Esta monografia foi julgada no contexto da disciplina **EEL7806 - Projeto Final TCC** e aprovada em sua forma final pelo **Curso de Engenharia Eletrônica**.

Florianópolis, 05/12/2014.

---

Jefferson Luiz Brum Marques, Dr., UFSC  
Coordenador do Curso

**Banca Examinadora:**

---

Fernando Rangel de Sousa, Dr., UFSC  
Orientador

---

Daniel Juan Pagano, Dr., UFSC

---

Germán Andrés Álvarez Botero, Dr., UFSC

---

Héctor Pettenghi Roldan, Dr., UFSC





## RESUMO

Este documento apresenta a análise de um oscilador Colpitts com dupla realimentação positiva, a otimização deste circuito para operação em ultrabaixa tensão de alimentação e um projeto baseado em tal fundamentação teórica. O trabalho inicia com uma breve introdução sobre osciladores e os compromissos no projeto destes circuitos, com foco em aplicações que requerem baixo consumo de energia e tensão. Em sequência os principais métodos de análise de osciladores são apresentados, bem como o modelo de transistor MOS utilizado neste trabalho. Esse estudo embasa a análise de um oscilador Colpitts clássico, e posteriormente a análise do circuito proposto. O oscilador Colpitts com dupla realimentação positiva é capaz de sustentar oscilações com um requisito de transcondutância menor do que a versão clássica deste circuito. Esta redução se reflete em um menor consumo de energia e tensão de alimentação. Métodos de otimização são derivados a partir dos alicerces teóricos desenvolvidos. Um projeto visando ultrabaixa tensão de alimentação e operação na frequência de 2,4 GHz é desenvolvido, baseado nos estudos aqui apresentados. Um protótipo foi projetado em tecnologia CMOS 0,13  $\mu\text{m}$  padrão utilizando um transistor zero- $V_T$  como dispositivo ativo. Alguns resultados parciais de medição são apresentados neste documento. O protótipo é capaz de oscilar com uma tensão de alimentação mínima de 53 mV, consumindo cerca de 0,9  $\mu\text{W}$ . Houve um desvio na frequência de oscilação, e esta vale 1,86 GHz.

**Palavras-chave:** Oscilador Colpitts, dupla realimentação positiva, oscilador CMOS, ultrabaixa tensão.



## ABSTRACT

This document presents the analysis of a double-positive-feedback Colpitts oscillator, the optimization of this circuit for ultra-low voltage applications, and a design based on the developed studies. The document starts with a short introduction on oscillators, and the trade-offs in their design, with focus on low-voltage and low-power consumption. Following that, the main methods of analyzing this circuit will be presented, as well as the MOS transistor model used in this work. This theoretical framework will support the classical Colpitts oscillator analysis, and then the proposed circuit analysis. The double-positive-feedback Colpitts oscillator is capable of maintaining oscillations with a lower required transconductance than the classical version of this circuit. This decrement in the required transconductance reflects on a lower voltage and power consumption. Optimization methods are derived from the developed analysis. A prototype is designed aiming ultra-low voltage operation, and frequency of 2.4 GHz. This prototype was developed in a standard CMOS 0.13  $\mu\text{m}$  technology, using a zero- $V_T$  transistor as the active device. Some partial results are presented in this document. The prototype is capable of oscillating with a minimum supply voltage of 53 mV, consuming 0,9  $\mu\text{W}$  of power, at 1,86 GHz.

**Keywords:** Colpitts oscillator, double-feedback, CMOS oscillator, ultra-low voltage.



## LISTA DE FIGURAS

1	(a) Sistema realimentado formado por um amplificador $A(s)$ e por um bloco de realimentação $\beta(s)$ . (b) Representação qualitativa da resposta de um sistema realimentado de segunda ordem e polos complexos. . . . .	20
2	Representação do oscilador como uma conexão de dois blocos: uma rede de uma porta e uma carga. . . . .	23
3	Representação alternativa do sistema realimentado apresentado na Figura 1(a). . . . .	24
4	Modelo simplificado de pequenos sinais para o transistor MOS. . . . .	26
5	(a) Uma configuração clássica do oscilador Colpitts de porta comum. (b) Subdivisão do oscilador em dois blocos para facilitar a análise. . . . .	30
6	Modelo de pequenos sinais do amplificador com realimentação positiva. . . . .	31
7	(a) O oscilador Colpitts com dupla realimentação positiva e (b) a subdivisão deste oscilador em um bloco de carga e um bloco amplificador com dupla realimentação positiva. . . . .	35
8	(a) Modelo de pequenos sinais do oscilador Colpitts com dupla realimentação positiva e (b) um modelo simplificado deste oscilador. . . . .	36
9	(a) $C_{1eq}$ e (b) $C_{2eq}$ em função da indutância $L_g$ . . . . .	38
10	Transformação de uma rede T para uma rede $\pi$ (ou estrela-delta). . . . .	38
11	(a) Parte real e (b) parte imaginária de $Y_{out}$ , para os parâmetros especificados no texto. . . . .	43
12	Fluxograma de projeto do oscilador Colpitts com dupla realimentação positiva. . . . .	47
13	Simulação pós <i>layout</i> do oscilador projetado da (a) tensão no dreno do oscilador e (b) corrente de dreno. . . . .	49
14	Simulação do ruído de fase pós <i>layout</i> do oscilador projetado. O oscilador apresenta um ruído de fase de -91,5 dBc/Hz a 1 MHz da portadora. . . . .	50
15	Circuito completo que foi integrado. Inclui o oscilador de ultrabaixa tensão e um <i>buffer</i> de adaptação. . . . .	51
16	(a) Funcionalidade do <i>bias-T</i> e (b) uma foto do que foi utilizado na medição. . . . .	51

17	<i>Layout</i> do protótipo desenvolvido com uma área total é de 0,9 mm <sup>2</sup> . . . . .	53
18	Microfotografia do circuito integrado em teste. . . . .	54
19	Parte do <i>setup</i> de medição do circuito integrado. . . . .	55
20	Foto da medição do circuito operando com a mínima tensão de alimentação. . . . .	56
21	Resultados de medição do oscilador projetado para (a) 53 mV, (b) 61 mV e (d) 102 mV. [ <i>Resolution Bandwidth</i> = 3 MHz] . . .	57
22	Resultados de medição do oscilador projetado para dois <i>chips</i> diferentes. Tensão de alimentação versus (a) corrente consumida, (b) frequência de oscilação e (c) potência de saída. . . .	58

## LISTA DE TABELAS

1	Osciladores em tecnologia CMOS no estado da arte. . . . .	17
2	Parâmetros do transistor zero- $V_T$ utilizado no projeto do oscilador. . . . .	48
3	Comparação entre o oscilador medido e outros osciladores no estado da arte. . . . .	60





## SUMÁRIO

<b>1 INTRODUÇÃO</b> .....	15
1.1 MOTIVAÇÃO.....	15
1.2 ORGANIZAÇÃO DO TRABALHO .....	16
<b>2 FUNDAMENTAÇÃO TEÓRICA</b> .....	19
2.1 ANÁLISE DO OSCILADOR COMO SISTEMA REALIMEN- TADO.....	19
2.2 ANÁLISE DO OSCILADOR POR RESISTÊNCIA NEGATIVA	22
2.3 EQUIVALÊNCIA DOS MÉTODOS DE ANÁLISE .....	23
2.4 MODELO DO TRANSISTOR MOS .....	26
<b>3 OSCILADOR COM DUPLA REALIMENTAÇÃO POSITIVA</b>	29
3.1 O OSCILADOR COLPITTS CLÁSSICO .....	29
3.2 O OSCILADOR COLPITTS COM DUPLA REALIMENTAÇÃO	33
3.2.1 Frequência de oscilação .....	39
3.2.2 Condição mínima de oscilação .....	39
3.3 OTIMIZAÇÃO PARA MÍNIMA TENSÃO DE ALIMENTAÇÃO	41
3.3.1 Razão capacitiva ótima .....	41
3.3.2 Segunda realimentação .....	42
<b>4 OSCILADOR DE ULTRA-BAIXA TENSÃO</b> .....	45
4.1 INTRODUÇÃO .....	45
4.2 REVISÃO DO ESTADO DA ARTE .....	45
4.3 PROJETO DO OSCILADOR .....	46
4.4 PROJETO DO <i>BUFFER</i> .....	50
4.5 CONSIDERAÇÕES DO <i>LAYOUT</i> .....	52
4.6 RESULTADOS PARCIAIS DE MEDIÇÃO .....	52
4.7 CONCLUSÕES DO PROJETO .....	59
<b>5 CONCLUSÃO DO TRABALHO</b> .....	61
<b>Referências bibliográficas</b> .....	64
<b>Apêndice A – Artigos apresentados e publicados</b> .....	65



# 1 INTRODUÇÃO

## 1.1 MOTIVAÇÃO

Em sistemas de comunicação clássicos, osciladores eletrônicos fornecem um sinal de referência que auxilia na translação em frequência da informação em banda base para banda passante, e vice-versa. A qualidade do sinal recebido (ou quantidade de informação recebida) está relacionada com a pureza espectral deste sinal de referência (RAZAVI, 2012). Entretanto, do ponto de vista de consumo, gerar sinais de referência de grande pureza espectral (baixo ruído de fase) demanda uma quantidade de potência relativamente alta, como pode ser verificado na Tabela 1, para alguns osciladores no estado da arte. Esta quantidade de potência é demasiadamente grande no escopo de sistemas de comunicação implantáveis, como as WBANs (*Wireless Body Area Network*), como apresentado na referência (BRADLEY, 2006).

Transceptores implantáveis têm sido muito pesquisados em aplicações de medição contínua de sinais vitais, como por exemplo frequência cardíaca, níveis de glicose no sangue e temperatura. Estas aplicações têm como característica uma baixa taxa de transmissão de dados. A troca de informações acontece do transceptor implantado para um dispositivo móvel nas proximidades do indivíduo. Uma das maiores restrições destes transceptores está relacionada à potência consumida. Uma vez implantados, estes sistemas devem consumir o mínimo possível, de modo a garantir uma autonomia de pelo menos alguns anos. Isso se justifica pelos riscos de infecção e reação alérgica que cada procedimento de implante representa ao paciente. Portanto, em linhas gerais, as características destes transceptores implantáveis são: baixa taxa de transmissão de dados, curta distância de transmissão e um consumo de potência extremamente baixo.

Existem muitas formas de reduzir a potência consumida pelos osciladores em tais sistemas de comunicação. Entre elas, a redução da tensão de alimentação é uma das técnicas mais utilizadas, e com vantagens que vão além da simples redução da potência. Primeiramente, a tecnologia CMOS está evoluindo para tensões de alimentação cada vez menores, por conta da contínua redução da espessura do óxido (HSIEH; LU, 2007; ENZ; VITTOZ, 2006). Portanto, trabalhar com baixas tensões é uma tendência tecnológica. Além disso, existe uma inclinação por parte dos pesquisadores da área de utilizar fontes de energia provenientes do próprio ambiente (*energy harvesting*), ao invés de baterias. Tais fontes de energia em geral fornecem uma referência

de baixa tensão (RAMADASS; CHANDRAKASAN, 2011). Portanto, a pesquisa sobre formas de reduzir a tensão de alimentação de osciladores, e circuitos eletrônicos num geral, é um caminho para reduzir a potência consumida, e ao mesmo tempo um modo de seguir as tendências tecnológicas e acadêmicas.

O presente trabalho propõe uma nova configuração do oscilador Colpitts que emprega dupla realimentação positiva. Esta estrutura é capaz de iniciar e manter oscilações a partir de uma tensão de alimentação muito menor do que a forma clássica deste oscilador. A segunda realimentação positiva é realizada através de uma rede formada por capacitores intrínsecos do dispositivo amplificador e de um indutor conectado em um dos terminais deste dispositivo. A análise deste circuito é desenvolvida a partir de um modelo do transistor MOS (metal-óxido-semicondutor) válido para baixa tensão de alimentação. Um método de otimização e projeto, bem como um protótipo deste oscilador são apresentados. O protótipo foi projetado em circuito integrado utilizando tecnologia CMOS (metal-óxido-semicondutor complementar)  $0,13 \mu\text{m}$ , e testado *on-waffer* para a verificação do método, e demonstração da arquitetura proposta.

## 1.2 ORGANIZAÇÃO DO TRABALHO

Este trabalho é subdividido da seguinte maneira: o capítulo 2 apresenta a fundamentação teórica na qual o trabalho é baseado, incluindo o modelo do transistor MOS e os dois principais métodos de análise de osciladores. O terceiro capítulo apresenta algumas deduções acerca do oscilador Colpitts clássico, introduz o oscilador Colpitts com dupla realimentação positiva e apresenta a análise deste circuito. Dois métodos de otimização são propostos com o objetivo de reduzir a tensão de alimentação do oscilador aqui apresentado. O capítulo 4 apresenta um projeto de circuito integrado de um oscilador de ultrabaixa tensão de alimentação que é baseado nesta análise e otimização. O trabalho é então concluído no capítulo 5.

Tabela 1: Osciladores em tecnologia CMOS no estado da arte.

Parâmetro	[1]	[2]a	[2]b	[3]	[4]	[5]
Tecnologia CMOS (nm)	130	180	180	180	350	180
Tensão de alimentação (mV)	475	600	400	350	2700	500
Frequência (GHz)	4,90	5,60	5,60	1,40	2,1	3,8
Potência (mW)	2,70	3,00	1,10	1,46	9,3	0,57
Ruído de fase (dBc/Hz)	-136,2 <sup>1</sup>	-118,0 <sup>2</sup>	-114,0 <sup>2</sup>	-128,6 <sup>2</sup>	-153,0 <sup>1</sup>	-119,0 <sup>2</sup>
FoM* (dBc/Hz)	196,3	189,0	189,0	189,8	195,4	193,0

[1] (BROWN *et al.*, 2011), [2] (HSIEH; LU, 2007), [3] (KWOK; LUONG, 2003)

[4] (HEGAZI *et al.*, 2001) e [5] (KWOK; LUONG, 2005)

\*Figura de mérito =  $20\log(f_o/\Delta f) - 10\log(P_{DC}/1mW) - L(\Delta f)$

<sup>1</sup>  $L(\Delta f)$  @ 3 MHz

<sup>2</sup>  $L(\Delta f)$  @ 1 MHz



## 2 FUNDAMENTAÇÃO TEÓRICA

Este capítulo fornece os fundamentos necessários para o desenvolvimento teórico do trabalho, e em especial do capítulo subsequente. As primeiras duas seções focam na análise de um oscilador genérico a partir de dois métodos diferentes, primeiro como um sistema realimentado e em sequência como uma rede formada por dois sub blocos. Este segundo método é amplamente conhecido como método da resistência negativa. As duas análises destinam-se à obtenção das condições necessárias para que o circuito oscile. A seção seguinte fornece uma demonstração da equivalência entre os dois métodos de análise. Finalmente, a última parte deste capítulo é destinada à apresentação do modelo do transistor MOS que será utilizada na análise dos osciladores.

### 2.1 ANÁLISE DO OSCILADOR COMO SISTEMA REALIMENTADO

Um sistema realimentado é capaz de manter oscilações, e portanto desempenhar a função de um oscilador harmônico, se este atender alguns critérios básicos denominados critérios de Barkhausen (CLARKE; HESS, 1971).<sup>1</sup> Os critérios estão relacionados à localização dos polos do sistema, e estabelecem que para que um sistema realimentado seja capaz de manter um sinal periódico sem a necessidade de um sinal externo, os polos do sistema devem ser complexos e sobre o eixo imaginário (LATHI, 2005).

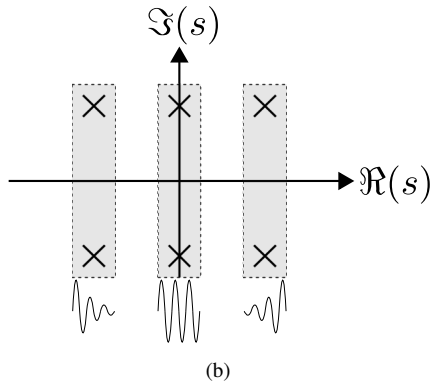
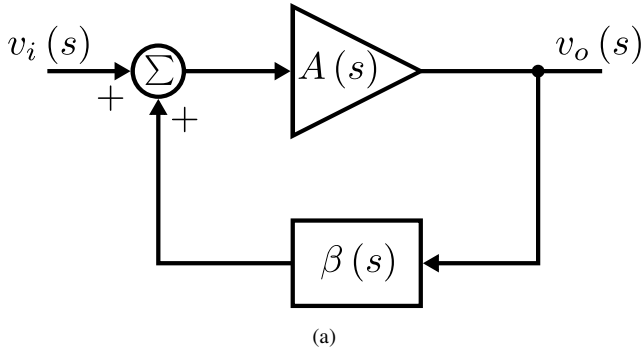
A Figura 1(a) mostra um sistema realimentado básico formado por um bloco de ganho  $A(s)$  e um bloco de realimentação  $\beta(s)$  que dependem da frequência. A função de transferência deste sistema é dada por:

$$\frac{v_o}{v_i}(s) = \frac{A(s)}{1 - A(s)\beta(s)}. \quad (2.1)$$

Os polos do sistema estão localizados no plano  $s$ , nas raízes do denominador da Equação (2.1). A localização dos polos determina a resposta ao impulso do sistema (LATHI, 2005). A Figura 1(b) ilustra qualitativamente a saída de um sistema de segunda ordem com polos complexos em função da localização destes polos. Apenas os polos complexos são mostrados nesta figura, pois são os únicos a darem origem a um comportamento oscilatório. A resposta ao impulso do sistema será uma oscilação amortecida quando a

---

<sup>1</sup>Em homenagem ao físico Heinrich Georg Barkhausen que os demonstrou em 1921.



**Figura 1: (a) Sistema realimentado formado por um amplificador  $A(s)$  e por um bloco de realimentação  $\beta(s)$ . (b) Representação qualitativa da resposta de um sistema realimentado de segunda ordem e polos complexos.**

parte real dos polos complexos estiver à esquerda do eixo imaginário, uma oscilação de amplitude constante quando a parte real for nula, e uma oscilação de amplitude crescente quando a parte real estiver à direita deste eixo.

Para que o sistema produza comportamento oscilatório com amplitude constante e sem a presença de sinal externo, os polos do sistema devem estar localizados sobre o eixo imaginário. Substituindo  $s$  por  $j\omega_o$  em (2.1), onde  $\omega_o$  é a frequência de oscilação do sistema, os polos que produzem uma oscilação de amplitude constante estão localizados em (CLARKE; HESS, 1971):

$$A(j\omega_o)\beta(j\omega_o) = 1. \quad (2.2)$$



O produto  $A(j\omega_o)\beta(j\omega_o)$  é conhecido como o ganho de malha. O sentido físico da Equação (2.2) é que para que um sistema realimentado seja capaz de manter oscilações, o sinal que circula na malha de tal sistema não deve sofrer alterações de magnitude e fase ao percorrê-la em um circuito fechado. Podemos decompor a Equação (2.2) em partes real e imaginária:

$$\Re \{A(j\omega_o)\beta(j\omega_o)\} = 1, \quad (2.3)$$

$$\Im \{A(j\omega_o)\beta(j\omega_o)\} = 0. \quad (2.4)$$

As condições (2.3) e (2.4) são conhecidas como os critérios de Barkhausen, e estabelecem as condições necessárias para que um sistema oscile. Na prática, a primeira condição é muito restritiva, pois um pequeno desvio para valores menores que a unidade já causa o desaparecimento das oscilações em poucos instantes. Além disso, um oscilador deve ser capaz de gerar oscilações, e não simplesmente as manter estáveis

O projeto de circuitos osciladores baseia-se em solucionar as Equações (2.3) e (2.4) para determinar o mínimo ganho do bloco amplificador para que o sistema sustente oscilações e a frequência de oscilação do sistema, respectivamente. O ganho do amplificador é projetado para ser maior do que o mínimo necessário, de modo que no início da operação os polos do sistema estão no semi-plano direito e o sistema é instável. Segue que qualquer pequena condição inicial, como por exemplo o ruído térmico ou mesmo o chaveamento da tensão de alimentação, é capaz de inicializar as oscilações, sendo que a amplitude do envelope cresce exponencialmente. A estabilidade da amplitude das oscilações é atingida quando a Equação (2.3) é satisfeita, e pode ser causada por um bloco especial de controle automático de ganho, ou pela própria não linearidade do componente ativo utilizado, que é o caso mais comum.

A frequência de operação do sistema para o caso em que o amplificador apresenta um ganho predominantemente real (baixas frequências) será uma função da carga do amplificador e do bloco de realimentação (GONZALEZ, 2007). Por exemplo, se o bloco de amplificação consiste de um amplificador de transcondutância com ganho real  $G_o$  alimentando uma carga cuja admitância é dada por  $Y_o(s)$ , a função de transferência deste bloco pode ser escrita como:

$$A(s) = G_o Y_o^{-1}(s). \quad (2.5)$$

Substituindo esta expressão em (2.4), temos:

$$\Im \{G_o Y_o^{-1}(j\omega_o)\beta(j\omega_o)\} = 0,$$

ou

$$\Im \{ Y_o^{-1} (j\omega_o) \beta (j\omega_o) \} = 0. \quad (2.6)$$

A partir desta expressão podemos concluir que a frequência de oscilação é determinada pela frequência de ressonância do tanque formado pela carga do amplificador e pela rede de realimentação.

## 2.2 ANÁLISE DO OSCILADOR POR RESISTÊNCIA NEGATIVA

Um método alternativo de análise de circuitos osciladores é conhecido como método da resistência negativa (GONZALEZ, 2007). Nesta análise considera-se que o circuito pode ser subdividido em duas partes: uma rede de uma porta potencialmente instável com admitância  $Y_{out}$ , e uma carga com admitância  $Y_L$ ; como é ilustrado na Figura 2. As duas partes são conectadas em paralelo de modo que a admitância equivalente entre os terminais é dada por:

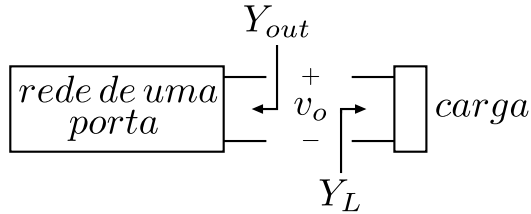
$$Y_{eq} = Y_{out} + Y_L. \quad (2.7)$$

Se um sinal  $v_o$  for aplicado nesta rede através de uma fonte de sinal, a tendência é que tal sinal seja filtrado, e apenas a componente de frequência na ressonância  $\omega_o$  da rede seja mantida. Ao desconectarmos a fonte de sinal da rede, a componente em  $\omega_o$  é rapidamente atenuada se a parte real de  $Y_{eq}$  for positiva. Isto ocorre porque a energia entregue pela fonte para a rede é dissipada na condutância positiva.

Por outro lado, se a condutância equivalente da rede for zero, a componente em  $\omega_o$  será conservada indefinidamente, pois a energia entregue pela fonte de sinal não será dissipada. Em termos práticos, a energia da componente em  $\omega_o$  será dissipada na carga, porém a rede de uma porta irá fornecer a mesma quantidade de energia, de modo que o balanço energético é nulo. Em outras palavras, a condutância da carga, que é a parte real de  $Y_L$ , é cancelada pela condutância da rede de uma porta, parte real de  $Y_{out}$ . Em geral, a condutância da carga relaciona todas as perdas do circuito, enquanto que a condutância da rede de uma porta, que apresenta um valor negativo, é provida por um amplificador com realimentação positiva.

Em termos matemáticos, para que a componente  $\omega_o$  do sinal se conserve na rede a admitância equivalente deve ser zero, o que se resume a duas condições que garantem que a rede é capaz de sustentar oscilações:

$$\Re \{ Y_{out} \} + \Re \{ Y_L \} = 0, \quad (2.8)$$



**Figura 2: Representação do oscilador como uma conexão de dois blocos: uma rede de uma porta e uma carga.**

$$\Re\{Y_{out}\} + \Re\{Y_L\} = 0. \quad (2.9)$$

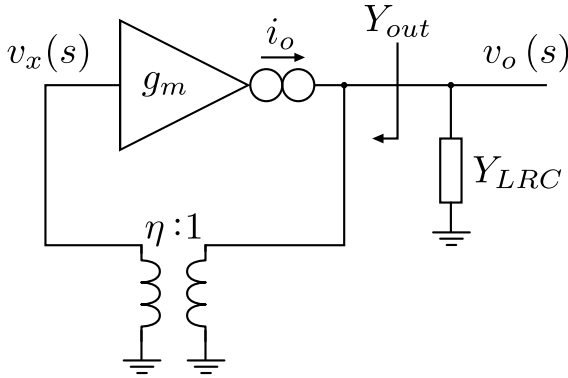
A primeira condição quantifica o que foi discutido previamente sobre a ressonância da rede, enquanto que a segunda quantifica a condição necessária para que o sinal oscilatório não se dissipe

Para que o circuito seja capaz de gerar oscilações, é necessário que a condutância equivalente da rede seja menor do que zero, isto é, o valor absoluto da condutância negativa fornecida pela rede de uma porta deve ser maior do que a condutância da carga. Neste caso, o circuito inicia as oscilações a partir do ruído térmico, e a estabilidade da amplitude das oscilações é atingida quando a Equações 2.9 é verificada. O circuito estabiliza por conta de um controle automático no valor da condutância negativa.

## 2.3 EQUIVALÊNCIA DOS MÉTODOS DE ANÁLISE

As duas últimas seções apresentaram dois métodos diferentes de análise de circuitos osciladores, o primeiro analisando-o como um sistema realimentado e o segundo como uma rede de uma porta que fornece uma resistência negativa utilizada para alimentar uma carga. No decorrer do restante deste trabalho o método da resistência negativa será o escolhido para a análise do oscilador apresentado. Porém, antes de darmos continuidade à análise deste oscilador, vale a pena apresentar uma demonstração rápida da equivalência dos dois métodos.

O sistema realimentado que foi apresentado na Figura 1(a) pode ser redesenhado como ilustrado na Figura 3. A entrada do sistema  $v_i$  foi omitida partindo do pressuposto de que a rede não necessitará de um sinal externo para manter um sinal oscilante na saída. O amplificador de tensão com ganho  $A(s)$  foi substituído por um amplificador de transcondutância com ganho  $g_m$  que alimenta uma carga  $Y_{LRC}$ , de modo que  $A(s) = g_m/Y_{LRC}$ . Esta substituição



**Figura 3: Representação alternativa do sistema realimentado apresentado na Figura 1(a).**

tem uma conotação prática, pois boa parte dos elementos ativos utilizados em osciladores senoidais são modelados como fontes de corrente controladas por tensão. A carga  $Y_{LRC}$  pode ser modelada como um circuito LRC paralelo que resume todos os elementos passivos da rede. Finalmente, o transformador  $1:\eta$  representa a rede de realimentação, e supõe-se que este bloco apresenta impedância de entrada infinita de modo a não carregar a saída. Logo,  $\beta(s) = \eta$ .

Primeiramente analisaremos a rede como um sistema realimentado. A partir da Equação (2.2) temos que o ganho de malha deve ser igual a um. Logo:

$$\frac{\eta g_m}{Y_{LRC}} = 1. \quad (2.10)$$

Supondo que tanto o fator de realimentação  $\eta$  quanto a transcondutância  $g_m$  são valores reais, a parte imaginária de (2.10) deve valer:

$$\Im \left\{ \frac{1}{Y_{LRC}} \right\} = 0,$$

ou simplesmente:

$$\Im \{Y_{LRC}\} = 0, \quad (2.11)$$

A parte imaginária da admitância da carga será zero na frequência de ressonância, quando as susceptâncias do indutor e do capacitor equivalentes se cancelarem.

A segunda condição de oscilação para este sistema realimentado pro-

veniente da Equação (2.3) é dada por:

$$\Re \left\{ \frac{\eta g_m}{Y_{LRC}} \right\} = 1.$$

Como foi suposto anteriormente  $\eta$  e  $g_m$  são valores reais. Por conta de (2.11) a carga  $Y_{LRC}$  será puramente real, e pode ser substituída por uma condutância  $G_P$ . Portanto, a segunda condição de oscilação se resume a:

$$g_m = \frac{G_P}{\eta}. \quad (2.12)$$

Agora utilizaremos o segundo método de análise apresentado, denominado de método da resistência negativa. A rede da Figura 3 pode ser subdividida em duas partes: um amplificador realimentado formado pelo amplificador de transcondutância  $g_m$  e pelo transformador  $1:\eta$  que apresenta uma admitância  $Y_{out}$ , e uma carga de valor complexo cuja admitância é  $Y_{LRC}$ .

O valor de  $Y_{out}$  é obtido através da análise do amplificador realimentado:

$$Y_{out} = -\frac{i_o}{v_o} = -\frac{g_m v_x}{v_o} = -\frac{g_m \eta v_o}{v_o},$$

$$Y_{out} = -\eta g_m \quad (2.13)$$

A primeira condição de oscilação, que é dada pela Equação (2.8), estabelece a frequência de oscilação do sistema:

$$\Im \left\{ \frac{\eta g_m}{Y_{LRC}} \right\} = 0,$$

que se resume a:

$$\Im \{Y_{LRC}\} = 0, \quad (2.14)$$

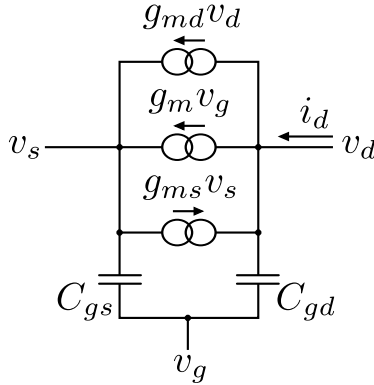
pois  $\eta$  e  $g_m$  são valores reais.

Finalmente, a segunda condição de oscilação para o método da resistência negativa, que é dada pela equação (2.9), implica em:

$$\Re \{-g_m \eta\} + \Re \{Y_{LRC}\} = 0.$$

Na ressonância do sistema  $\Re \{Y_{LRC}\} = G_P$ , e obtemos:

$$g_m = \frac{G_P}{\eta}. \quad (2.15)$$



**Figura 4: Modelo simplificado de pequenos sinais para o transistor MOS.**

Os dois métodos apresentados obtiveram os mesmos resultados para a determinação da frequência de ressonância da rede, Equações (2.11) e (2.14), e para o valor de mínimo de transcondutância para o circuito oscilar, Equações (2.12) e (2.15). Vale destacar que as suposições de que  $\eta$  e  $g_m$  são variáveis reais foi tomada apenas para simplificação dos cálculos, porém não compromete de modo algum a verificação da equivalência dos dois métodos. Além disso, supôs-se que a impedância de entrada do transformador era infinita, o que, em geral, não é verdade, pois o amplificador de transcondutância apresenta uma resistência de entrada  $R_{in}$  que é transformada para a saída do sistema como  $R_{in}/\eta^2$ . Este efeito deve ser levado em conta na análise de um circuito oscilador, porém não compromete a veracidade do que foi demonstrado.

## 2.4 MODELO DO TRANSISTOR MOS

A modelagem para pequenos sinais do transistor MOS (metal-óxido-semicondutor) utilizada ao longo deste trabalho será brevemente apresentada nesta seção. O modelo EKV (ENZ; VITTOZ, 2006) do transistor MOS para pequenos sinais é ilustrado, de forma resumida, na Figura 4. O modelo geral contém três fontes de corrente controladas por tensão conectadas entre os terminais de dreno e fonte. Estas três fontes expressam a relação entre a corrente de dreno de pequenos sinais e as tensões de porta, fonte e dreno através das transcondutâncias  $g_m$ ,  $g_{ms}$  e  $g_{md}$ .

As transcondutância de porta, fonte e dreno são definidas em função

da corrente de dreno de pequenos sinais  $i_d$  e das tensões de porta, fonte e dreno de pequenos sinais  $v_g$ ,  $v_s$  e  $v_d$ , respectivamente, como:

$$g_m \equiv \left. \frac{i_d}{v_g} \right|_{v_s, v_d=0}, \quad (2.16)$$

$$g_{ms} \equiv \left. \frac{i_d}{v_s} \right|_{v_g, v_d=0}, \quad (2.17)$$

$$g_{md} \equiv \left. \frac{i_d}{v_d} \right|_{v_g, v_s=0}. \quad (2.18)$$

Os valores destas transcondutâncias são estabelecidos através da polarização e das dimensões físicas do transistor.

É possível relacionar a transcondutância de porta com as transcondutâncias de fonte e dreno através da seguinte equação:

$$g_m = \frac{g_{ms} - g_{md}}{n}, \quad (2.19)$$

onde  $n$  é o fator de escala do MOS que depende da tensão entre porta e corpo, e tipicamente apresenta valores entre 1,3 para regiões de inversão forte, e 1,6 para regiões de inversão fraca.

Os níveis de inversão direto e reverso,  $i_f$  e  $i_r$ , são determinados pela concentração das cargas de inversão na fonte e no dreno (TSIVIDIS, 1987), respectivamente. Em geral o potencial no dreno do transistor é maior do que o potencial na fonte, o que faz com que a concentração das cargas de inversão seja maior na fonte do que no dreno. Como consequência o nível de inversão direto é maior do que o nível de inversão reverso, isto é,  $i_f > i_r$ . A razão  $i_f/i_r$  determina o quão saturado está o transistor. Logo, quando  $i_f \gg i_r$  o transistor está na região de saturação, enquanto que quando  $i_f \approx i_r$  o transistor opera como triodo. Ao projetarmos circuitos de ultrabaixa tensão de alimentação, é importante considerar que o transistor, em geral, não opera numa região de forte saturação, mas sim em um meio termo entre saturado e em triodo.

Como dito anteriormente, o nível de inversão do transistor depende da concentração das cargas de inversão no canal. Esta concentração se relaciona diretamente com o potencial entre a porta e o corpo. Quando este potencial está acima de um certo nível  $V_T$ , há uma alta concentração das cargas de inversão no canal do transistor, e a corrente que flui entre os terminais de dreno

e fonte é majoritariamente devida à deriva destas cargas. Nesta região diz-se que o transistor está operando em um regime de forte inversão. Por outro lado, quando o potencial entre a porta e o corpo é muito menor do que  $V_T$ , a concentração das cargas de inversão é baixa, e a corrente é predominantemente devida à difusão destas cargas. Esta é a região em que o transistor opera em fraca inversão.

Circuitos de ultrabaixa tensão usualmente empregam transistores operando em um regime de fraca inversão. Neste regime a corrente de dreno segue uma lei aproximadamente exponencial. Uma das vantagens de trabalhar nesta região é dada pela razão  $g_m/I_D$  que é máxima quando o nível de inversão é muito pequeno. Quanto maior esta razão, maior o ganho do dispositivo, para uma mesma corrente de dreno.

Para finalizar, o modelo utilizado inclui duas capacitâncias intrínsecas do dispositivo: uma capacitância entre os terminais de porta e fonte  $C_{gs}$ , e uma capacitância entre os terminais de porta e dreno  $C_{gd}$ . Existem outras capacitâncias no modelo mais geral do transistor MOS, porém estas podem ser associadas com os elementos do circuito que será apresentado neste trabalho, enquanto que as duas contidas no nosso modelo não são associáveis, e são importantes para a análise do circuito. Além disso, em geral estas são as duas capacitâncias de valores mais significativos.



### 3 OSCILADOR COM DUPLA REALIMENTAÇÃO POSITIVA

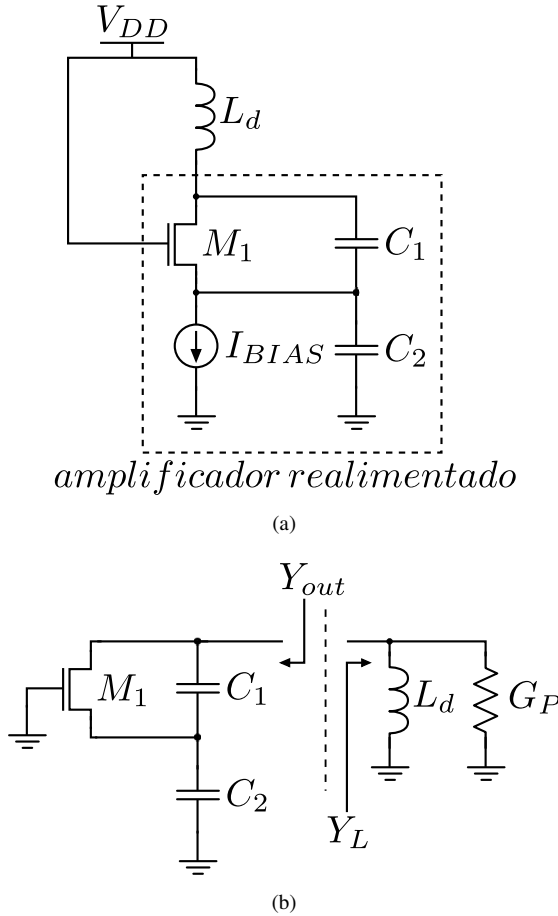
Neste capítulo iremos desenvolver a análise de osciladores a partir das ferramentas e dos fundamentos apresentados no último capítulo. A primeira seção destina-se ao estudo do oscilador Colpitts de porta comum. Esta é uma arquitetura clássica de osciladores, e uma das mais utilizadas. Porém a análise apresentada não é convencional, pois é destinada a operações em ultrabaixa tensão de alimentação. Em sequência apresentamos o oscilador Colpitts com dupla realimentação positiva, que é a maior contribuição deste trabalho. Como o nome sugere, este oscilador é baseado na arquitetura Colpitts clássica, porém com uma segunda realimentação positiva. Esta técnica é utilizada para aumentar o ganho de malha do sistema, ou equivalentemente a magnitude da condutância negativa. Demonstramos na última seção deste capítulo que a tensão de alimentação pode ser drasticamente reduzida a partir desta segunda realimentação, e que existe um ponto ótimo para a realimentação capacitiva.

#### 3.1 O OSCILADOR COLPITTS CLÁSSICO

O oscilador Colpitts é uma das arquiteturas de osciladores LC mais populares. O que diferencia esta estrutura é o modo com que a realimentação positiva é realizada: através de um divisor de tensão capacitivo. Nesta seção iremos apresentar a análise de um oscilador Colpitts que dará suporte a futuras seções.

O circuito da Figura 5(a) exemplifica um dos diversos arranjos possíveis do oscilador Colpitts. O transistor  $M_1$ , que serve como elemento ativo (amplificador), é polarizado através da fonte de corrente  $I_{BIAS}$  e da fonte de tensão  $V_{DD}$ , e tem sua porta como terminal comum. A realimentação é realizada através do divisor de tensão formado por  $C_1$  e  $C_2$ . A frequência de ressonância, que define a frequência de oscilação do circuito, é determinada pelo tanque LC formado por  $L_d$ ,  $C_1$  e  $C_2$ . Os mecanismos de perda do circuito se devem aos parasitas dos elementos passivos, onde, em geral, os parasitas do indutor predominam sobre os parasitas dos capacitores, e à condutância de saída do transistor  $M_1$ . Finalmente, como discutido anteriormente a estabilidade da amplitude do circuito é atingida por conta da não linearidade do amplificador, que neste caso tem em seu núcleo o transistor  $M_1$ , um dispositivo caracteristicamente não linear.

O método da resistência negativa apresentado na Seção 2.2 será uti-



**Figura 5:** (a) Uma configuração clássica do oscilador Colpitts de porta comum. (b) Subdivisão do oscilador em dois blocos para facilitar a análise.

lizado para a análise deste circuito. O primeiro passo é subdividir o esquemático em duas partes, como é mostrado na Figura 5(b): um amplificador realimentado que fornece uma admitância de saída  $Y_{out}$ , e uma carga com admitância  $Y_L$  (o elemento  $G_P$  modela as perdas do indutor  $L_d$ ). Para desenvolver a análise do oscilador para pequenos sinais, que fornece informações sobre a frequência de oscilação e a condição mínima de ganho para que o circuito oscile, substituiremos o transistor  $M_1$  por seu modelo de pequenos

sinais apresentado na Seção 2.4. O amplificador realimentado é resumido ao circuito da Figura 6 quando sinais de pequena amplitude são aplicados ao terminal de dreno.

Do circuito da Figura 6 obtemos duas equações independentes (SOUSA *et al.*, 2012):

$$i_d = g_{md}v_d - g_{ms}v_s + sC_1(v_d - v_s),$$

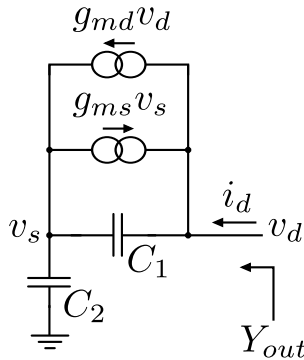
$$v_s = \frac{i_d}{sC_2}.$$

Eliminando a variável  $v_s$  deste sistema de equações, obtemos uma relação entre  $i_d$  e  $v_d$ :

$$\frac{i_d}{v_d} = \frac{sC_2g_{md} + s^2C_1C_2}{g_{ms} + sC_1 + sC_2},$$

que nada mais é do que a admitância de saída do amplificador realimentado  $Y_{out}$ . Reorganizando esta expressão, obtemos uma forma com as partes real e imaginária separadas:

$$Y_{out} = \frac{g_{md} \left(1 + \frac{C_1}{C_2}\right) - g_{ms} \frac{C_1}{C_2}}{\left(1 + \frac{C_1}{C_2}\right)^2 + \left(\frac{g_{ms}}{\omega C_2}\right)^2} + j \frac{\omega C_1 \left(1 + \frac{C_1}{C_2}\right) + \frac{g_{md}g_{ms}}{\omega C_2}}{\left(\frac{g_{ms}}{\omega C_2}\right)^2 + \left(1 + \frac{C_1}{C_2}\right)^2}. \quad (3.1)$$



**Figura 6: Modelo de pequenos sinais do amplificador com realimentação positiva.**

Algumas conclusões podem ser obtidas a partir desta expressão. Relembrando da Equação (2.9), para que o circuito seja capaz de oscilar a parte real da condutância de saída do amplificador realimentado deve cancelar a

parte real da carga, isto é,  $\Re\{Y_{out}\} \equiv G_{out} = -G_P$ . Analisando (3.1) podemos perceber que a condutância de saída do transistor  $g_{md}$  tem um importante papel no valor de  $G_{out}$  no sentido de degradar o desempenho do circuito, isto é, um dos mecanismos de perda do oscilador é proveniente do próprio elemento de ganho. Em análises mais simplistas do oscilador Colpitts, este mecanismo, em geral, não é considerado. Porém, ao buscarmos a eficiência e os limites mínimos de consumo de tal oscilador, este elemento parasita deve ser levado em conta. Sobretudo este mecanismo é importante quando a tensão de alimentação é reduzida e o transistor não tem um forte nível de saturação, caso em que  $g_{md}$  tem um valor apreciável em relação a  $g_{ms}$  (TSIVIDIS, 1987).

Outro ponto interessante de se analisar é a influência da transcondutância de fonte  $g_{ms}$  no valor de  $G_{out}$ . Intuitivamente consideramos que quanto maior o valor desta transcondutância, maior será o módulo da condutância negativa do amplificador realimentado. Isto é claramente válido quando

$$g_{ms} \ll \omega(C_1 + C_2), \quad (3.2)$$

pois neste caso  $G_{out}$  é diretamente proporcional a  $-g_{ms}$ . Porém, quando esta condição não for válida,  $G_{out}$  se torna inversamente proporcional a  $g_{ms}$ , e aumentar o valor da transcondutância de fonte irá degradar o desempenho do circuito, ao invés de a melhorar.

Um dos parâmetros que determina o valor mínimo de  $g_{ms}$  será a carga  $G_P$ , a qual queremos alimentar. Se a carga tiver um valor alto, a transcondutância de fonte necessária para que o circuito oscile não satisfará a condição dada por (3.2), e então o módulo de  $G_{out}$  diminuirá à medida que aumentamos  $g_{ms}$ . Por outro lado, quando a carga é muito pequena, a condição (3.2) é válida, e obtemos o valor mínimo de transcondutância de fonte que garante que o circuito oscila a partir de (2.9):

$$\frac{g_{md} \left(1 + \frac{C_1}{C_2}\right) - g_{ms} \frac{C_1}{C_2}}{\left(1 + \frac{C_1}{C_2}\right)^2} = -G_P, \quad (3.3)$$

$$g_{ms} = g_{md} \left(1 + \frac{C_1}{C_2}\right) + G_P \frac{C_2}{C_1} \left(1 + \frac{C_1}{C_2}\right)^2.$$

A frequência de oscilação do circuito é determinada por análise da parte imaginária de (3.1). Aplicando a condição dada pela Equação (2.8),

temos:

$$\frac{\omega_o C_1 \left(1 + \frac{C_1}{C_2}\right) + \frac{g_{md} g_{ms}}{\omega_o C_2}}{\left(\frac{g_{ms}}{\omega_o C_1}\right)^2 + \left(1 + \frac{C_1}{C_2}\right)^2} = \frac{1}{\omega_o L_d}.$$

onde  $\omega_o$  será a frequência de oscilação. Para o caso em que a simplificação (3.2) é válida, a susceptância do amplificador realimentado se resume à susceptância dos capacitores  $C_1$  e  $C_2$  em série, que pode ser expressa como uma capacitância equivalente de valor:

$$C_{eq} = \frac{C_1 C_2}{C_1 + C_2}. \quad (3.4)$$

Finalmente, a frequência de oscilação do circuito é:

$$\omega_o \frac{C_1 C_2}{C_1 + C_2} = \omega_o C_{eq} = \frac{1}{\omega_o L_d},$$

$$\omega_o = \frac{1}{\sqrt{L_d C_{eq}}}, \quad (3.5)$$

ou equivalentemente:

$$f_o = \frac{1}{2\pi \sqrt{L_d C_{eq}}}. \quad (3.6)$$

As Equação (3.3) e (3.6) fornecem as condições de oscilação para a arquitetura Colpitts. O projeto do circuito baseia-se em determinar os valores de  $L_d$ ,  $C_1$  e  $C_2$ , bem como as dimensões e a polarização do dispositivo ativo de modo que as duas equações sejam satisfeitas.

### 3.2 O OSCILADOR COLPITTS COM DUPLA REALIMENTAÇÃO

O oscilador Colpitts com dupla realimentação positiva é apresentado na Figura 7(a). Este circuito apresenta duas modificações em relação à configuração clássica. A primeira alteração é a substituição da fonte de corrente por um indutor de grande valor  $L_{RFC}$  que permite que toda a tensão de alimentação  $V_{DD}$  esteja sobre o transistor  $M_1$ . Desta forma este dispositivo apresenta um nível de saturação mais alto, o que por sua vez implica em uma razão  $g_{ms}/g_{md}$  maior. A segunda modificação está na utilização do indutor  $L_g$  que forma uma rede T com os capacitores  $C_{gs}$  e  $C_{gd}$ , intrínsecos do dis-

positivo ativo. Esta rede T realiza uma segunda realimentação positiva que reduz a condição de transcondutância mínima para manter oscilações, como será demonstrado ao longo das próximas seções.

Para realizar a análise do circuito oscilador proposto utilizaremos novamente o método da resistência negativa. O circuito da Figura 7(a) em regime de pequenos sinais pode ser decomposto em dois blocos, como é mostrado na Figura 7(b), onde temos um amplificador com realimentação positiva que fornece uma admitância  $Y_{out}$ , e uma carga que apresenta uma admitância  $Y_L$ . Perceba que a indutância  $L_{RFC}$  a fins de análise AC pode ser desconsiderada, pois apresenta uma elevada impedância.

A tensão na porta do transistor  $v_g$  pode ser expressa como a superposição das tensões na fonte  $v_s$  e no dreno  $v_d$  como (ROTTAVA; SOUSA, 2012; ROTTAVA *et al.*, 2013b):

$$v_g = \alpha v_d + \beta v_s, \quad (3.7)$$

onde  $\alpha$  e  $\beta$  são parâmetros adimensionais que dependem da rede T formada por  $L_g$ ,  $C_{gs}$  e  $C_{gd}$  e valem:

$$\alpha = \frac{1}{\frac{C_{gs}}{C_{gd}} + \left[1 - \left(\frac{\omega_{gd}}{\omega}\right)^2\right]}, \quad (3.8)$$

$$\beta = \frac{1}{\frac{C_{gd}}{C_{gs}} + \left[1 - \left(\frac{\omega_{gs}}{\omega}\right)^2\right]}, \quad (3.9)$$

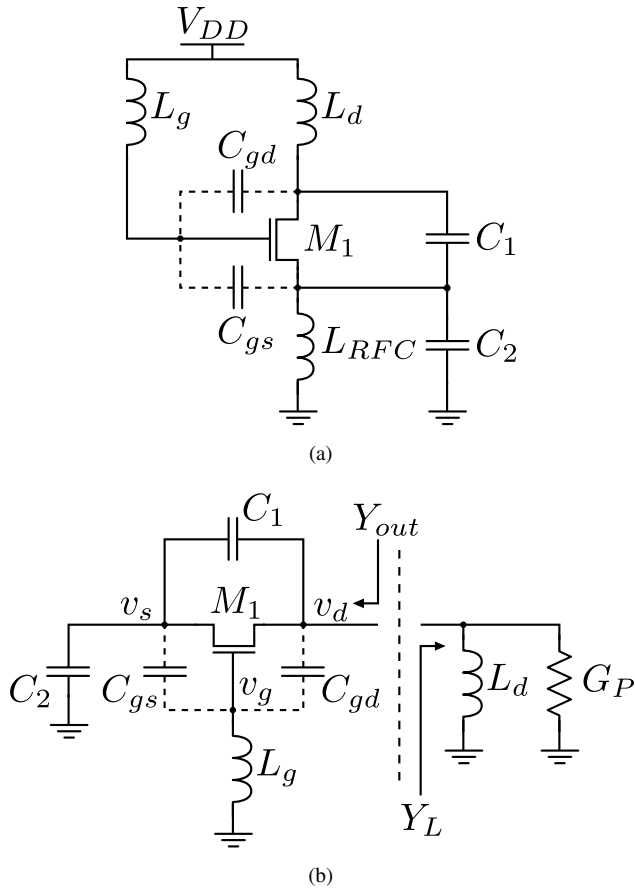
onde  $\omega$  é a frequência dos sinais aplicados na fonte e no dreno,  $\omega_{gd} = 1/\sqrt{L_g C_{gd}}$  e  $\omega_{gs} = 1/\sqrt{L_g C_{gs}}$ .

Substituindo o modelo de pequenos sinais do transistor MOS na Figura 7(b) obtemos o modelo do circuito mostrado na Figura 8(a). É possível simplificar este modelo para o mostrado na Figura 8(b) realizando duas transformações. A primeira é simplificar as três fontes de corrente controladas por tensão da Figura 8(a), em apenas duas, controladas pelas tensões da fonte e do dreno. Utilizando a expressão para a tensão na porta dada pela Equação (3.7), podemos expressar as transcondutâncias  $g_{m1}$  e  $g_{m2}$  como:

$$g_{m1} = g_{ms} - \beta g_m, \quad (3.10)$$

$$g_{m2} = g_{md} + \alpha g_m, \quad (3.11)$$

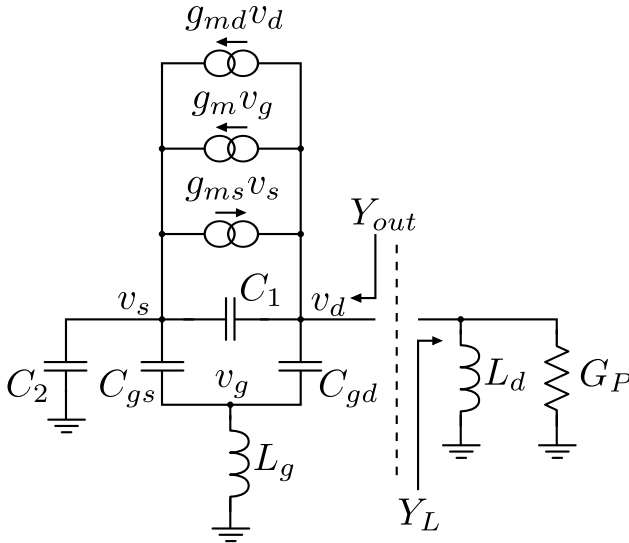
onde  $g_{m1}$  e  $g_{m2}$  representam a razão entre a variação na corrente de dreno e



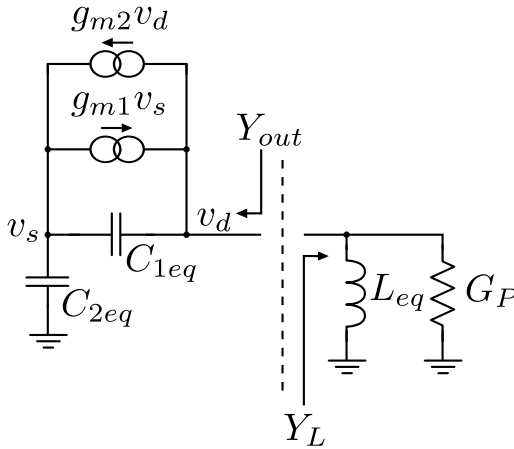
**Figura 7:** (a) O oscilador Colpitts com dupla realimentação positiva e (b) a subdivisão deste oscilador em um bloco de carga e um bloco amplificador com dupla realimentação positiva.

uma pequena variação nas tensões de fonte e dreno, respectivamente.

A segunda simplificação é transformar a rede T formada pelos elementos  $L_g$ ,  $C_{gs}$  e  $C_{gd}$  em uma rede  $\pi$  equivalente. Os novos elementos da rede  $\pi$  podem ser então associados com os componentes  $C_1$ ,  $C_2$  e  $L_d$ . A Figura 10 mostra como a transformação é realizada (BANERJEE; RAJAMANI, 1976), e os valores das impedâncias  $Y_a$ ,  $Y_b$  e  $Y_c$  em termos dos parâmetros do circuito são



(a)



(b)

Figura 8: (a) Modelo de pequenos sinais do oscilador Colpitts com dupla realimentação positiva e (b) um modelo simplificado deste oscilador.

dados por:

$$Y_a = \frac{\alpha}{j\omega L_g}, \quad (3.12)$$



$$Y_b = \frac{\beta}{j\omega L_g}, \quad (3.13)$$

$$Y_c = j\omega\alpha C_{gs}. \quad (3.14)$$

Utilizando estas expressões, obtemos os valores de  $C_{1eq}$ ,  $C_{2eq}$  e  $L_{eq}$ :

$$C_{1eq} = C_1 + \alpha C_{gs}, \quad (3.15)$$

$$C_{2eq} = C_2 - \frac{\beta}{\omega^2 L_g}, \quad (3.16)$$

$$L_{eq} = \frac{1}{\frac{1}{L_d} + \frac{\alpha}{L_g}}. \quad (3.17)$$

As Figuras 9(a) e 9(b) mostram as capacitâncias equivalentes  $C_{1eq}$  e  $C_{2eq}$ , respectivamente, em função da indutância de porta  $L_g$ . Os parâmetros utilizados foram:  $C_1 = C_2 = 1$  pF,  $C_{gs} = C_{gd} = 100$  fF e  $f = 2,4$  GHz. A capacitância  $C_{1eq}$  tende a diminuir, enquanto  $C_{2eq}$  aumenta conforme o valor de  $L_g$  cresce. Estas duas capacitâncias equivalentes realizam uma das realimentações positivas, e há um valor ótimo da razão entre as duas que reduz a condição de transcondutância mínima para manter oscilações, como será demonstrado em sequência. No projeto deste oscilador as Equações (3.15) e (3.16) serão utilizadas para a determinação de  $C_1$  e  $C_2$  a partir do valor requerido para  $C_{1eq}$  e  $C_{2eq}$ .

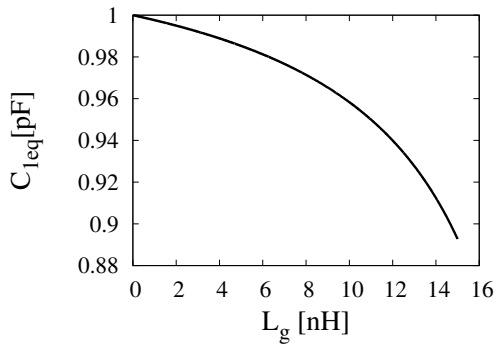
O modelo de pequenos sinais simplificado mostrado na Figura 8(b) é similar ao modelo do Colpitts clássico obtido na Seção 3.1. Substituindo os elementos equivalentes do modelo simplificado na expressão da admitância de saída  $Y_{out}$  dada pela Equação 3.1 temos:

$$Y_{out} = \frac{g_{m2} \left[ 1 + \frac{C_{1eq}}{C_{2eq}} \left( 1 - \frac{g_{m1}}{g_{m2}} \right) \right]}{\left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2 + \left( \frac{g_{m1}}{\omega C_{2eq}} \right)^2} + j \frac{\omega C_{1eq} \left( 1 + \frac{C_{1eq}}{C_{2eq}} \right) + \frac{g_{m1} g_{m2}}{\omega C_{2eq}}}{\left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2 + \left( \frac{g_{m1}}{\omega C_{2eq}} \right)^2}. \quad (3.18)$$

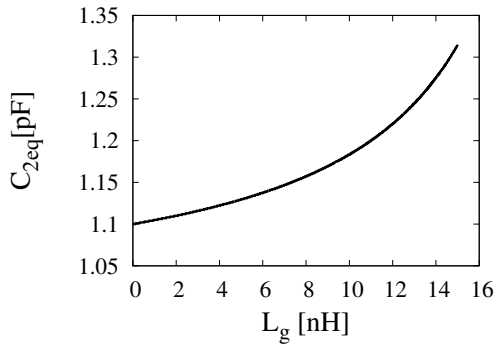
A partir desta expressão é possível determinar as condições de oscilação do circuito utilizando as Equações (2.8) e (2.9):

$$\Im \{ Y_{out} \} - \frac{1}{\omega L_{eq}} = 0, \quad (3.19)$$

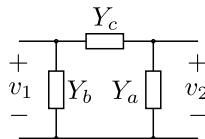
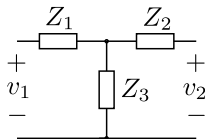
$$\Re \{ Y_{out} \} + G_P = 0. \quad (3.20)$$



(a)



(b)

**Figura 9: (a)  $C_{1eq}$  e (b)  $C_{2eq}$  em função da indutância  $L_g$ .**

$$Y_a = \frac{Z_1}{Z_1 Z_2 + Z_1 Z_3 + Z_2 Z_3}$$

$$Y_b = \frac{Z_2}{Z_1 Z_2 + Z_1 Z_3 + Z_2 Z_3}$$

$$Y_c = \frac{Z_3}{Z_1 Z_2 + Z_1 Z_3 + Z_2 Z_3}$$

**Figura 10: Transformação de uma rede T para uma rede  $\pi$  (ou estrela-delta).**

A seguir a primeira equação será solucionada para determinar a frequência de oscilação do circuito, enquanto que a segunda será utilizada para determinar a mínima transcondutância de fonte de pequenos sinais que o transistor deverá

fornecer para que o circuito oscile.

### 3.2.1 Frequência de oscilação

A frequência de oscilação  $\omega_o$  do circuito é determinada pela ressonância da rede LC formada pela carga e pelo amplificador realimentado. Esta ressonância ocorre quando as susceptâncias dos dois blocos se cancelam, isto é, quando a Equação (3.19) é satisfeita. Para resolver esta equação iremos utilizar a seguinte aproximação:

$$g_{m1}, g_{m2} \ll \omega_o (C_{1eq} + C_{2eq}). \quad (3.21)$$

Esta condição é particularmente válida quando a carga  $G_P$  não é muito grande, pois deste modo o transistor não necessita de uma grande transcondutância. Aplicando esta simplificação na Equação (3.19) temos:

$$\begin{aligned} \frac{\omega_o C_{1eq} \left(1 + \frac{C_{1eq}}{C_{2eq}}\right)}{\left(1 + \frac{C_{1eq}}{C_{2eq}}\right)^2} - \frac{1}{\omega_o L_{eq}} &= 0, \\ \omega_o \frac{C_{1eq} C_{2eq}}{C_{1eq} + C_{2eq}} &= \frac{1}{\omega_o L_{eq}}, \\ \omega_o &= \frac{1}{\sqrt{L_{eq} C_{out}}}, \end{aligned} \quad (3.22)$$

ou alternativamente:

$$f_o = \frac{1}{2\pi \sqrt{L_{eq} C_{out}}}, \quad (3.23)$$

onde  $C_{out}$  é o equivalente série entre  $C_{1eq}$  e  $C_{2eq}$ .

A Equação (3.23) fornece uma boa aproximação para a frequência de oscilação do circuito, sobretudo se a condição (3.21) for válida, e se outros elementos parasitas puderem ser desprezados.

### 3.2.2 Condição mínima de oscilação

A mínima transcondutância necessária para fazer o circuito oscilar estabelece a polarização do transistor, e portanto o consumo de potência do os-

cilador. Utilizando a simplificação (3.21) na segunda condição de oscilação dada pela Equação (3.20) temos:

$$\frac{g_{m2} \left[ 1 + \frac{C_{1eq}}{C_{2eq}} \left( 1 - \frac{g_{m1}}{g_{m2}} \right) \right]}{\left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2} + G_P = 0,$$

$$\frac{C_{1eq}}{C_{2eq} (g_{m1} - g_{m2})} = G_P \left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2 + g_{m2} \left( 1 + \frac{C_{2eq}}{C_{1eq}} \right),$$

$$g_{m1} = g_{m2} \left( 1 + \frac{C_{2eq}}{C_{1eq}} \right) + G_P \frac{C_{2eq}}{C_{1eq}} \left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2. \quad (3.24)$$

Este é o mínimo valor de  $g_{m1}$  para o qual o circuito é capaz de oscilar. Para expressarmos a condição mínima de oscilação em termos das transcondutâncias do transistor utilizamos a relação  $g_m = (g_{ms} - g_{md})/n$  apresentada na Seção 2.4. Deste modo as expressões de  $g_{m1}$  e  $g_{m2}$  se tornam:

$$g_{m1} = g_{ms} \left( 1 - \frac{\beta}{n} \right) + g_{md} \frac{\beta}{n}, \quad (3.25)$$

$$g_{m2} = g_{md} \left( 1 - \frac{\alpha}{n} \right) + g_{ms} \frac{\alpha}{n}. \quad (3.26)$$

Substituindo estas duas expressões em (3.24) obtemos a mínima transcondutância de fonte ( $g_{ms}$ ) que leva o circuito a oscilar:

$$g_{ms} = g_{md} + \frac{g_{md} n \frac{C_{2eq}}{C_{1eq}}}{n - \beta - \alpha \left( 1 + \frac{C_{2eq}}{C_{1eq}} \right)} \left( 1 + \frac{G_P}{g_{md}} \left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2 \right). \quad (3.27)$$

O valor da transcondutância de fonte está diretamente ligado ao consumo de corrente do circuito (TSIVIDIS, 1987). O método de otimização proposto neste trabalho visa a redução do valor de  $g_{ms}$  mínimo para garantir oscilações. Isto é realizado através de uma otimização da rede passiva que desempenha as duas realimentações positivas. A seção a seguir apresentará o cálculo para a razão ótima entre os capacitores  $C_{1eq}$  e  $C_{2eq}$  que garante a minimização da Equação (3.27), bem como a análise da segunda técnica de realimentada positiva que está sendo utilizada, e como ela auxilia na redução da tensão de alimentação.

### 3.3 OTIMIZAÇÃO PARA MÍNIMA TENSÃO DE ALIMENTAÇÃO

A tensão entre o dreno e a fonte do transistor MOS podem ser expressas em função dos níveis de inversão direto e reverso, ou equivalentemente das transcondutâncias de fonte e dreno a partir da seguinte expressão (SOUSA *et al.*, 2012):

$$V_{DS} = \phi_t \ln \left( \frac{g_{ms}}{g_{md}} \right) + \frac{\phi_t^2}{2I_S} (g_{ms} - g_{md}), \quad (3.28)$$

onde  $\phi_t$  é a tensão térmica, e  $I_S$  é a corrente específica do modelo ACM dada por  $I_S = \mu C'_{ox} n \frac{\phi_t^2 W}{2L}$ , onde  $\mu$  é a mobilidade efetiva,  $C'_{ox}$  é a capacitância de óxido por unidade de área,  $n$  é o fator de escala, e  $W$  e  $L$  são a largura e o comprimento do transistor.

Substituindo o valor mínimo de transcondutância de fonte que garante que o circuito oscila dada pela Equação 3.27, e observando que a tensão entre dreno e fonte  $V_{DS}$  é igual à tensão de alimentação  $V_{DD}$ , obtemos a seguinte expressão (ROTTAVA; SOUSA, 2012):

$$\begin{aligned} V_{DD}|_{min} = & \phi_t \ln \left( \frac{n}{\gamma} \right) + \phi_t \ln \left( \frac{\gamma}{n} + \frac{C_{2eq}}{C_{1eq}} \left( 1 + \frac{G_P}{g_{md}} \left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2 \right) \right) \\ & + \frac{\phi_t^2}{2I_S} \frac{g_{md} n}{\gamma} \frac{C_{2eq}}{C_{1eq}} \left( 1 + \frac{G_P}{g_{md}} \left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2 \right), \end{aligned} \quad (3.29)$$

onde  $\gamma = n - \beta - \alpha (1 + C_{2eq}/C_{1eq})$ . Esta expressão fornece um valor mínimo para a tensão de alimentação para a qual o circuito é capaz de oscilar. Na próxima subseção utilizaremos esta equação para calcular um valor ótimo para a razão capacitiva de modo é reduzir a mínima tensão de alimentação. Finalmente, na última parte deste capítulo a segunda realimentação será introduzida e analisada.

#### 3.3.1 Razão capacitiva ótima

Um dos métodos explorados para a redução da tensão de alimentação do oscilador é a otimização da realimentação capacitiva formada pelas capacitâncias equivalentes  $C_{1eq}$  e  $C_{2eq}$ . Existe uma razão ótima entre estas duas capacitâncias que minimiza a Equação (3.29), e, por consequência, a tensão de alimentação mínima para que o circuito oscile. Definimos  $K$  como a razão

$C_{2eq}/C_{1eq}$ . O valor mínimo da Equação (3.29) em relação a  $K$  ocorre em:

$$K_{otm} = \frac{C_{2eq}}{C_{1eq}} \bigg|_{otm} = \sqrt{\frac{G_P}{G_P + g_{md} + \alpha g_m}} \quad (3.30)$$

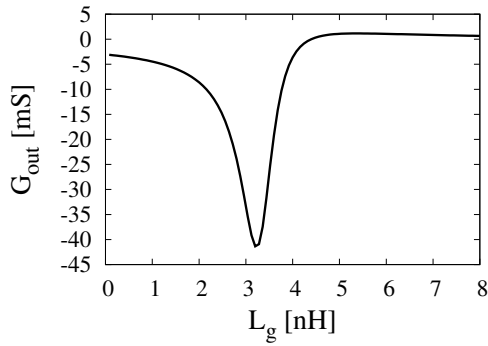
Perceba que  $K_{otm}$  é uma função de  $g_m$ , que por sua vez depende do próprio valor de  $V_{DD}$ . Portanto, a realimentação capacitiva ótima e a mínima tensão de alimentação devem ser determinadas numericamente.

### 3.3.2 Segunda realimentação

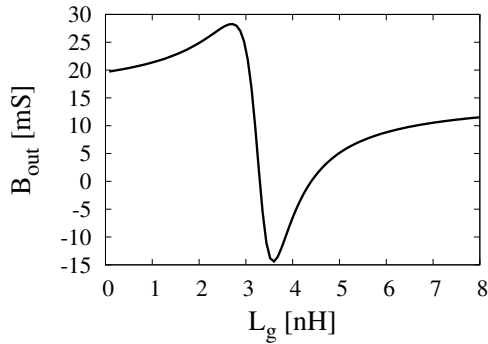
Nesta seção analisaremos o efeito da segunda realimentação positiva que aparece no sistema quando o indutor  $L_g$  é introduzido na porta do transistor. Está é a principal contribuição do presente trabalho. A ideia surgiu a partir da análise do modelo de pequenos sinais do transistor MOSFET apresentado na Seção 2.4. O oscilador Colpitts clássico de porta comum se utiliza de duas fontes de corrente controladas por tensão:  $g_{ms}$  e  $g_{md}$ . A partir da análise deste circuito, é possível perceber que a transcondutância  $g_{md}$  degrada o módulo da condutância negativa da rede de uma porta, à medida que a transcondutância  $g_{ms}$  contribui no sentido de aumentar este módulo. Utilizando uma terceira fonte de corrente controlada por tensão que opera no mesmo sentido que  $g_{ms}$ , é possível aumentar o módulo da condutância negativa. Como será demonstrado a seguir, a transcondutância  $g_m$  pode ser utilizada para este propósito se o potencial na porta  $v_g$  estiver defasado em  $180^\circ$  em relação aos potenciais de dreno e fonte,  $v_d$  e  $v_s$ , respectivamente.

Uma análise quantitativa da expressão da condutância de saída da rede de uma porta  $Y_{out}$  dada pela Equação (3.18) é apresentada nas Figuras 11(a) e 11(b). Os parâmetros utilizados nesta análise foram:  $C_1 = 2$  pF,  $C_2 = 2$  pF,  $C_{gs} = 2$  pF,  $C_{gd} = 0$ ,  $g_{ms} = 14$  mS,  $g_{md} = 0$ ,  $n = 1,15$  e  $f = 2,4$  GHz (ROTTAVA *et al.*, 2013a). É possível verificar um aumento significativo no valor absoluto da condutância de saída,  $G_{out} \equiv \Re\{Y_{out}\}$ , para um certa faixa de valores de  $L_g$ . Porém, ao mesmo tempo que analisamos a condutância é necessário também analisar a susceptância  $B_{out} \equiv \Im\{Y_{out}\}$ . O amplificador com dupla realimentação é conectado a um indutor, e portanto a susceptância deste amplificador deve ser capacitiva, de modo que este ressoe com o indutor. Portanto, utilizaremos uma faixa de valores de  $L_g$  para as quais a susceptância de saída do amplificador com dupla realimentação é positiva (capacitiva).

Dando prosseguimento à análise quantitativa, na Equação (3.27)



(a)



(b)

**Figura 11: (a) Parte real e (b) parte imaginária de  $Y_{out}$ , para os parâmetros especificados no texto.**

obtivemos uma expressão para a mínima transcondutância de fonte necessária para que o oscilador com dupla realimentação seja capaz de manter oscilações. Como já foi discutido anteriormente e apresentado na Equação (3.29), o valor da tensão de alimentação para este oscilador é diretamente proporcional à razão  $g_{ms}/g_{md}$ . Analisando a Equação (3.27) podemos perceber que um modo de reduzir esta razão, e por consequência a tensão de alimentação, é estabelecer valores negativos para  $\alpha$  e  $\beta$ . Ao fazer isso, reduzimos o valor da mínima transcondutância de fonte à medida em que os módulos de  $\alpha$  e  $\beta$  crescem, até o ponto em que  $g_{ms}$  tende a  $g_{md}$ . No caso

ideal em que  $g_{ms} = g_{md}$ , a tensão entre dreno e fonte vai a zero.

Averiguando as expressões para  $\alpha$  e  $\beta$ :

$$\alpha = \frac{1}{1 + \frac{C_{gs}}{C_{gd}} - \frac{1}{\omega^2 L_g C_{gd}}},$$

$$\beta = \frac{1}{1 + \frac{C_{gd}}{C_{gs}} - \frac{1}{\omega^2 L_g C_{gs}}},$$

percebemos que a única variável de projeto de fácil manipulação é a indutância  $L_g$ , pois as capacitâncias  $C_{gs}$  e  $C_{gd}$  são determinadas pela polarização e geometria do transistor, e por esse motivo estão atreladas a  $g_{ms}$  e  $g_{md}$ . Para que os parâmetro  $\alpha$  e  $\beta$  sejam negativos, ambos os denominadores devem ser menores do que zero, o que implica em:

$$L_g < \frac{1}{\omega^2 (C_{gs} + C_{gd})}. \quad (3.31)$$

Esta é uma condição necessária, porém não suficiente. A expressão obtida para a razão capacitiva ótima,  $K_{otm}$ , dada pela Equação (3.30), é dependente do valor de  $\alpha$ . Para que esta razão ótima seja um número real o valor de  $\alpha$  deve estar no intervalo:

$$\alpha > -\frac{G_P + g_{md}}{g_m}. \quad (3.32)$$

Substituindo (3.8) em (3.32) obtemos um novo intervalo para a indutância  $L_g$ :

$$L_g < \frac{1}{\omega^2 \left( C_{gs} + C_{gd} \left( 1 + \frac{g_m}{g_{md} + G_P} \right) \right)}. \quad (3.33)$$

O segundo intervalo de valores de  $L_g$  que reduzem a mínima transcondutância de fonte, dado pela Equação (3.33) é mais restritivo do que o primeiro intervalo, Equação (3.31), pois assume-se, pelo sentido prático, que os parâmetros  $g_{md}$ ,  $g_m$ ,  $C_{gd}$  e  $G_P$  são todos positivos. Portanto, a expressão (3.33) fornece um limite máximo para o indutor  $L_g$  que minimiza  $g_{ms}$ , e assim sendo a tensão de alimentação. Quanto mais próximo o valor de  $L_g$  estiver deste limite, menor será  $g_{ms}$  necessário para que o circuito oscile, ou alternativamente, se a polarização do transistor for mantida constante, maior será o módulo da condutância negativa fornecida pelo amplificador com dupla realimentação.



## 4 OSCILADOR DE ULTRA-BAIXA TENSÃO

### 4.1 INTRODUÇÃO

Esta seção apresenta o projeto e resultados parciais de medição de um oscilador de ultrabaixa tensão de alimentação desenvolvido a partir da análise e otimização propostas neste trabalho. O protótipo foi projetado em tecnologia IBM CMOS 0,13  $\mu\text{m}$ , utilizando um transistor de zero- $V_T$  que está disponível no *design kit* padrão da tecnologia. As especificações do projeto são: frequência de operação de 2,4 GHz, e menor tensão de alimentação possível. O circuito integrado deve alimentar uma carga de 50  $\Omega$ , que é a impedância de entrada do equipamento utilizado para a medição. Para cumprir com esta especificação foi necessário a integração de um *buffer* para isolar esta carga de 50  $\Omega$  do oscilador <sup>1</sup>. As medições do circuito foram realizadas *on-waffer* utilizando um analisador de espectro para constatação de seu funcionamento.

### 4.2 REVISÃO DO ESTADO DA ARTE

A Tabela 1 resume os dados de alguns dos osciladores CMOS em RF no estado da arte. Podemos ver que, com exceção de uma das referências, todos os osciladores propostos consomem potências maiores que 1 mW. O foco principal no projeto destes osciladores é a redução do ruído de fase, o que se justifica totalmente em aplicações com alta taxa de transmissão de dados. Porém aplicações como transceptores implantáveis não necessitam de uma alta taxa de transmissão, ao mesmo tempo que requerem um ultra baixo consumo de potência. A seguir, as principais técnicas utilizadas no projeto de cada referência serão apresentadas.

Em (BROWN *et al.*, 2011) uma técnica que permite que o sinal varie acima da tensão de alimentação, e abaixo do potencial terra é apresentada. Esta técnica permite uma maior amplitude do sinal gerado, o que por sua vez reduz o ruído de fase. Em (HSIEH; LU, 2007) duas técnicas diferentes são apresentadas. A primeira delas consiste de uma dupla realimentação, formada por um par cruzado, e por uma realimentação capacitiva (similar ao Colpitts). A segunda técnica consiste na polarização do corpo do transistor, que acarreta em uma redução na tensão de limiar (*threshold*), e portanto permite que o

---

<sup>1</sup> A conexão direta da carga de 50  $\Omega$  no oscilador não permitiria este circuito oscilar no limiar mínimo de tensão de alimentação.

circuito opere com uma menor tensão de alimentação.

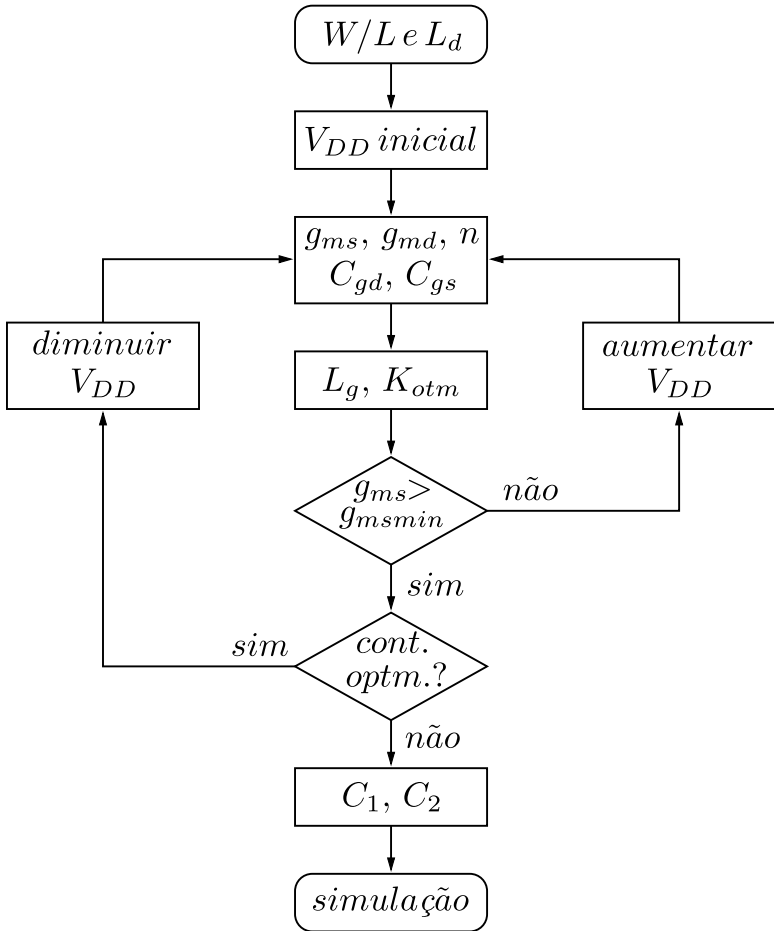
No artigo (KWOK; LUONG, 2003) a realimentação positiva é realizada através de um transformador. A razão de transformação dos indutores acoplados é otimizada, de modo que o circuito é capaz de operar abaixo da tensão de limiar. Em (HEGAZI *et al.*, 2001) os autores utilizam um filtro para reduzir o ruído de fase, e conseguem obter um bom resultado em termos de pureza espectral. Finalmente, na referência (KWOK; LUONG, 2005) a realimentação é realizada por um transformador. Uma técnica para aumentar a faixa dinâmica do sinal também é utilizada.

### 4.3 PROJETO DO OSCILADOR

O projeto do oscilador foi realizado de modo interativo baseado no fluxograma da Figura 12. Como foi exposto anteriormente, os indutores são os componentes passivos mais críticos do projeto, pois apresentam um fator de qualidade muito menor do que os capacitores, sobretudo ao se tratar de componentes passivos integrados. Portanto, uma parte importante do projeto é a obtenção de indutores com um alto fator de qualidade, que nesta tecnologia é algo em torno de 15 a 20. Dentre os três indutores, o mais crítico é o indutor de dreno  $L_d$ , pois ele está conectado diretamente à saída do oscilador. O melhor indutor obtido em 2,4 GHz foi de 9,18 nH, com um Q de 18,52. Supondo que a carga  $G_P$  é predominantemente devida aos parasitas de  $L_d$ ,  $G_P = 390 \mu\text{S}$ .

O dispositivo ativo utilizado no oscilador é um transistor MOS zero- $V_T$ , também conhecido como transistor nativo. O substrato deste transistor é levemente dopado, o que faz com que uma pequena tensão na porta já seja capaz de formar uma camada de inversão na interfase óxido-semicondutor, isto é, um canal de condução. O segundo passo de projeto é a determinação da razão de aspecto  $W/L$  de tal transistor. A análise desenvolvida neste trabalho não apresenta nenhum método direto de calcular esta razão. A determinação de  $W/L$  foi feita através de uma ponderação entre uma alta transcondutância e um baixo valor de componentes parasitas na frequência de operação. A razão de aspecto utilizada neste projeto é  $200 \mu\text{m}/420 \text{ nm}$ , sendo este comprimento de canal o mínimo para o transistor zero- $V_T$ .

Um valor inicial para a tensão de alimentação  $V_{DD}$  deve ser estabelecido, e em sequência os parâmetros  $g_{ms}$ ,  $g_{md}$ ,  $n$ ,  $C_{gs}$  e  $C_{gd}$  são obtidos através de simulação. O passo seguinte é escolher um valor de  $L_g$  dentro do intervalo da Equação (3.33), e em seguida determinar o valor ótimo para a razão capa-



**Figura 12: Fluxograma de projeto do oscilador Colpitts com dupla realimentação positiva.**

citiva. Para comprovar que o circuito irá oscilar, o valor da transcondutância de fonte deve ser maior do que o mínimo previsto pela Equação (3.27). No caso em que esta condição é satisfeita com bastante folga o próximo passo é reduzir a tensão de alimentação e recomeçar o projeto até que  $g_{ms}$  esteja próximo do limiar estabelecido por (3.27). Por outro lado, caso a condição de oscilação não for satisfeita a tensão de alimentação deve ser aumentada, pois o transistor ainda não tem ganho suficiente para manter as oscilações.

Uma vez que a condição de oscilação foi satisfeita para um certo valor de  $V_{DD}$ , o próximo, e último passo do projeto do oscilador é determinar os valores reais das capacitâncias  $C_1$  e  $C_2$  que garantem que a frequência de ressonância da rede, e portanto a frequência de oscilação, será a especificada no início do projeto. As três admitâncias auxiliares  $Y_a$ ,  $Y_b$  e  $Y_c$  são calculadas pelas Equações (3.12), (3.13) e (3.14), respectivamente. Substituindo (3.12) em (3.17) obtemos o valor da indutância equivalente da rede, que pode então ser substituída em (3.23) para determinação de  $C_{out}$ :

$$C_{out} = \frac{1}{(2\pi f_o)^2 L_{eq}}. \quad (4.1)$$

Como  $C_{out} = C_{1eq}C_{2eq}/(C_{1eq} + C_{2eq})$  e  $K = C_{2eq}/C_{1eq}$ , as expressões para  $C_{1eq}$  e  $C_{2eq}$  em função de  $C_{out}$  e  $K$  são:

$$C_{1eq} = \left( \frac{K+1}{K} \right) C_{out}, \quad (4.2)$$

$$C_{2eq} = (K+1) C_{out}. \quad (4.3)$$

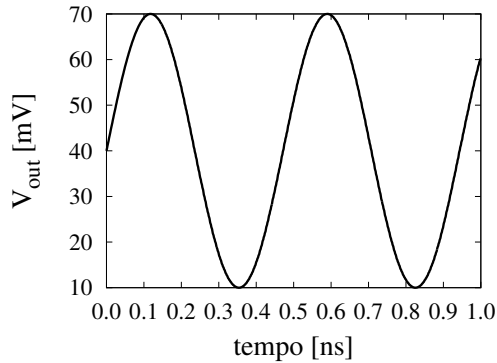
Finalmente, para determinar o valor de  $C_1$  e  $C_2$  é necessário descontar os efeitos de  $Y_c$  e  $Y_b$  dos valores de  $C_{1eq}$  e  $C_{2eq}$  utilizando as Equações (3.15) e (3.16).

A partir desta metodologia de projeto obtivemos um oscilador que por simulação pós-*layout* opera com 40 mV de tensão de alimentação e oscila em 2.12 GHz. Operando com esta polarização, o transistor zero- $V_T$  apresenta os parâmetros mostrados na Tabela 2. Substituindo os parâmetros do transistor bem como o valor de  $G_P$  na Equação (3.33) resulta em um valor máximo de  $L_g$  de 13 nH. O valor utilizado para  $L_g$  no projeto foi de 12 nH para evitar que a variabilidade do componente leve o circuito a um ponto onde ele não oscila. Para esta indutância de porta, obtemos um valor de  $\alpha$  e  $\beta$  de -0.632 e -0.638, respectivamente. A razão capacitiva ótima é então 1,08, a partir da Equação (3.30). Os valores das capacitâncias equivalentes  $C_{1eq}$  e  $C_{2eq}$  são 476 fF e 514 fF, respectivamente. Finalmente, o valor de  $C_1$  e  $C_2$  é 541 fF e 704 fF.

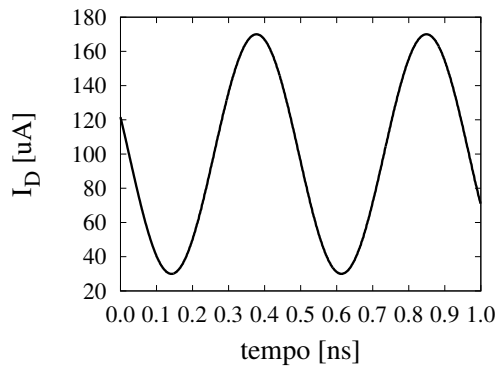
**Tabela 2: Parâmetros do transistor zero- $V_T$  utilizado no projeto do oscilador.**

Parâmetro	$g_{ms}$	$g_{md}$	$n$	$C_{gs}$	$C_{gd}$
Valor	4,5 mS	1,52 mS	1,19	103 fF	102 fF

Resolvendo a Equação (3.27) obtemos que a mínima transcondutância de fonte necessária para que este circuito oscile é de 2,63 mS, o que é menor do que a fornecida pelo transistor. Portanto, o circuito irá oscilar, como foi constatado em simulação. A tensão mínima para iniciar as oscilações é de 18 mV, segundo a Equação (3.29). Caso  $L_g$  seja retirado do circuito ( $L_g = 0$ ) a mínima tensão de operação obtida em simulação é de 70 mV, e de 32 mV a partir de (3.29). Portanto, neste caso específico, a configuração clássica do oscilador opera com tensão de alimentação mínima 1,75 vezes maior do que a versão com a dupla realimentação.

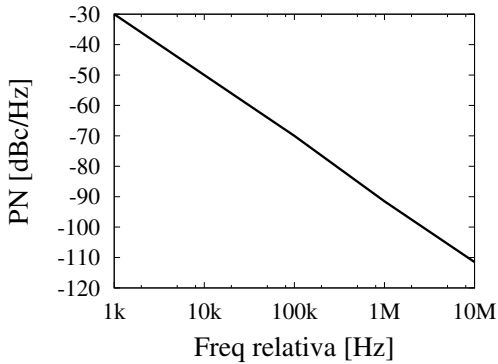


(a)



(b)

**Figura 13:** Simulação pós *layout* do oscilador projetado da (a) tensão no dreno do oscilador e (b) corrente de dreno.



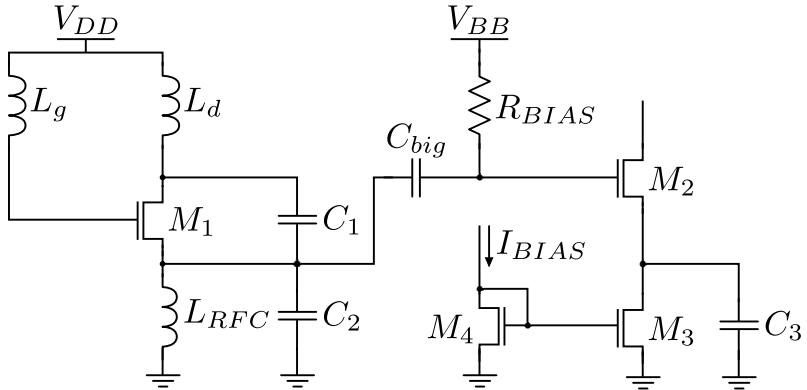
**Figura 14:** Simulação do ruído de fase pós *layout* do oscilador projetado. O oscilador apresenta um ruído de fase de  $-91,5$  dBc/Hz a 1 MHz da portadora.

As Figuras 13(a) e 13(b) mostram o resultado de simulação pós *layout* do oscilador. A amplitude do sinal no dreno do transistor é de cerca de 30 mV para um  $V_{DD}$  de 40 mV. A corrente de dreno tem um valor DC de 100  $\mu$ A. Portanto o consumo de potência do circuito é de 4  $\mu$ W. O ruído de fase deste oscilador é mostrado na Figura 14, e tem um valor de  $-91,5$  dBc/Hz a 1 MHz da portadora. O circuito oscila na frequência de 2,12 GHz.

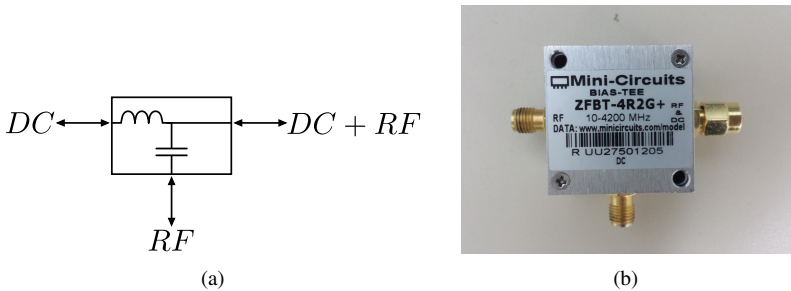
#### 4.4 PROJETO DO BUFFER

O esquemático completo do protótipo desenvolvido é mostrado na Figura 15. O oscilador por si próprio não consegue alimentar uma carga muito grande, pois opera no limite de mínima tensão de operação. Por este motivo integramos um *buffer* que apresenta uma alta impedância de entrada, e portanto não carrega o oscilador, e é capaz de alimentar uma carga de 50  $\Omega$ . O *buffer* consiste em um amplificador de fonte comum polarizado através do resistor  $R_{BIAS}$  e do espelho de corrente formado pelos transistores  $M_3$  e  $M_4$ . O dreno deste amplificador foi deixado em aberto (conectado diretamente a um PAD I/O), e a polarização é realizada externamente através de um bloco de *Bias-T*. Este bloco é uma rede de três portas que serve para adicionar uma componente DC a um sinal de RF, sem que haja distúrbio nos sinais de entrada, ou para separar o sinal de RF da componente DC (em geral funciona dos dois modos). A Figura 16(a) ilustra a funcionalidade deste bloco, e como ele é tipicamente construído a partir de componentes passivos, e a Figura

16(b) é uma foto do *Bias-T* utilizado nas medições do oscilador.



**Figura 15:** Circuito completo que foi integrado. Inclui o oscilador de ultrabaixa tensão e um *buffer* de adaptação.



**Figura 16:** (a) Funcionalidade do *bias-T* e (b) uma foto do que foi utilizado na medição.

O *buffer* foi projetado para ter um ganho unitário para uma carga de  $50 \Omega$  e uma alta impedância de entrada. A razão de aspecto do transistor  $M_2$  é  $50 \mu\text{m}/120 \text{ nm}$ , e este é um transistor de RF com tensão de *threshold* nominal. Para polarização da porta do transistor foi utilizado um resistor  $R_{BIAS}$  de  $74 \text{ k}\Omega$ , e a tensão de polarização  $V_{BB}$  é de  $1,5 \text{ V}$ . O transistor precisa de uma transcondutância de  $20 \text{ mS}$ , de modo que o ganho de tensão, que é dado por  $g_m R_L$ , seja unitário, onde  $R_L$  é a carga de  $50 \Omega$ . Isto é obtido com uma corrente de polarização  $I_{BIAS}$  de  $3 \text{ mA}$ . O capacitor  $C_{big}$  serve para acoplar o sinal do oscilador à entrada do *buffer* e isolar as polarizações dos dois circuitos, e

seu valor é de 10 pF. Finalmente o capacitor  $C_3$  é utilizado para desacoplar o sinal na fonte. Este capacitor foi colocado em algumas regiões vazias do layout, e seu valor final foi de 40 pF. A entrada do *buffer* é conectada na fonte do transistor do oscilador, pois foi constatado por simulação que deste modo o *buffer* carrega menos o oscilador.

#### 4.5 CONSIDERAÇÕES DO LAYOUT

O *layout* do protótipo projetado é mostrado na Figura 17. Os indutores possuem um plano de terra, que é disponível no *design kit* padrão da tecnologia, e que serve para aumentar os seus fatores de qualidade. Este plano de terra é formado no primeiro nível de metal, que tem uma resistência menor do que o substrato, e portanto aumenta o fator de qualidade da espira. Porém a capacitância entre a trilha do indutor e o plano de terra também aumenta, o que faz com que a frequência de auto ressonância deste indutor diminua. Na frequência de 2,4 GHz os melhores indutores tem fator de qualidade próximo de 18 utilizando o plano de terra.

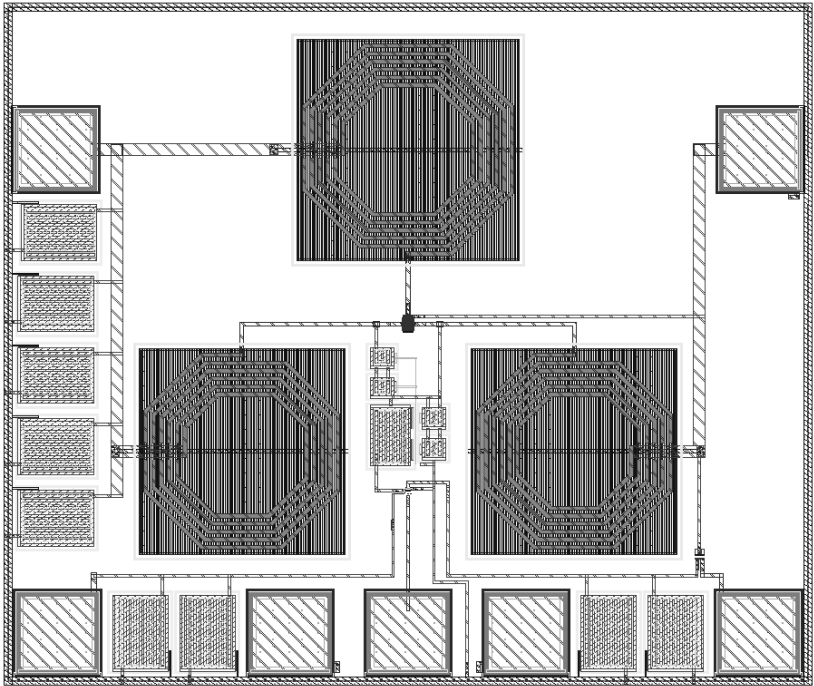
As interconexões do circuito foram realizadas, quando possível, através dos dois últimos níveis de metal, que são *layers* especiais para RF. Eles possuem uma espessura maior do que os níveis de metal mais inferiores, e portanto uma resistência de folha menor. Os indutores e capacitores desta tecnologia também são feitos neste últimos níveis de metal para aumentar o fator de qualidade destes componentes passivos.

Os espaços vazios do *layout* foram preenchidos com capacitores de desacoplamento entre o  $V_{DD}$  e o terra. Em circuitos de RF essa técnica é de grande importância, pois reduz o ruído externo injetado no circuito, e reduz a resistência em série entre a fonte de alimentação e o circuito. Para isolar o oscilador projetado da interferência de outros circuitos contidos no mesmo *waffer* um anel de guarda foi projetado. Este anel de guarda tem contato com o substrato e é aterrado.

#### 4.6 RESULTADOS PARCIAIS DE MEDIÇÃO

A Figura 18 mostra uma micro fotografia do circuito integrado projetado em teste. As regiões em preto na figura são as ponteiras de prova, sendo que as que tem apenas uma ponta são as ponteiras DC que polarizam o circuito, e a única que tem 3 pontas é a ponteira de RF coplanar (terra-

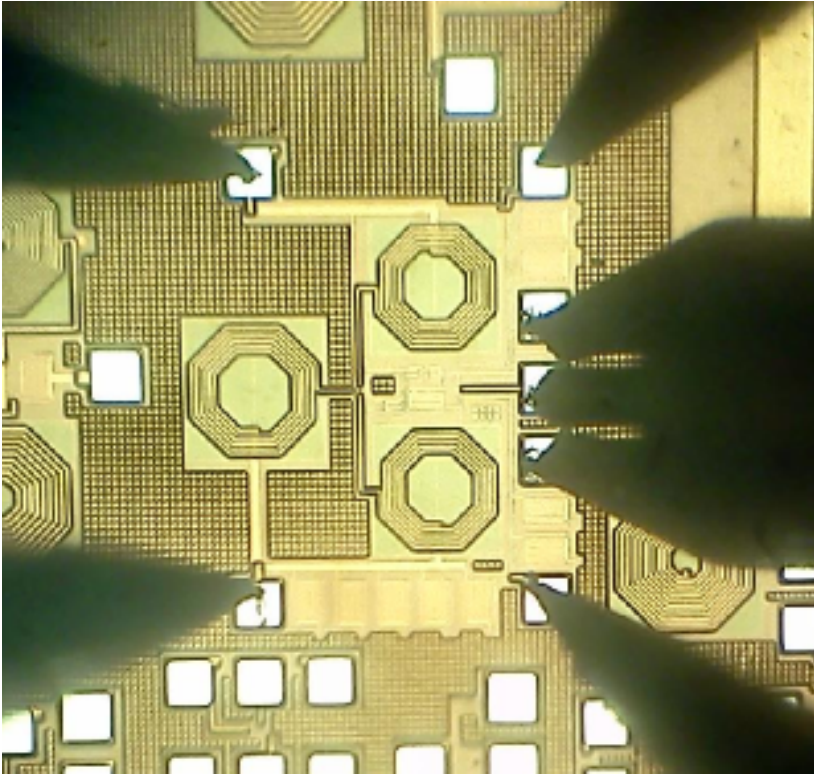




**Figura 17:** *Layout do protótipo desenvolvido com uma área total é de 0,9 mm<sup>2</sup>.*

señal-terra) utilizada para extrair o sinal do oscilador. O posicionamento das ponteiros é realizado através de micro manipuladoras e de um microscópio. A Figura 19 apresenta parte do *setup* de testes com o microscópio, as micro manipuladoras e ponteiros, e o circuito integrado, posicionado abaixo da lente do microscópio.

O circuito foi polarizado através do equipamento *HP 4145*, que é um analisador de parâmetros de semicondutor, e que é capaz de fornecer uma referência de tensão e corrente de baixo ruído. A saída do circuito, que é o dreno do *buffer*, é conectada a um *bias-T*, como o mostrado na Figura 16(b). A entrada DC do *bias-T* é conectada a uma fonte de tensão DC de 1,5 V, e a saída de RF é conectada no analisador de espectro (não há componente DC neste sinal). O analisador de espectro mostra a transformada de Fourier do sinal aplicado à sua entrada. O equipamento utilizado foi o *Rohde & Schwarz FSP13*. Não foi possível ver o sinal no domínio do tempo, pois os osciloscópios disponíveis não operam em tão alta frequência. A Figura 20



**Figura 18:** Microfotografia do circuito integrado em teste.

mostra uma medição do circuito constatando que o oscilador opera com uma tensão de alimentação tão baixa quanto 53 mV. A frequência de oscilação sofreu um desvio do que foi esperado em simulação e é de 1,86 GHz.

Durante as primeiras medições do circuito constatamos que o *buffer* estava atrapalhando nas medições do oscilador. Este circuito introduzia muito ruído ao sinal de saída, impossibilitando uma boa medida do espectro do oscilador. As medidas ficaram muito mais claras quando desligamos este amplificador, contudo ainda não sabemos o motivo exato de tal interferência, e medidas mais precisas devem ser realizadas. Como consequência da não utilização do *buffer* não foi possível ter um valor real da amplitude das oscilações, pois o sinal da saída do oscilador é acoplado capacitivamente (através da capacitância entre porta e dreno do transistor do *buffer*) ao analisador de espectro. As medições apresentadas a seguir foram todas realizadas

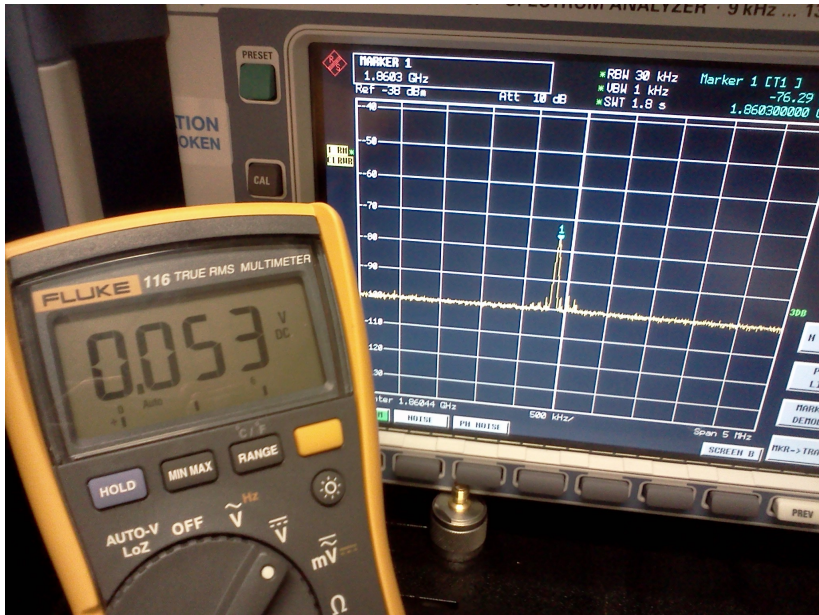


**Figura 19:** Parte do *setup* de medição do circuito integrado.

com o *buffer* desligado.

As Figuras 21(a), 21(b) e 21(c) apresentam o espectro em frequência do oscilador com tensões de alimentação de 53 mV, 61 mV e 102 mV, respectivamente. A baixa amplitude do sinal é consequência do modo com que o oscilador é conectado ao analisador de espectro, através de um acoplamento capacitivo parasita. Porém mesmo com a grande atenuação é possível constatar que o circuito de fato oscila para tensões de alimentação tão baixas quanto 53 mV.

Houve uma grande variação na frequência de oscilação, cerca de -12,3 % do que era esperado por simulação, 2,12 GHz, para o que foi medido com a menor tensão de alimentação, 1,86 GHz. Se observarmos o gráfico da Figura 22(a) podemos perceber que para dois *chips* diferentes, a variação percentual foi menor do que 3 %, o que é totalmente justificado pela variabilidade típica de componentes passivos integrados. Acreditamos que o erro de -12,3 % entre a simulação pós *layout* e a medição é majoritariamente devida ao modelo do transistor zero- $V_T$  que não é muito bem caracterizado para altas frequências. Como a frequência de oscilação do circuito depende fortemente das capacitâncias parasitas do dispositivo MOS, uma modelagem imprecisa

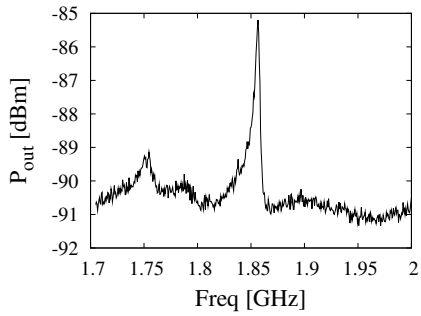


**Figura 20:** Foto da medição do circuito operando com a mínima tensão de alimentação.

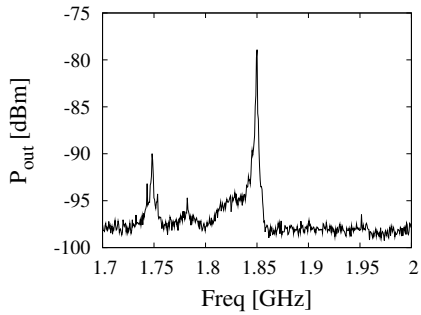
deste dispositivo poderia justificar tal variação. Para resultados mais conclusivos seria necessário uma caracterização completa do dispositivo, o que ainda não foi possível realizar.

A potência de saída do circuito é ilustrada na Figura 22(b) para vários valores da tensão de alimentação. Como explicado anteriormente, a potência deste sinal é muito pequena, pois o *buffer* está desligado em todas as medições e o sinal é acoplado capacitivamente à saída. O sinal na fonte do oscilador passa por um divisor de tensão formado por uma capacitância parasita ligando a porta do *buffer* ao seu dreno e pela carga de 50  $\Omega$ .

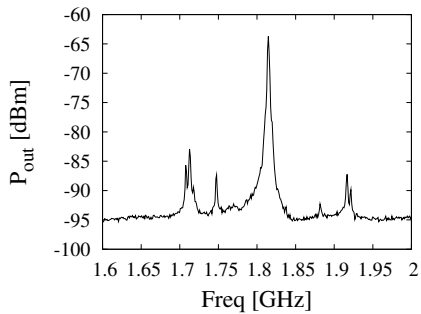
Nesta primeira medição realizada não foi possível avaliar o ruído de fase, pois o espectro do oscilador não permaneceu estável em uma frequência. O ponto central das oscilações apresentava uma oscilação em baixa frequência, que acreditamos ser causada pelo ruído injetado pela fonte de alimentação. Uma nova medição será realizada, e nesta iremos fixar o circuito integrado em uma placa de circuito impresso, alimentar o circuito com bateria e com um bom filtro entre  $V_{DD}$  e terra, e isolar o circuito em uma caixa metálica. Utilizando estas técnicas acreditamos que a performance do



(a)

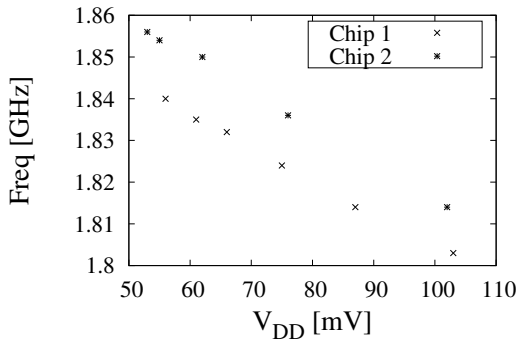


(b)

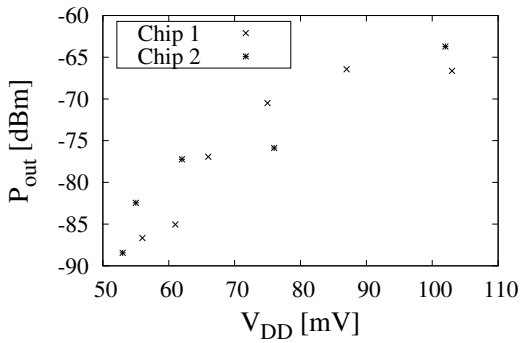


(c)

**Figura 21: Resultados de medição do oscilador projetado para (a) 53 mV, (b) 61 mV e (d) 102 mV. [Resolution Bandwidth = 3 MHz]**



(a)



(b)

**Figura 22: Resultados de medição do oscilador projetado para dois *chips* diferentes. Tensão de alimentação versus (a) corrente consumida, (b) frequência de oscilação e (c) potência de saída.**

circuito irá aumentar, e poderemos realizar medições que não foram possíveis neste primeiro teste *on-waffer*, como por exemplo a medição do ruído de fase.

## 4.7 CONCLUSÕES DO PROJETO

O objetivo deste projeto era desenvolver um oscilador que operasse com uma ultrabaixa tensão de alimentação em uma frequência de 2,4 GHz. Este projeto foi desenvolvido a partir de uma arquitetura de osciladores baseada no oscilador Colpitts clássico. A análise e as otimizações propostas neste trabalho serviram de base para o projeto de um circuito integrado em tecnologia IBM CMOS 0,13  $\mu\text{m}$ . O protótipo desenvolvido foi então testado em laboratório.

Os resultados de medição constataam que o circuito é capaz de oscilar com tensões de alimentação a partir de 53 mV, consumindo uma potência de apenas 0,9  $\mu\text{W}$  na frequência de 1,86 GHz. A Tabela 3 apresenta uma comparação entre o circuito projetado e medido, e outros osciladores no estado da arte.

Embora os resultados obtidos sejam interessantes e forneçam uma boa verificação da capacidade que esta arquitetura e metodologia prometem, os resultados parciais foram muito afetados por questões do projeto do circuito integrado. Primeiramente, o *buffer* projetado dificultou uma medição clara do sinal do oscilador, e como consequência tivemos que fazer as medições com esta parte desligada. Como consequência perdemos a capacidade de medir a amplitude real do sinal gerado pelo oscilador. Em segundo lugar, confiamos em uma modelagem de transistor que não é muito precisa para altas frequências, o que por sua vez acarretou em certa divergência entre as frequências de oscilação simulada e medida. E para finalizar, não foi possível medir o ruído de fase nesta primeira medição. Porém acreditamos que os resultados podem ser melhorados realizando uma nova medição com um *test-bench* mais elaborado.

Tabela 3: Comparação entre o oscilador medido e outros osciladores no estado da arte.

Parâmetro	[1]	[2]a	[2]b	[3]	[4]	[5]	Este trabalho
Tecnologia CMOS (nm)	130	180	180	180	350	180	130
Tensão de alimentação (mV)	475	600	400	350	2700	500	53
Frequência (GHz)	4,90	5,60	5,60	1,40	2,1	3,8	1,86
Potência (mW)	2,70	3,00	1,10	1,46	9,3	0,57	0,0009
Ruído de fase (dBc/Hz)	-136,2 <sup>1</sup>	-118,0 <sup>2</sup>	-114,0 <sup>2</sup>	-128,6 <sup>2</sup>	-153,0 <sup>1</sup>	-119,0 <sup>2</sup>	-
FoM* (dBc/Hz)	196,3	189,0	189,0	189,8	195,4	193,0	-

[1] (BROWN *et al.*, 2011), [2] (HSIEH; LU, 2007), [3] (KWOK; LUONG, 2003)

[4] (HEGAZI *et al.*, 2001) e [5] (KWOK; LUONG, 2005)

\*Figura de mérito =  $20 \log(f_0/\Delta f) - 10 \log(P_{DC}/1mW) - L(\Delta f)$

<sup>1</sup>  $L(\Delta f)$  @ 3 MHz

<sup>2</sup>  $L(\Delta f)$  @ 1 MHz



## 5 CONCLUSÃO DO TRABALHO

Esta monografia apresentou uma arquitetura de osciladores denominada de oscilador Colpitts com dupla realimentação positiva. Esta arquitetura resulta em um aprimoramento do circuito Colpitts clássico em relação à mínima tensão de alimentação, e, de uma forma geral, ao consumo de energia do oscilador. O trabalho contou com o desenvolvimento teórico da análise do circuito com enfoque especial à operação deste em ultrabaixa tensão, utilizando uma modelagem dos dispositivos válida para esta região. Além da análise, foram demonstradas formas de projetar este oscilador de modo otimizado para tensão de alimentação muito baixa. A maior contribuição deste trabalho foi a demonstração da efetividade de uma segunda realimentação em um circuito oscilador.

Como prova de conceito, um oscilador de ultrabaixa tensão foi projetado em circuito integrado com base na teoria desenvolvida. Este protótipo foi elaborado em tecnologia CMOS  $0,13 \mu\text{m}$  utilizando um transistor MOS zero- $V_T$ . Uma prática de fundamental importância no ciclo de desenvolvimento de circuitos integrados é a medição, pois esta confere resultados reais da funcionalidade do circuito. Os resultados obtidos em laboratório demonstram a efetividade das técnicas desenvolvidas, bem como a empregabilidade desta arquitetura para osciladores de ultrabaixa tensão. Diversas dificuldades foram encontradas no processo de medição, a saber a imprecisa caracterização do dispositivo utilizado, o equívoco no projeto do *buffer* e a impossibilidade de medir o ruído de fase de modo confiável, pelo menos nesta primeira medição. Estes contratempos demonstram a grande importância da medição no desenvolvimento de um *chip*, e ficam como lição para projetos futuros.

A introdução da segunda realimentação reduz o requisito mínimo de transcondutância que leva o protótipo a oscilar. Deste modo é possível reduzir o consumo de potência e a tensão de alimentação. Simulações mostram que a tensão de alimentação mínima para o oscilador Colpitts clássico é 1,75 vezes maior do que para o oscilador proposto, especificamente para a tecnologia e o dispositivos utilizados. As medições preliminares do protótipo demonstram que este oscila na frequência de 1,86 GHz, com uma tensão de alimentação de 53 mV e um consumo de  $0,9 \mu\text{W}$ .

A arquitetura de osciladores apresentada encaixa-se no contexto de sistemas de comunicação de baixa tensão e potência, como é o caso de dispositivos implantáveis em WBANs. O projeto aqui exposto trata de um caso limite, em que o circuito funciona no limiar de operação, com uma tensão de alimentação extremamente baixa. Este é um caso que pode ser empre-

gado na área de *energy harvesting* onde as tensões extraídas do ambiente são tipicamente da ordem de dezenas de milivolts. Porém a técnica de dupla realimentação, e a parte analítica apresentada não se resumem ao limiar da tensão de alimentação, como é o caso do projeto desenvolvido em (ROTTAVA *et al.*, 2013a).

A técnica de dupla realimentação positiva em osciladores fornece uma gama de oportunidades de trabalhos. Esta técnica pode ser empregada na redução do consumo de potência do circuito, e não apenas da tensão de alimentação. Um outro ponto a ser estudado é o aumento da eficiência de conversão de um oscilador em que a técnica de dupla realimentação é utilizada. Um terceiro enfoque seria um estudo mais geral sobre o efeito de múltiplas realimentações em osciladores no que diz respeito à eficiência, ao consumo de energia, dentre outros.

## REFERÊNCIAS

- BANERJEE, S.; RAJAMANI, K. Closed form solutions for delta-star and star-delta conversions of reliability networks. **Reliability, IEEE Transactions on**, R-25, n. 2, p. 118–119, June 1976. ISSN 0018-9529.
- BRADLEY, P. An ultra low power, high performance medical implant communication system (mics) transceiver for implantable devices. In: **Bio-medical Circuits and Systems Conference, 2006. BioCAS 2006. IEEE**. [S.l.: s.n.], 2006. p. 158–161.
- BROWN, T.; FARHABAKHSHIAN, F.; ROY, A. G.; FIEZ, T.; MAYARAM, K. A 475 mV, 4.9 GHz enhanced swing differential colpitts VCO with phase noise of -136 dBc/Hz at a 3 MHz offset frequency. **Solid-State Circuits, IEEE Journal of**, v. 46, n. 8, p. 1782 –1795, aug. 2011. ISSN 0018-9200.
- CLARKE, K. K.; HESS, D. T. **Communication circuits: analysis and design**. Philippines: Addison-Wesley Publishing Company, Inc., 1971.
- ENZ, C.; VITTOZ, E. **Charge-based MOS transistor modelling: the ekv model for low-power and rf ic**. 1<sup>a</sup>. ed. Chichester, West Sussex, England: John Wiley & Sons Ltd, 2006.
- GONZALEZ, G. **Foundations of oscillator circuit design**. Boston, Lodon, England: Artech House, 2007.
- HEGAZI, E.; SJOLAND, H.; ABIDI, A. A filtering technique to lower lc oscillator phase noise. **Solid-State Circuits, IEEE Journal of**, v. 36, n. 12, p. 1921–1930, Dec 2001. ISSN 0018-9200.
- HSIEH, H.-H.; LU, L.-H. A high-performance cmos voltage-controlled oscillator for ultra-low-voltage operations. **Microwave Theory and Techniques, IEEE Transactions on**, v. 55, n. 3, p. 467–473, March 2007. ISSN 0018-9480.
- KWOK, K.; LUONG, H. A 0.35-V 1.46-mW low-phase-noise oscillator with transformer feedback in standard 0.18-um CMOS process. In: **Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003**. [S.l.: s.n.], 2003. p. 551 – 554.

- KWOK, K. C.; LUONG, H. Ultra-low-voltage high-performance cmos vcos using transformer feedback. **Solid-State Circuits, IEEE Journal of**, v. 40, n. 3, p. 652–660, March 2005. ISSN 0018-9200.
- LATHI, B. P. B. P. **Linear systems and signals**. 2<sup>a</sup>. ed. New York, NY, USA: Oxford University Press, 2005. ISBN 0-19-515833-4.
- RAMADASS, Y.; CHANDRAKASAN, A. A battery-less thermoelectric energy harvesting interface circuit with 35 mv startup voltage. **Solid-State Circuits, IEEE Journal of**, v. 46, n. 1, p. 333–341, Jan 2011. ISSN 0018-9200.
- RAZAVI, B. **RF Microelectronics**. 2<sup>a</sup>. ed. Upper Saddle River, New Jersey: Pearson Education, Inc., 2012.
- ROTTAVA, R.; JUNIOR, C. C. S.; SOUSA, F. Rangel de; LIMA, R. Nunes de. Ultra-low-power 2.4 ghz colpitts oscillator based on double feedback technique. In: **Circuits and Systems (ISCAS), 2013 IEEE International Symposium on**. [S.l.: s.n.], 2013. p. 1785–1788. ISSN 0271-4302.
- ROTTAVA, R.; JUNIOR, C. C. S.; SOUSA, F. Rangel de; LIMA, R. Nunes de. Ultra-low-power, ultra-low-voltage 2.12 ghz colpitts oscillator using inductive gate degeneration. In: **New Circuits and Systems Conference (NEWCAS), 2013 IEEE 11th International**. [S.l.: s.n.], 2013. p. 1–4.
- ROTTAVA, R. E.; SOUSA, F. R. de. A 40 mv/4 uw cmos colpitts oscillator with additional positive feedback at 2.12 ghz. **Student Forum**, September 2012.
- SCHNEIDER, M. C.; GALUP-MONTORO, C. **CMOS Analog Design Using All-Region MOSFET Modeling**. 1st. ed. New York, NY, USA: Cambridge University Press, 2010. ISBN 052111036X, 9780521110365.
- SOUSA, F. R. de; MACHADO, M. B.; GALUP-MONTORO, C. A 20 mV colpitts oscillator powered by a thermoelectric generator. In: **The IEEE International Symposium on Circuits and Systems, 2012, Seul. Proceedings of the IEEE 2012**. [S.l.: s.n.], 2012. p. 2035–2038.
- TSIVIDIS, Y. **Operation and Modeling of the MOS Transistor**. New York, NY, USA: McGraw-Hill, Inc., 1987. ISBN 007065381X.

**APÊNDICE A – ARTIGOS APRESENTADOS E PUBLICADOS**

# A 40 mV/4 $\mu$ W CMOS Colpitts Oscillator with Additional Positive Feedback at 2.12 GHz

Rodrigo Eduardo Rottava  
Integrated Circuits Laboratory-LCI  
Federal University of Santa Catarina  
Florianopolis, Brazil  
rodrigorottava@ieee.org

Fernando Rangel de Sousa  
Integrated Circuits Laboratory-LCI  
Federal University of Santa Catarina  
Florianopolis, Brazil  
rangel@ieee.org

## ABSTRACT

In this paper, a different topology for ultra-low voltage oscillators is presented. It is based on a classical common-gate Colpitts Oscillator, but with additional positive feedback provided by an inductive gate degeneration. This increase in the positive feedback decreases the required transconductance in order to start-up the circuit, which is used here to reduce the minimum supply voltage. The capacitor ratio of the circuit is also optimized with the same purpose. The equations for the optimization are presented as well as a step-by-step design. A prototype with the aim of validate the work was developed in a standard 0.13  $\mu$ m CMOS process using a zero-threshold transistor. The post-layout simulation resulted in a minimum supply voltage of 40 mV at 2.12 GHz, with a power consumption of 4  $\mu$ W.

## Keywords

Ultra-low voltage, Ultra-low power, CMOS Colpitts Oscillator

## 1. INTRODUCTION

Circuits for Wireless Body Area Networks (WBAN) and Wireless Sensor Networks (WSN) usually have a limited power budget as well as the need for operating with low supply voltages. These circuits are composed, among other blocks, by oscillators. Thus, it is necessary to optimize those blocks in order to work in such conditions.

Several topologies [1, 2, 3, 4] have presented different techniques in order to reduce the supply voltage. In [1] an approach that consists in optimizing the capacitor ratio is presented, which allows the circuit to work with supply voltages as low as 20 mV. [2] presents a technique that allows the signal to swing beyond the supply voltage and GND, therefore decreasing the phase noise while working with low-voltage. In [3] two main techniques are utilized: the use of a capacitor feedback in addition to the negative resistance of a cross-coupled pair of transistors, as well as forward-body-

bias technique to reduce the threshold voltage. And finally in [4] it is used a transformer positive feedback with optimization of the turns ratio of the coupled inductors, that allows the circuit to operate below the threshold voltage.

In this paper we present the analysis and design of an ultra-low-voltage oscillator based on the common-gate Colpitts oscillator. By increasing the positive feedback with an inductive gate degeneration, the required transconductance to oscillate is reduced, what allows to apply a lower supply voltage. The analysis for this new positive feedback is developed as well as the optimization of the capacitor ratio. An analytical expression to estimate the critical supply voltage for this topology is also presented. A step-by-step design is developed, as well as a prototype with the aim of proof of concept. The post-layout simulation results are also presented.

## 2. LOW-VOLTAGE OSCILLATOR

The Colpitts oscillator can be analysed as an unstable one-port terminated by a load, as we can see in Figure 1, where  $Y_1$  and  $Y_2$  are the input admittances of the one-port network and the load, respectively. In order to oscillate the circuit must satisfy the Barkhausen criterion for this case [5]:

$$\Re(Y_1) \leq -\Re(Y_2) \quad (1a)$$

$$\Im(Y_1) = -\Im(Y_2) \quad (1b)$$

There are several techniques for low-voltage operation of oscillators. One classically employed [1, 2, 3, 4] is the degeneration of the current source into an inductor shown in Figure 2 as  $L_{RFC}$ . There are two main advantages in the application of this technique: a) all the supply voltage is applied over the transistor therefore increasing the small-signal gain; and b) the inductor allows the signal to swing below the GND potential. The later allows to increase the output amplitude and the output power, thus decreasing the phase-noise [2].

Another technique is the optimization of the capacitor feedback [1, 3]. In our topology, we optimize this parameter to decrease the required transconductance in order to start-up the oscillator. As a result, the supply voltage can be reduced.

The last technique employed here consists in a gate degeneration developed by  $Z_g$  in Figure 2a. For the special case  $Z_g = j\omega L_g$ , and for a suitable value of  $L_g$ , there is an increasing in the positive feedback, which reduces the minimum supply voltage.

### 3. CIRCUIT ANALYSIS

We focus our analysis in the reduction of the supply voltage. To that purpose, our analysis is based on the already-developed equations in [1], for the case where  $Z_g = 0$  in Figure 2a. We now extend those results for a generic impedance  $Z_g$ , and for an inductive impedance  $Z_g = j\omega L_g$ .

#### 3.1 General Analysis

The AC equivalent circuit for Figure 2a is shown in Figure 3a. By replacing the transistor small-signal model we obtain the equivalent circuit shown in Figure 3b. We consider  $C_{gd}$  in order to make this analysis valid for all the regions of operation [6], though it is more significant for the linear region, which is our case. One could do this analysis for a saturated transistor without considering the intrinsic  $C_{gd}$  in order to reduce the complexity of the equations.

We now transform the circuit from Figure 3b into an equivalent one, shown in Figure 3c that was already optimized in [1]. First of all, by superposition we can relate the gate voltage ( $v_g$ ) to the source ( $v_s$ ) and drain ( $v_d$ ) voltages as:

$$v_g = \alpha v_d + \beta v_s \quad (2)$$

where  $\alpha$  and  $\beta$  are given in Table 1 for a generic impedance  $Z_g$ , and for the special case  $Z_g = j\omega L_g$ .

Secondly, the T-network given by  $C_{gs}$ ,  $C_{gd}$  and  $Z_g$  (see Figure 3b) can be transformed in an equivalent  $\pi$ -network. The transformation is shown in Figure 4 [7]. Using (2) and the network transformation, we can redraw Figure 3b to obtain the simplified circuit shown in Figure 3c, where:

$$g_{m1} = g_{ms} - \beta g_{m_g} \quad (3a)$$

$$g_{m2} = g_{md} + \alpha g_{m_g} \quad (3b)$$

$$C_{1eq} = \frac{1}{j\omega Z_{C_1} \parallel Z_c} \quad (3c)$$

$$C_{2eq} = \frac{1}{j\omega Z_{C_2} \parallel Z_b} \quad (3d)$$

$$L_{eq} = \frac{Z_{L_1} \parallel Z_a}{j\omega} \quad (3e)$$

where  $Z_a$ ,  $Z_b$  and  $Z_c$  are given in Table 1 for a generic impedance  $Z_g$ , and for the special case  $Z_g = j\omega L_g$ .

The circuit shown in Figure 3c was optimized in [1] for the minimal supply voltage. Using those results and writing the gate transconductance as  $g_{m_g} = (g_{ms} - g_{md})/n$  [6], the minimum source transconductance,  $g_{ms}$ , necessary to oscillate is:

$$g_{ms} = g_{md} + \frac{g_{md}n}{\gamma} \left( 1 + \frac{G_P}{g_{md}} \left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2 \right) \quad (4)$$

where  $g_{md}$  and  $n$  are the drain transconductance and the slope factor of the transistor, respectively;  $G_P$  is the equiv-

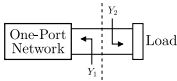


Figure 1: High-level representation of the oscillator.

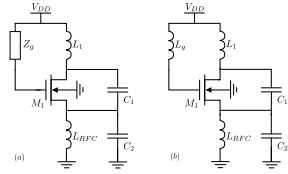


Figure 2: Proposed topology with (a) a generic degeneration  $Z_g$  and (b) an inductive degeneration  $Z_g = j\omega L_g$ .

alent parasitic conductance of the passive devices, and  $\gamma = n - \beta - \alpha(1 + C_{2eq}/C_{1eq})$ . This equation is valid for  $g_{ms} < \omega(C_{1eq} + C_{2eq})$ .

An expression for the minimum supply voltage was also developed in [1]. Extending it for our case, we have:

$$V_{DD}|_{crt} = \phi_t \ln \left( 1 + \frac{n C_{2eq}}{C_{1eq} \gamma} + \frac{G_P}{g_{md}} n \left( 1 + \frac{C_{2eq}}{C_{1eq}} \right)^2 \right) \quad (5)$$

$$\frac{\phi_t^2}{2I_S} \frac{g_{md}n}{\gamma} \left( 1 + \frac{G_P}{g_{md}} \left( 1 + \frac{C_{1eq}}{C_{2eq}} \right)^2 \right)$$

where  $\phi_t$  is the thermal voltage, and  $I_S$  is the specific current of the transistor.

The oscillation frequency for this new topology is given by:

$$f_o = \frac{1}{2\pi \sqrt{L_{eq} C_{eq}}} \quad (6)$$

where  $L_{eq}$  is given by (3e), and  $C_{eq}$  is given by:  $C_{eq} = C_{1eq}C_{2eq}/(C_{1eq} + C_{2eq})$ , where  $C_{1eq}$  and  $C_{2eq}$  are given by (3c) and (3d), respectively.

And finally, by minimizing (4) in relation to  $C_{2eq}/C_{1eq}$ , we obtain the optimum capacitor ratio  $K_{opt}$  in order to reduce the required transconductance as:

$$K_{opt} = \frac{C_{2eq}}{C_{1eq}} \Big|_{opt} = \sqrt{\frac{G_P}{G_P + g_{md} + \alpha g_{m_g}}} \quad (7)$$

#### 3.2 Special Case

A method to reduce the supply voltage is to increase the coefficient  $\gamma$  in (5), which depends on  $\alpha$  and  $\beta$ . If we choose those coefficients negatives, the higher we choose them the smaller is the supply voltage. Assuming that the aspect ratio of the transistor and the supply voltage are fixed, and hence the parameters  $C_{gs}$  and  $C_{gd}$  are fixed, the impedance  $Z_g$  is the only parameter that we can change, in order to set  $\alpha$  and  $\beta$  negative values.

As we can see from Table 1, choosing  $Z_g = j\omega L_g$ , and setting a suitable value for  $L_g$ , we can set both  $\alpha$  and  $\beta$  negatives. The condition for  $L_g$  is:

$$L_g < \frac{1}{\omega^2 (C_{gs} + C_{gd})} \quad (8)$$

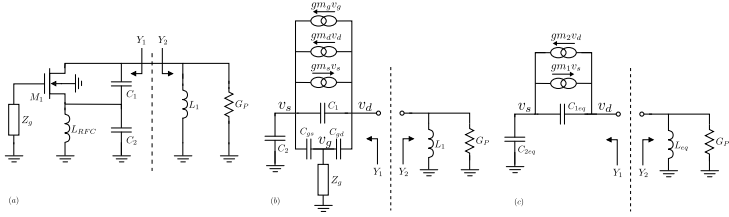


Figure 3: (a) AC equivalent circuit, (b) small-signal and (c) simplified small-signal representation.

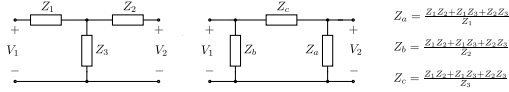


Figure 4: T to  $\pi$  network transformation

Table 1: Coefficient Values for the general case and for the special case when  $Z_g = j\omega L_g$ .

Coefficient	General Value	Special Value( $Z_g = j\omega L_g$ )
$\alpha$	$\frac{Z_{C_{gs}} \parallel Z_g}{Z_{C_{gs}} \parallel Z_g + Z_{C_{gd}}}$	$\frac{1}{1 + \frac{C_{gs}}{C_{gd}} - \frac{1}{\omega^2 L_g C_{gd}}}$
$\beta$	$\frac{Z_{C_{gd}} \parallel Z_g}{Z_{C_{gd}} \parallel Z_g + Z_{C_{gs}}}$	$\frac{1}{1 + \frac{C_{gd}}{C_{gs}} - \frac{1}{\omega^2 L_g C_{gs}}}$
$Z_a$	$\frac{Z_{C_{gs}} Z_{C_{gd}} + Z_{C_{gs}} Z_g + Z_{C_{gd}} Z_g}{Z_{C_{gs}}}$	$j\omega C_{gs} \left( \frac{L_g}{C_{gs}} + \frac{L_g}{C_{gd}} - \frac{1}{\omega^2 C_{gs} C_{gd}} \right)$
$Z_b$	$\frac{Z_{C_{gs}} Z_{C_{gd}} + Z_{C_{gs}} Z_g + Z_{C_{gd}} Z_g}{Z_{C_{gd}}}$	$j\omega C_{gd} \left( \frac{L_g}{C_{gs}} + \frac{L_g}{C_{gd}} - \frac{1}{\omega^2 C_{gs} C_{gd}} \right)$
$Z_c$	$\frac{Z_{C_{gs}} Z_{C_{gd}} + Z_{C_{gs}} Z_g + Z_{C_{gd}} Z_g}{Z_g}$	$\frac{1}{j\omega L_g} \left( \frac{L_g}{C_{gs}} + \frac{L_g}{C_{gd}} - \frac{1}{\omega^2 C_{gs} C_{gd}} \right)$

Note that for the limit case of (8), the coefficients  $\alpha$  and  $\beta$  tends to minus infinity, the required source transconductance is  $g_{md}$  (see Equation (4)) and the minimum supply voltage is zero (see Equation (5)). However, there is another condition given by (7) which limits the value of  $\alpha$  in:

$$\alpha > -\frac{g_{md} + G_P}{g_{m_g}} \quad (9)$$

Now, if we replace the value of  $\alpha$  from Table 1 in (9), we obtain another condition for  $L_g$ :

$$L_g < \frac{1}{\omega^2 \left( C_{gs} + C_{gd} + \frac{C_{gd} g_{m_g}}{g_{md} + G_P} \right)} \quad (10)$$

which prevails over (8) since  $C_{gd}$ ,  $g_{m_g}$ ,  $g_{md}$  and  $G_P$  are all positive values. To sum up, the higher we choose  $L_g$  within the range given by (10), the smaller is the supply voltage.

## 4. CIRCUIT DESIGN

The design starts with the choice of the aspect ratio and the DC characterization of the transistor. The best aspect ratio obtained was  $200 \mu\text{m}/420 \text{ nm}$ , which has a commitment between high transconductance and low parasitic capacitances.

With a supply voltage of 40 mV the transistor parameters are:  $C_{gs}=103 \text{ fF}$ ,  $C_{gd}=102 \text{ fF}$ ,  $g_{md}=1.52 \text{ mS}$ ,  $g_{m_g}=2.50 \text{ mS}$  and  $g_{m_s}=4.50 \text{ mS}$ . Choosing a value for  $L_1$  in order to maximize  $G_P$ , we obtain  $L_1=9.18 \text{ nH}$  and  $G_P=390 \mu\text{S}$  (considering that  $G_P$  depends only on the  $L_1$  parasitics, in first-order analysis). Using (10) the maximum value for  $L_g$  is 13 nH. We chose  $L_g=12 \text{ nH}$  which has a good quality factor in our frequency. Calculating (7), the optimum capacitor ratio is  $K_{opt}=1.08$ . From (6) and (3e), and for  $f_o$  of 2.4 GHz, the value for the equivalent capacitance is  $C_{eq}=247 \text{ fF}$ , thus  $C_{1eq}=476 \text{ fF}$  and  $C_{2eq}=514 \text{ fF}$ . Using (3c) and (3d) and the values for  $Z_c$  and  $Z_a$  from Table 1, the values for  $C_1$  and  $C_2$  are 541 fF and 704 fF, respectively. Note that  $\omega(C_{1eq} + C_{2eq})$  is just 3.3 times  $g_{m_s}$ , thus the optimum capacitor ratio is slightly different from the calculated by (7). The final  $K_{opt}$  is 1.35.

## 5. SIMULATION RESULTS

It was developed a prototype in a standard  $0.13 \mu\text{m}$  CMOS technology using a zero- $V_{TH}$  transistor. The results of the post-layout simulation are presented here. The final oscillator layout is shown in Figure 5. A buffer was designed in order to match the output of the oscillator with the  $50 \Omega$  impedance of the spectrum analyzer. The minimum sup-



**Table 2: Comparison between state-of-the-art CMOS oscillators**

Parameters	[2]	[3]a	[3]b	[4]	This Work (simulated)
CMOS Technology (nm)	130	180	180	180	130
Supply Voltage (mV)	475	600	400	350	40
Frequency (GHz)	4.90	5.60	5.60	1.40	2.12
DC Power (mW)	2.70	3.00	1.10	1.46	0.004
Phase Noise (dBc/Hz)	-136.2 @ 3MHz	-118.0 @ 1MHz	-114.0 @ 1MHz	-128.6 @ 1MHz	-91.5 @ 1MHz
FoM* (dBc/Hz)	196.3	189	189	189.8	182

\*Figure of Merit =  $20\log(f_o/\Delta f) - 10\log(P_{DC}/1mW) - L(\Delta f)$ ,  $L(\Delta f)$  = phase-noise at  $\Delta f$  offset frequency

ply voltage achieved by this circuit is 38 mV, but a better performance is achieved when the supply voltage is 40 mV.

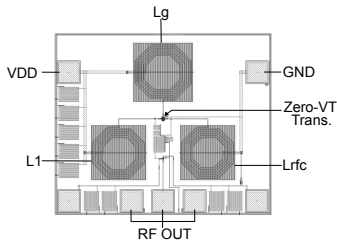
Using (4) we obtain that the minimum source transconductance that allows the circuit start-up is 2.63 mS, which is smaller than the one supplied by the transistor, thus the circuit satisfies the start-up condition. The minimum supply voltage required to start-up oscillations from (5) is 18 mV, however, this is the start-up condition. Usually more energy is required to sustain oscillations.

When  $Lg = 0$  the theoretical required start-up voltage would be 32 mV, about twice the required in our topology. The simulated minimum supply voltage achieved for this case was 70 mV, about twice the achieved with the new topology proposed here. The post-layout oscillation frequency was 2.12 GHz, which can be explained by the parasitic capacitances of the transistor which were not considered in the analysis, and layout parasitics.

Table 2 provides a comparison between some state-of-the-art oscillators in CMOS technology. As we can see, our prototype has a remarkable performance in power consumption and supply voltage. However the phase-noise is degraded, which depends directly on the output power, among other things. Nevertheless the circuit achieved a figure of merit comparable with other state-of-the-art CMOS oscillators.

## 6. CONCLUSION

In this paper we have presented a different topology for ultra-low voltage Colpitts Oscillator. By increasing the pos-



**Figure 5: Final oscillator layout.**

itive feedback, it was possible to decrease the required transconductance in order to start-up the oscillator, which causes a reduction in the supply voltage. The analysis was presented, as well as a step-by-step design and post-layout simulation results. According to the later, the use of the additional positive feedback allows to reduce the supply voltage as low as 40 mV, at a central frequency of 2.12 GHz, with a power consumption of 4  $\mu$ W, phase-noise of -91.5 dBc/Hz @ 1 MHz, resulting in a figure of merit of 182 dBc/Hz.

## 7. ACKNOWLEDGMENTS

This work was partially supported by CNPq. We are thankful to the Integrated Circuits Laboratory colleges for the fruitful corrections and advices.

## 8. REFERENCES

- [1] F. R. de Sousa, M. B. Machado, and C. Galup-Montoro. A 20 mV colpitts oscillator powered by a thermoelectric generator. In *The IEEE International Symposium on Circuits and Systems, 2012, Seúl. Proceedings of the IEEE 2012*, pages 2035–2038, 2012.
- [2] T. Brown, F. Farhabakhshian, A. Guha Roy, T. Fiez, and K. Mayaram. A 475 mV, 4.9 GHz enhanced swing differential colpitts VCO with phase noise of -136 dBc/Hz at a 3 MHz offset frequency. *Solid-State Circuits, IEEE Journal of*, 46(8):1782–1795, aug. 2011.
- [3] H.-H. Hsieh and L.-H. Lu. A high-performance CMOS voltage-controlled oscillator for ultra-low-voltage operations. *Microwave Theory and Techniques, IEEE Transactions on*, 55(3):467–473, march 2007.
- [4] K. Kwok and H. Luong. A 0.35-V 1.46-mW low-phase-noise oscillator with transformer feedback in standard 0.18- $\mu$ m CMOS process. In *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003*, pages 551–554, sept. 2003.
- [5] G. Gonzalez. *Foundations of Oscillator Circuit Design*. Artech House, first edition, 2007.
- [6] M. C. Schneider and C. Galup-Montoro. *CMOS Analog Design Using All-Region MOSFET Modeling*. Cambridge University Press, first edition, 2010.
- [7] C. Singh and M. Kankam. Comments on "closed form solutions for delta - star and star - delta conversion of reliability networks. *Reliability, IEEE Transactions on*, R-25(5):336–339, dec. 1976.

# Ultra-low-power 2.4 GHz Colpitts oscillator based on double feedback technique

Rodrigo Eduardo Rottava , Carlyle Câmara S. Jr. , Fernando Rangel de Sousa and Robson Nunes de Lima  
RFIC Research Group - Electrical Engineering Department  
Federal University of Santa Catarina  
Florianópolis, SC, Brazil  
Email: rodrigorottava, carlyle.camara, rangel @ieec.org  
Federal University of Bahia - UFBA  
Email: robsonufba@gmail.com

**Abstract**—This paper presents an oscillator design technique for low-power applications. The circuit is based on the common-gate Colpitts oscillator with additional positive feedback provided by an inductive gate degeneration. This technique decreases the required transconductance to start-up oscillations, which makes possible to reduce the power consumption. Two prototypes were designed in a standard 0.18  $\mu\text{m}$  CMOS technology. The first one presents an oscillating frequency of 2.52 GHz with a phase noise of  $-122.5$  dBc/Hz at a 3 MHz offset frequency and consumes 120.8  $\mu\text{W}$ . The other oscillator has a power consumption of 1 mW and oscillates at 2.38 GHz with a phase noise of  $-132.7$  dBc/Hz at a 3 MHz offset.

## I. INTRODUCTION

The generation of reference signals is one of the most important steps in any communication channel. That relevance imposes stringent requirements on the design of radio-frequency oscillators, which means they should both present a high spectral purity and consume as least power as possible. However, the natural compromise between performance and power consumption also dominates the design of oscillators. Although the phase noise could appear as the main concern related to oscillators, there are applications in which the limited power budget may deserve more attention from the circuit designer. This condition is even more demanding in the context of energy harvesting applications [1].

Several techniques have been proposed to cope with the challenging task of designing oscillators with increased performance and lower power consumption [2] - [6]. In [2], they employ a noise filter to reduce the phase noise of voltage-controlled oscillators (VCOs) to its fundamental minimum according to the resonator quality factor and power consumption. The oscillators designed in [3] make use of a tail capacitance for filtering the current source noise altogether with a DC level shift that enables a large oscillation amplitude, while the core transistors operate in the saturation region. [4] presents a transformer-feedback VCO based on the concept of dual signal swings, allowing the output signals to swing above the supply voltage and below the ground potential, which increases the carrier power and decreases the phase noise. A similar idea is shown in [5], in which they replace the tail current of a traditional differential Colpitts VCO by inductors

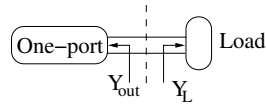


Fig. 1. Negative conductance high-level model of the Colpitts oscillator.

to augment the maximum attainable amplitude. In [6], the author uses a cross-coupled MOSFET pair with forward-body bias to boost the negative conductance of a millimeter-wave differential Colpitts oscillator.

The current state-of-the-art CMOS oscillators have already demonstrated outstanding overall performance, but they still usually exhibit a DC power in the order of a few milliwatts [2], [3], [5], with some exceptions only [4]. In this paper we present a technique to design ultra-low-power oscillators implemented by means of an inductive gate degeneration applied to a classical Colpitts common-gate oscillator. The double feedback technique (DFT) reduces the required transconductance to start-up and maintain oscillations, thus saving power. Two prototypes were designed in a standard 0.18  $\mu\text{m}$  CMOS technology as proof of concept. The simulation results indicate that the first one has an oscillation frequency of 2.521 GHz and a phase noise of  $-122.5$  dBc/Hz at a 3-MHz offset frequency, with a power consumption of 120.8  $\mu\text{W}$  from a 0.575-V supply voltage, which results in a figure-of-merit (FoM) of 190.2 dBc/Hz. The second oscillator consumes 1 mW from a 1-V supply voltage and presents a phase noise of  $-132.7$  dBc/Hz at a 3 MHz offset, oscillating at 2.38 GHz, which corresponds to a FoM of 190.5 dBc/Hz. Those numbers represent the average values obtained through Monte Carlo simulations.

The rest of this paper is organized as follows: in section II, we introduce the basic ideas behind the low-power oscillators designed; section III makes a careful analysis of the additional positive feedback source and characterizes how it helps to minimize the required power to sustain oscillations; then we comment on some design insights regarding the implementation of the oscillators in IV; section V presents the main simulation results to validate the proposed approach, including

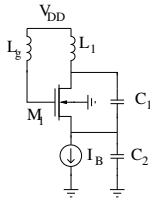


Fig. 2. Schematic diagram of the Colpitts oscillator using the double feedback technique.

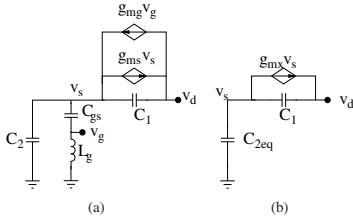


Fig. 3. Small-signal models of the proposed oscillator: (a): simplified model of circuit in Figure 2; (b): equivalent model to ease the analysis.

Monte Carlo analysis; finally section VI summarizes the most relevant contributions of this paper.

### II. GATE-INDUCTIVE DEGENERATED OSCILLATOR

The topology proposed derives directly from the classical Colpitts common-gate oscillator, which is shown in Figure 1 in a high-level model and can be seen as a combination of a potentially unstable one-port and a load network. is the one-port network output admittance and is the load admittance. In order to satisfy the Barkhausen criteria and start oscillations, the magnitude of the negative conductance represented by the one-port circuit must be greater than the conductance of the terminating load admittance, and the one-port susceptance must be the opposite of the load susceptance at the oscillation frequency. An amplifier is usually used as the one-port network and its nonlinearity provides the mechanism by which the oscillation amplitude stabilizes.

In the circuit of Figure 2, we show a Colpitts oscillator including inductive gate degeneration provided by . This inductor acts as a second source of positive feedback, meaning that this topology is able to start oscillations with less power than the traditional Colpitts oscillator, as it is proved by the analysis conducted in the next section.

### III. CIRCUIT ANALYSIS

Figure 3(a) shows the small-signal representation of the oscillator in Figure 2. In order to simplify the analysis, we have assumed that the drain transconductance ( ), as well as the gate-to-drain capacitance ( ) of the transistor can be neglected, which is suitable for a saturated transistor. Under these conditions, we can relate the source and the gate

transconductances as , where is the slope factor of the transistor, which is modeled according to the EKV MOSFET model [7]. It is also possible to write the gate voltage in terms of the source voltage , and the gate-to-source capacitance . We define as the source-to-gate voltage gain, which is given by:

$$\dots \dots \dots (1)$$

The signal at the gate is phase-shifted in 180 with respect to the signal at the source when the oscillation frequency is below the resonant frequency of the series association between and . In that case, the gate transconductance contributes to increase the magnitude of the output conductance seen at the drain.

Using the dependence between the gate and source voltages, the total transconductance controlled by the source voltage is given by:

$$\dots \dots \dots (2)$$

Finally, the total equivalent capacitance formed by , and is defined as , and given by:

$$\dots \dots \dots (3)$$

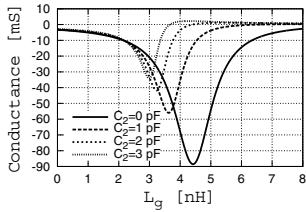
By using these transformations, we can redraw the small-signal model of Figure 3(a) as the one in Figure 3(b). Using the expression for the output admittance obtained in [8], we have:

$$\dots \dots \dots (4)$$

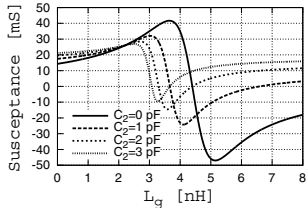
Figure 4 depicts the output admittance given by (4) as a function of for several values of , considering the parameters of our second design. In this simulation we used = 13.9 mS, n = 1.15, = 2 pF, which is imposed by an additional capacitor, and = 2 pF. As we can see in Figure 4(a), the output conductance has one minimal for each , but the absolute minimum value occurs for = 0.

For the component values above, and for = 0, the output conductance for a classical Colpitts oscillator, which has = 0, would be -3.3 mS. It should be noted that although = 0, is not, and thus the circuit still behaves as a Colpitts oscillator.

By choosing = 2.63 nH and for the same passive devices and bias condition, the value of the output conductance falls to -15 mS. In other words, by keeping the same power consumption, the oscillator with inductive gate degeneration can drive a higher load than the classical Colpitts oscillator, or alternatively by fixing the load the present topology consumes less power than the classical one. The load admittance is considered as , where is the loss conductance due to the passive devices.



(a)



(b)

Fig. 4. Effect of gate inductor on one-port's: (a): output conductance; (b): output susceptance.

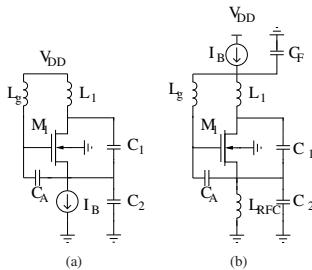


Fig. 5. Schematic diagram of designed oscillators: (a): design 1; (b): design 2.

It is important to observe in Figure 4 that the minimum output conductance for a given  $L_g$  is close to an abrupt variation of the output susceptance, which means that a slight variation of the parameters can make the circuit oscillate at another frequency, or even not oscillate. In order to avoid this condition, we have chosen to work at the left side of the curve and slightly distant from the resonance point. Therefore, the output susceptance is capacitive and resonates with  $L_g$  at the oscillation frequency, which is calculated as:

$$\omega = \frac{1}{\sqrt{L_g C_{out}}} \quad (5)$$

where  $C_{out}$  is the total output capacitance given by

#### IV. CIRCUIT DESIGN

In order to validate the concept proposed, two prototypes were designed in the IBM 0.18  $\mu\text{m}$  CMOS process. The first one, shown in Figure 5(a), was designed to keep the DC power as low as possible and consists basically of the oscillator in Figure 2 modified by an extra capacitor  $C_g$ . The second circuit is depicted in Figure 5(b) and was designed for a minimum phase noise, with a higher power consumption than the first one, but still lower than the typical values found in literature. Both oscillators are current-biased, because that way we can control the power consumption directly by changing the bias current.

The inductor was designed such its maximum Q-factor occurs near the oscillation frequency. For that, its outer diameter, number of turns, line width and line spacing were adequately chosen. In addition, the transistor gate-to-source capacitance was artificially raised to reduce the gate inductor value, because better quality factors were reached for smaller inductances. As the core transistors were laid out as multifinger devices, the impact of the internal gate inductance will be minimized.

#### V. SIMULATION RESULTS

In this section we present the post-layout simulation results. The layout of both oscillators is shown in Figure 6. The circuits are still in the fabrication process, and we could not include the measurement results in this version of this paper.

It is difficult to compare the performance of different oscillators in a normalized sense. The most widely adopted definition of a figure-of-merit for oscillators is:

$$FOM = \frac{P_{DC}}{\omega^2 \Delta\omega^2} \quad (6)$$

where  $\omega$  is the oscillation frequency,  $P_{DC}$  is the DC power consumption and  $\Delta\omega^2$  is the phase noise at a  $\omega$  offset frequency.

It should be noted that the passive components from the adopted process are satisfactorily modeled, since previous characterizations were performed in our research group, and the measured values agreed quite well with the expected ones. That contributes to indicate that the measured performance will not deviate too much from the simulations presented here.

Table I shows the Monte Carlo simulation results including the maximum, minimum, mean and standard deviation for the two designed oscillators. The simulation was performed for 200 samples. As can be seen the worst FoMs are 188.6 and 189.1 dBc/Hz for the first and second oscillators designed, respectively. In Table II we compare the average values of our results with some state-of-the-art CMOS oscillators. Our overall performance is comparable to them, however the design 1 has the lowest power consumption (120.8  $\mu\text{W}$ ).

#### VI. CONCLUSION

This paper introduced the double feedback technique to minimize the power consumption of CMOS oscillators. The

TABLE I  
RESULTS OF THE MONTE CARLO SIMULATION (200 RUN).

Parameter	Design 1				Design 2			
	FoM (dBc/Hz)	(MHz)	( W)	L(1 MHz) (dBc/Hz)	FoM (dBc/Hz)	(MHz)	(mW)	L(1 MHz) (dBc/Hz)
Mean	190.2	2521	120.8	-122.5	190.5	2380	1	-132.7
Sigma	0.56	17.75	3.33	0.71	0.53	28	0	0.48
Max	191.4	2569	128.9	-120.9	192	2440	1	-131.4
Min	188.6	2468	114.4	-123.9	189.1	2310	1	-133.8

TABLE II  
COMPARISON WITH STATE-OF-THE-ART CMOS OSCILLATORS

Parameters	[2]	[3] (RC bias)	[3] (TX bias)	[4]	[5]	Design 1	Design 2
CMOS Technology (nm)	350	130	130	180	130	180	180
Supply Voltage (V)	2.7	1.0	1.0	0.50	0.475	0.575	1.0
Frequency (GHz)	2.1	4.9	4.9	3.8	4.9	2.52	2.38
DC Power (mW)	9.3	1.4	1.3	0.57	2.7	0.1208	1
Phase Noise (dBc/Hz)							
FoM (dBc/Hz)	195.4	195.5	196.0	193	196.2	190.2	190.5

@ 3 MHz, @ 1 MHz

topology presented is based on the classical Colpitts common-gate oscillator, but it uses an inductive gate degeneration as a second source of positive feedback. Two prototypes were designed in a standard 0.18  $\mu\text{m}$  CMOS process and Monte Carlo simulations showed the usefulness of the proposed technique to minimize the DC power required to start-up and sustain oscillations. The first oscillator presents an oscillation frequency of 2.521 GHz and a phase-noise of -122.5 dBc/Hz at a 3 MHz offset frequency and consumes 120.8  $\mu\text{W}$ , which indicates a FoM of 190.2 dBc/Hz. The second oscillator consumes 1 mW and oscillates at 2.38 GHz with a phase-noise of -132.7 dBc/Hz at a 3 MHz offset frequency, exhibiting a FoM of 190.5 dBc/Hz.

## VII. ACKNOWLEDGMENTS

This work has been supported by CNPq and INCT-NAMITEC.

## REFERENCES

- [1] Maja et al. A 2.4 GHz ULP OOK Single-Chip Transceiver for Healthcare Applications. *IEEE Transactions on Biomedical Circuits and Systems*, 5(6):523–534, December 2011.
- [2] Emad Hegazi, Henrik Sjöland, and Asad A. Abidi. A Filtering Technique to Lower LC Oscillators Phase Noise. *IEEE Journal of Solid-State Circuits*, 36(12):1921–1930, December 2001.
- [3] Andrea Mazzanti and Pietro Andreani. Class-C Harmonic CMOS VCOs, With a General Result on Phase Noise. *IEEE Journal of Solid-State Circuits*, 43(12):2716–2729, December 2008.
- [4] KaChun Kwok and Howard C. Luong. Ultra-Low-Voltage High-Performance CMOS VCOs Using Transformer Feedback. *IEEE Journal of Solid-State Circuits*, 40(3):652–660, March 2005.
- [5] Thomas W. Brown, Farhad Farhabakhshian, Ankur Guha Roy, Terri S. Fiez, and Kartikeya Mayaram. A 475 mV, 4.9 GHz Enhanced Swing Differential Colpitts VCO With Phase Noise of -136 dBc/Hz at a 3 MHz Offset Frequency. *IEEE Journal of Solid-State Circuits*, 46(8):1782–1795, August 2011.
- [6] To-Po Wang. A CMOS Colpitts VCO Using Negative-Conductance Boosted Technology. *IEEE Transactions on Circuits and Systems-I: Regular Papers*, 58(11):2623–2635, November 2011.
- [7] ChristianENZ. An MOS Transistor Model for RF IC Design Valid in All Regions of Operation. *IEEE Transactions on Microwave Theory and Techniques*, 50(1):342–359, January 2002.
- [8] F. R. de Sousa, M. B. Machado, and C. Galup-Montoro. A 20 mV Colpitts Oscillator powered by a thermoelectric generator. In *IEEE International Symposium on Circuits and Systems*, pages 2035 – 2038. IEEE, 2012.

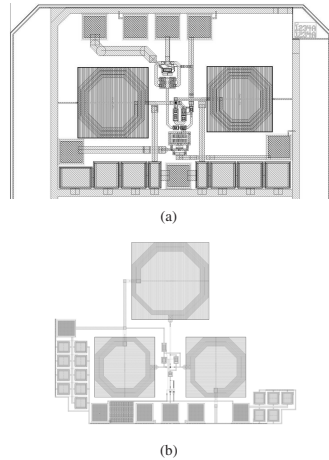


Fig. 6. Layout of the two prototypes: (a): design 1; (b): design 2.

# Ultra-low-power, ultra-low-voltage 2.12 GHz Colpitts oscillator using inductive gate degeneration

Rodrigo Eduardo Rottava\*, Carlyle Câmara S. Jr.\*, Fernando Rangel de Sousa\* and Robson Nunes de Lima†

\*RFIC Research Group - Electrical Engineering Department  
Federal University of Santa Catarina  
Florianópolis, SC, Brazil

Email: {rodrigorottava, carlyle.camara, rangel}@ieec.org

† Federal University of Bahia - UFBA

Email: robsonufba@gmail.com

**Abstract**—An oscillator design technique for low-power and low-voltage applications is presented. The circuit is based on the classical common-gate Colpitts oscillator with additional positive feedback provided by an inductive gate degeneration. This technique decreases the required transconductance to start-up oscillations, which makes possible to reduce the minimum supply voltage, and hence the power consumption. A prototype was designed in a standard 0.13  $\mu\text{m}$  CMOS process using a zero-threshold transistor. The post-layout simulation results show an oscillation frequency of 2.12 GHz, with a power consumption of 4  $\mu\text{W}$  under a 40-mV supply voltage.

## I. INTRODUCTION

The generation of reference signals is one of the most important steps in any communication channel. That relevance imposes stringent requirements on the design of radio-frequency oscillators, which means they should both present a high spectral purity and consume as least power as possible. However, the natural compromise between performance and power consumption also dominates the design of oscillators. Although the phase noise could appear as the main concern related to oscillators, there are applications in which the limited power budget may deserve more attention from the circuit designer. This condition is even more demanding in the context of energy harvesting applications [1].

Several techniques have been proposed to cope with the challenging task of designing oscillators with increased performance and lower power consumption [2] - [6]. In [2], they employ a noise filter to reduce the phase noise of voltage-controlled oscillators (VCOs) to its fundamental minimum according to the resonator quality factor and power consumption. The oscillators designed in [3] make use of a tail capacitance for filtering the current source noise altogether with a DC level shift that enables a large oscillation amplitude, while the core transistors operate in the saturation region. [4] presents a transformer-feedback VCO based on the concept of dual signal swings, allowing the output signals to swing above the supply voltage and below the ground potential, which increases the carrier power and decreases the phase noise. A similar idea is shown in [5], in which they replace the tail current of a traditional differential Colpitts VCO by inductors to augment the maximum attainable amplitude. In [6], the

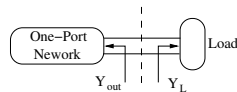


Fig. 1. Negative conductance high-level model of the Colpitts oscillator.

author uses a cross-coupled MOSFET pair with forward-body bias to boost the negative conductance of a millimeter-wave differential Colpitts oscillator.

The current state-of-the-art CMOS oscillators have already demonstrated performance improvement, but they still usually exhibit a DC power in the order of a few milliwatts [2], [3], [5], with some exceptions only [4]. In this paper we present a technique to design ultra-low-power oscillators implemented by means of an inductive gate degeneration applied to a classical Colpitts common-gate oscillator. The double feedback technique (DFT) reduces the required transconductance to start-up and maintain oscillations, thus saving power. A prototype was designed using a zero- $V_T$  transistor in the IBM 0.13  $\mu\text{m}$  CMOS technology. The simulation results indicate that the circuit has an oscillation frequency of 2.12 GHz and a power consumption of 4  $\mu\text{W}$  from a 40-mV supply voltage.

## II. GATE-INDUCTIVE DEGENERATED OSCILLATOR

The topology proposed derives directly from the classical Colpitts common-gate oscillator, which is shown in Figure 1 in a high-level model and can be seen as a combination of a potentially unstable one-port and a load network.  $Y_{out}$  is the one-port network output admittance and  $Y_L$  is the load admittance. In order to satisfy the Barkhausen criteria and start oscillations, the magnitude of the negative conductance represented by the one-port circuit must be greater than the conductance of the terminating load admittance, and the one-port susceptance must be the opposite of the load susceptance at the oscillation frequency. An amplifier is usually used as the one-port network and its nonlinearity provides the mechanism by which the oscillation amplitude stabilizes.

In the circuit of Figure 2, we show a Colpitts oscillator including inductive gate degeneration provided by  $L_g$ . This

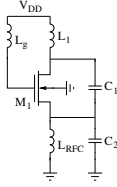


Fig. 2. Gate-inductive degenerated oscillator.

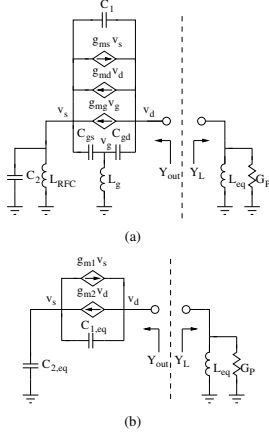


Fig. 3. Small-signal models of the proposed oscillator: (a): simplified model of circuit in Figure 2; (b): equivalent circuit to ease the analysis.

inductor acts as a second source of positive feedback, meaning that this topology is able to start oscillations with less power than the traditional Colpitts oscillator, as it is proved by the analysis conducted in the next section.

### III. CIRCUIT ANALYSIS

Figure 3(a) shows the small-signal representation of the oscillator in Figure 2. We must consider the drain transconductance ( $g_{md}$ ), as well as the gate-to-drain capacitance ( $C_{gd}$ ) of the transistor in order to make this analysis valid for all operating regions [7]. However, one could do this analysis for a saturated transistor without considering the intrinsic  $C_{gd}$  and  $g_{md}$  to simplify the equations.

#### A. Minimum source transconductance

First of all, by superposition we can relate the gate voltage ( $v_g$ ) to the source ( $v_s$ ) and drain ( $v_d$ ) voltages as follows:

$$v_g = \alpha v_d + \beta v_s \quad (1)$$

where the coefficients  $\alpha$  and  $\beta$  are given by:

$$\alpha \doteq \frac{v_g}{v_d} \Big|_{v_s=0} = \frac{\omega^2 L_g C_{gd}}{[\omega^2 L_g (C_{gs} + C_{gd}) - 1]} \quad (2)$$

$$\beta \doteq \frac{v_g}{v_s} \Big|_{v_d=0} = \frac{\omega^2 L_g C_{gs}}{[\omega^2 L_g (C_{gs} + C_{gd}) - 1]} \quad (3)$$

Secondly, the T-network given by  $C_{gs}$ ,  $C_{gd}$  and  $L_g$  can be transformed into an equivalent  $\pi$ -network. Using (1) and the network transformation, we can redraw Figure 3(a) to obtain the simplified circuit shown in Figure 3(b), where:

$$g_{m1} = g_{ms} - \beta g_{mg} \quad (4)$$

$$g_{m2} = g_{md} + \alpha g_{mg} \quad (5)$$

$$C_{1,eq} = C_1 + L_g \left[ \frac{\omega^2 C_{gs} C_{gd}}{\omega^2 L_g (C_{gs} + C_{gd}) - 1} \right] \quad (6)$$

$$C_{2,eq} = C_2 - \frac{C_{gs}}{\omega^2 L_g (C_{gs} + C_{gd}) - 1} - \frac{1}{\omega^2 L_{RFC}} \quad (7)$$

$$L_{eq} = \frac{L_1 [\omega^2 L_g (C_{gs} + C_{gd}) - 1]}{\omega^2 [L_1 C_{gd} + L_g (C_{gs} + C_{gd})] - 1} \quad (8)$$

Following the same approach as in [8], and knowing that the gate transconductance is  $g_{mg} = (g_{ms} - g_{md})/n$ , the minimum source transconductance ( $g_{ms}$ ) necessary to oscillate is:

$$g_{ms} > g_{md} + \frac{g_{md} n \frac{C_{2,eq}}{C_{1,eq}}}{\gamma} \left( 1 + \frac{G_P}{g_{md}} \left( 1 + \frac{C_{1,eq}}{C_{2,eq}} \right)^2 \right) \quad (9)$$

where  $n$  is the slope factor of the transistor,  $G_P$  is the equivalent loss conductance due to the passive devices, and  $\gamma = n - \beta - \alpha(1 + C_{2,eq}/C_{1,eq})$ . This equation is valid for the assumption of  $g_{ms} \ll \omega(C_{1,eq} + C_{2,eq})$ .

If we derive (9) with respect to  $C_{2,eq}/C_{1,eq}$ , we obtain the optimum capacitor ratio  $K_{opt}$  in order to reduce the required transconductance as:

$$K_{opt} = \frac{C_{2,eq}}{C_{1,eq}} \Big|_{opt} = \sqrt{\frac{G_P}{G_P + g_{md} + \alpha g_{mg}}} \quad (10)$$

#### B. Minimum supply voltage

We can also find an expression for the minimum supply voltage  $V_{DD}|_{crt}$  based on the same analysis of [8]. In this case we have:

$$V_{DD}|_{crt} = \phi_t \ln \left( 1 + \frac{n \frac{C_{2,eq}}{C_{1,eq}}}{\gamma} + \frac{G_P}{g_{md}} \frac{n \left( 1 + \frac{C_{2,eq}}{C_{1,eq}} \right)^2}{\frac{C_{2,eq}}{C_{1,eq}} \gamma} \right) + \frac{\phi_t^2}{2I_S} \frac{g_{md} n \frac{C_{2,eq}}{C_{1,eq}}}{\gamma} \left( 1 + \frac{G_P}{g_{md}} \left( 1 + \frac{C_{1,eq}}{C_{2,eq}} \right)^2 \right) \quad (11)$$

where  $\phi_t$  is the thermal voltage, and  $I_S$  is the specific current of the transistor, which is given by  $I_S = \mu_n n C'_{ox} \frac{\phi_t^2 W}{2 L}$ , where  $\mu_n$  is the effective mobility for electrons,  $C'_{ox}$  is the oxide capacitance per unit area, and  $W/L$  is the transistor aspect ratio.

### C. Effect of $L_g$ on $Y_{out}$

Adapting the expression for the output admittance  $Y_{out}$  obtained in [8] for our circuit, we have:

$$Y_{out} = \frac{g_{m2} \left[ 1 + \frac{C_{1,eq}}{C_{2,eq}} \left( 1 - \frac{g_{m1}}{g_{m2}} \right) \right]}{\left( 1 + \frac{C_{1,eq}}{C_{2,eq}} \right)^2 + \left( \frac{g_{m1}}{\omega C_{2,eq}} \right)^2} + j \frac{\omega C_{1,eq} \left( 1 + \frac{C_{1,eq}}{C_{2,eq}} \right) + g_{m2} \frac{g_{m1}}{\omega C_{2,eq}}}{\left( 1 + \frac{C_{1,eq}}{C_{2,eq}} \right)^2 + \left( \frac{g_{m1}}{\omega C_{2,eq}} \right)^2} \quad (12)$$

Figure 4 depicts the output admittance given by (12) as a function of  $L_g$  for several values of  $C_2$ , considering the following parameters:  $g_{m,s} = 13.9$  mS,  $n = 1.15$ ,  $C_{gs} = 2$  pF,  $C_{gd} = 0$  pF, and  $C_1 = 2$  pF. As we can see in Figure 4(a), the output conductance has one minimal for each  $C_2$ , but the absolute minimum value occurs for  $C_2 = 0$ .

For the component values above, and for  $C_2 = 0$ , the output conductance for a classical Colpitts oscillator, which has  $L_g = 0$ , would be -3.3 mS. It should be noted that although  $C_2 = 0$ ,  $C_{2,eq}$  is not, and thus the circuit still behaves as a Colpitts oscillator.

By choosing  $L_g = 2.63$  nH as an example and for the same passive devices and bias condition above, the value of the output conductance falls to -15 mS. In other words, by keeping the same power consumption, the oscillator with inductive gate degeneration can drive a higher load than the classical Colpitts oscillator, or alternatively by fixing the load the present topology consumes less power than the classical one.

It is important to observe in Figure 4 that the minimum output conductance for a given  $C_2$  is close to an abrupt variation of the output susceptance, which means that a slight variation of the parameters can make the circuit oscillate at another frequency, or even not oscillate. In order to avoid this condition, we have chosen to work at the left side of the curve and slightly distant from the resonance point. Therefore, the output susceptance is capacitive and resonates with  $L_{eq}$  at the oscillation frequency, which is calculated as:

$$f_o = \frac{1}{2\pi \sqrt{L_{eq} C_{eq}}} \quad (13)$$

where  $C_{eq}$  is the total output capacitance given by  $C_{eq} = C_{1,eq} C_{2,eq} / (C_{1,eq} + C_{2,eq})$ .

## IV. CIRCUIT DESIGN

In order to validate the concept proposed, a prototype was designed in the IBM 0.13  $\mu\text{m}$  CMOS process using a zero- $V_T$  transistor. The inductors were designed such its maximum Q-factor occurs near the target frequency, which is 2.4 GHz.

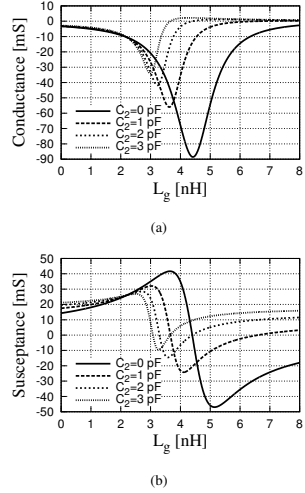


Fig. 4. Effect of gate inductor on one-port's: (a): output conductance; (b): output susceptance.

A method to reduce the supply voltage is to increase the coefficient  $\gamma$  in (11), which depends on  $\alpha$  and  $\beta$ . If we choose those coefficients negatives, the higher their magnitude, the smaller is the supply voltage. Assuming that the aspect ratio of the transistor and the supply voltage are fixed, and hence the parameters  $C_{gs}$  and  $C_{gd}$  are also fixed, the inductance  $L_g$  is the only parameter that we can manipulate in order to set  $\alpha$  and  $\beta$  negative values. This condition is found as:

$$L_g < \frac{1}{\omega^2 (C_{gs} + C_{gd})} \quad (14)$$

It should be noted that for the limit case of (14), the coefficients  $\alpha$  and  $\beta$  tends to minus infinity, the required source transconductance is  $g_{md}$ , and the minimum supply voltage approaches zero. However, there is another condition given by (10) which bounds the value of  $\alpha$  in:

$$\alpha > -\frac{g_{md} + G_P}{g_{mg}} \quad (15)$$

If we replace the value of  $\alpha$  from (2) in (15), we obtain another condition for  $L_g$ :

$$L_g < \frac{1}{\omega^2 \left( C_{gs} + C_{gd} + \frac{C_{gd} g_{mg}}{g_{md} + G_P} \right)} \quad (16)$$

(16) prevails over (14) since  $C_{gd}$ ,  $g_{mg}$ ,  $g_{md}$  and  $G_P$  are all positive values. To summarize, the higher we choose  $L_g$  within the range given by (16), the smaller is the supply voltage.



TABLE I  
COMPARISON WITH STATE-OF-THE-ART CMOS OSCILLATORS

Parameters	[2]	[3] (RC bias)	[3] (TX bias)	[4]	[5]	This work
CMOS Technology (nm)	350	130	130	180	130	130
Supply Voltage (V)	2.7	1.0	1.0	0.50	0.475	0.04
Frequency (GHz)	2.1	4.9	4.9	3.8	4.9	2.12
DC Power (mW)	9.3	1.4	1.3	0.57	2.7	0.004
Phase Noise (dBc/Hz)	-153 <sup>1</sup>	-132.8 <sup>1</sup>	-132.8 <sup>1</sup>	-119 <sup>2</sup>	-136.2 <sup>1</sup>	-91.5 <sup>2</sup>
FoM (dBc/Hz)	195.4	195.5	196.0	193	196.2	182

<sup>1</sup> @ 3 MHz, <sup>2</sup> @ 1 MHz

## V. SIMULATION RESULTS

In this section we present the post-layout simulation results. The oscillator layout is shown in Figure 5, including an open-drain buffer that was added for measurement purposes. As the core transistors were laid out as multifinger devices, the impact of the internal gate inductance will be minimized.

The minimum supply voltage required to start-up the circuit from (11) is 18 mV, but this is the start-up condition, and more energy is required to sustain oscillations. Actually the minimum supply voltage achieved by this circuit was 38 mV in simulation, but a better performance is reached when the supply voltage is raised to 40 mV. When  $L_g = 0$  the theoretical and simulated minimum start-up voltages would be 32 mV and 70 mV, respectively, about twice the achieved with the topology proposed here.

Although the circuit has been designed to oscillate at 2.4 GHz, the post-layout oscillation frequency was 2.12 GHz, which can be explained by the presence of parasitic capacitances of the transistor which were not considered in the analysis, as well as other layout parasitics.

The most widely adopted definition of a figure-of-merit for oscillators is:

$$FoM = 20 \log \left( \frac{f_o}{\Delta f} \right) - 10 \log \left( \frac{P_{DC}}{1 \text{ mW}} \right) - L(\Delta f) \quad (17)$$

where  $f_o$  is the oscillation frequency,  $P_{DC}$  is the DC power consumption and  $L(\Delta f)$  is the phase noise at a  $\Delta f$  offset frequency.

In Table I we compare our results with some state-of-the-art CMOS oscillators. As we can see, the phase noise is degraded for our oscillator, however the supply-voltage and the DC power are the lowest.

## VI. CONCLUSION

This paper introduced the double feedback technique to minimize the power consumption and the supply voltage of CMOS oscillators. The topology presented is based on the classical common-gate Colpitts oscillator, but it uses an inductive gate degeneration as a second source of positive feedback. A prototype has been designed in a standard 0.13  $\mu\text{m}$  CMOS process using a zero-threshold transistor and the post-layout simulations presented an oscillation frequency of 2.12 GHz, with a DC power of 4  $\mu\text{W}$  from  $V_{DD} = 40 \text{ mV}$ .

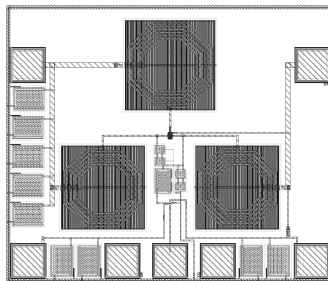


Fig. 5. Layout of the proposed oscillator.

## VII. ACKNOWLEDGMENTS

This work has been supported by CNPq, CAPES and INCT-NAMITEC.

## REFERENCES

- [1] Maja et al. A 2.4 GHz ULP OOK Single-Chip Transceiver for Healthcare Applications. *IEEE Transactions on Biomedical Circuits and Systems*, 5(6):523–534, December 2011.
- [2] Emad Hegazi, Henrik Sjöland, and Asad A. Abidi. A Filtering Technique to Lower LC Oscillators Phase Noise. *IEEE Journal of Solid-State Circuits*, 36(12):1921–1930, December 2001.
- [3] Andrea Mazzanti and Pietro Andreani. Class-C Harmonic CMOS VCOs, With a General Result on Phase Noise. *IEEE Journal of Solid-State Circuits*, 43(12):2716–2729, December 2008.
- [4] KaChun Kwok and Howard C. Luong. Ultra-Low-Voltage High-Performance CMOS VCOs Using Transformer Feedback. *IEEE Journal of Solid-State Circuits*, 40(3):652–660, March 2005.
- [5] Thomas W. Brown, Farhad Farhabakhshian, Ankur Guha Roy, Terri S. Fiez, and Kartikaya Mayaram. A 475 mV, 4.9 GHz Enhanced Swing Differential Colpitts VCO With Phase Noise of -136 dBc/Hz at a 3 MHz Offset Frequency. *IEEE Journal of Solid-State Circuits*, 46(8):1782–1795, August 2011.
- [6] To-Po Wang. A CMOS Colpitts VCO Using Negative-Conductance Boosted Technology. *IEEE Transactions on Circuits and Systems-I: Regular Papers*, 58(11):2623–2635, November 2011.
- [7] Christian Enz. An MOS Transistor Model for RF IC Design Valid in All Regions of Operation. *IEEE Transactions on Microwave Theory and Techniques*, 50(1):342–359, January 2002.
- [8] F. R. de Sousa, M. B. Machado, and C. Galup-Montoro. A 20 mV Colpitts Oscillator powered by a thermoelectric generator. In *IEEE International Symposium on Circuits and Systems*, pages 2035 – 2038. IEEE, 2012.