

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Roddy Alexander Romero Antayhua

**AMPLIFICADOR DE GANHO VARIÁVEL CONTROLADO
POR RAZÃO CÍCLICA**

Florianópolis

2012

**UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA**

Roddy Alexander Romero Antayhua

**AMPLIFICADOR DE GANHO VARIÁVEL CONTROLADO
POR RAZÃO CÍCLICA**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr.,
UFSC Prof. Fernando Rangel de Sousa

Florianópolis

2012

Roddy Alexander Romero Antayhua

**AMPLIFICADOR DE GANHO VARIÁVEL CONTROLADO
POR RAZÃO CÍCLICA**

Esta Dissertação foi julgada adequada para obtenção do Título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.
Florianópolis, 19/10/2012.

Prof. Patrick Kuo Peng, Dr., UFSC
Coordenador do Curso

Banca Examinadora:

Prof. Fernando Rangel de Sousa, Dr., UFSC
Orientador

Prof. Raimes Moraes, Ph.D., UFSC

Eng. Murilo Pessatti, M.Sc., Chipus

Prof. Jefferson Luiz Brum Marques, Ph.D., UFSC

Prof. Jader Alves De Lima Filho, Dr., UFSC

*A mis padres, porque a ellos les debo todo.
(Aos meus pais, porque eu devo tudo a eles).*

RESUMO

Um amplificador de ganho variável (VGA) ajustado digitalmente pela razão cíclica do sinal de controle é apresentado neste trabalho. O circuito baseia-se no princípio superregenerativo criado por Armstrong na década de 1920. Através desta técnica, consegue-se obter um ajuste fino do ganho sem necessidade de utilizar um DAC como interface entre o controle digital e o amplificador, como visto nos VGAs convencionais. O projeto foi contextualizado dentro de um sistema de aquisição de sinais biopotenciais e foi realizado em um processo de fabricação de $0,18\mu\text{m}$ CMOS padrão. Os resultados, a partir de simulações, mostraram que o projeto cumpre com as especificações, atingindo, entre outras características, uma faixa de ganho de 45 dB com uma banda de 1,25 kHz, um consumo de $6,4\mu\text{W}$ e uma faixa linear de 900 mV para uma THD de 0,5%. Algumas medições preliminares foram feitas as quais comprovaram o funcionamento do circuito. Em complemento ao VGA integrado, uma versão com componentes discretos foi implementada com o intuito de verificar a sua funcionalidade numa aplicação real. O circuito final incluiu um estágio analógico de entrada completo, o qual foi voltado para a medição de sinais cardíacos utilizando apenas dois eletrodos. Os resultados do protótipo discreto validaram o princípio de amplificação proposto no VGA para este tipo de aplicação.

Palavras-chave: Amplificador de ganho variável, razão cíclica, projeto de sinal misto, estágio analógico de entrada, biopotenciais.

ABSTRACT

In this work, a variable-gain amplifier (VGA) adjusted by the duty-cycle of a control signal is presented. This circuit is based on the superregenerative concept created by Armstrong back in the 1920's. The chosen technique allows to perform a fine control of the gain without any DAC at the interface between the digital control and the amplifier, as usually seen in other VGAs. A $0.18\mu\text{m}$ standard CMOS process was used for the design. Specifications were satisfied by simulation results, in which, among other results, it was obtained a gain range of 45 dB within a 1.25 kHz bandwidth, a power consumption of $6.4\mu\text{W}$ and 900 mV of linear range for a 0.5% THD. Some preliminary measurements of the chip proved also the correct functioning of the circuit. As a complement of the integrated VGA, a discrete-component version was also implemented in order to verify its functionality in a real application. The final circuit included a complete analog front-end which was optimized for cardiac signals measurement using only two electrodes. The results of the discrete-component prototype validated the amplification principle proposed in the VGA for this type of application.

Keywords: Variable gain amplifier, duty-cycle, mixed-signal design, analog front-end, biopotentials.

LISTA DE FIGURAS

1	Diagrama de blocos de um sistema de aquisição e processamento de sinais.	27
2	Diagrama de blocos de um estágio analógico de entrada (AFE) típico.	28
3	Classificação dos VGAs segundo o seu tipo de sinal de controle: VGA com controle analógico (a), VGA com controle analógico e DAC de interface (b), PGA (c) e VGA com controle por razão cíclica (d).	30
4	Conceito do receptor superregenerativo, adaptado de [19].	36
6	Diagrama esquemático conceitual do amplificador proposto.	39
7	Fases de funcionamento do amplificador proposto.	40
8	Diagrama de tempos do amplificador proposto, onde podem ser observados os sinais de controle das fases de inicialização (ϕ_R), amostragem (ϕ_S), amplificação (ϕ_A) e amostragem e retenção (ϕ_{SH}), assim como o ciclo total de operação (T_{clk}) e o intervalo de amplificação (T_A).	41
9	Circuito para calcular a resistência equivalente de um OTA em realimentação positiva.	43
10	Representação do DC-VGA com a resistência negativa implementada com um OTA em realimentação positiva.	44
11	Modelo do OTA representando as suas não-idealidades: impedância de saída em frequências baixas (R_o), tensão de <i>offset</i> referida à entrada V_{os} e ruído referido à entrada ($\overline{V_{ni}}$).	45
12	Representação do DC-VGA incluindo a técnica de <i>Auto-Zero</i>	47

13	Funcionamento do DC-VGA por fases incluindo o processo de <i>Auto-Zero</i> . Podem ser observados os sinais de controle das fases de inicialização (ϕ_R), amostragem (ϕ_S), amplificação (ϕ_A), amostragem e retenção (ϕ_{SH}) e <i>Auto-Zero</i> (ϕ_{AZ}), assim como o ciclo total de operação (T_{clk}) e os intervalos de inicialização (T_R), amostragem (T_S), amplificação (T_A), e <i>Auto-Zero</i> (T_{AZ}).....	48
14	Diagrama de tempos dos sinais de controle para o DC-VGA incluindo o processo de <i>Auto-Zero</i>	49
15	Representação de um circuito de S&H para sua análise de ruído.	51
16	Circuito para analisar o ruído durante a amostragem do sinal.	52
17	Circuito para analisar o ruído na amplificação.	53
18	Representação da faixa de frequências válidas para a operação do DC-VGA: Frequência de operação (F_{clk}), frequência mínima de operação (f_{min}), frequência máxima de operação (f_{max}), frequência de canto do ruído <i>flicker</i> do OTA (f_{c1}) e frequência máxima do sinal de entrada (f_b).	55
19	Representação do OTA de duas entradas adequado para a técnica de <i>Auto-Zero</i> (adaptado de [24]).	58
20	Diagrama esquemático do circuito final do DC-VGA baseado na implementação do OTA de dupla entrada proposta em [24].	59
21	O efeito do R_{on} das chaves na constante de tempo (τ).	61
22	Diagrama de fluxo que descreve o procedimento adotado no projeto do DC-VGA.	68
23	Proposta da topologia do OTA de duas entradas e transcondutância programável.	71
24	Diagrama de fluxo que descreve o procedimento adotado no projeto do OTA.	75
25	Faixa linear do OTA em função a uma tensão diferencial na entrada IN_1 : calculada a partir da (a) corrente de saída medida e o erro referenciado à resposta de um OTA ideal. Também é mostrada em (b) a transcondutância calculada a partir da derivada da corrente medida.	79

26	Histograma do valor de G_{m1} a partir da análise de Monte Carlo feito para 100 simulações, considerando variações de processo e descasamento.	80
27	Valores medidos das transcondutâncias (a) G_{m1} e (b) G_{m2} , para ambas as configurações de transcondutância (através do seletor <i>Sel</i>).	80
28	Cálculo da OVS a partir da medição da impedância de saída do OTA para ambas as configurações de $G_{m1} = 2,5 \mu S$ (a) e $G_{m1} = 250 \mu S$ (b).	81
29	Resposta simulada em frequência referente à entrada (a) IN_1 e (b) IN_2	82
30	Histograma da corrente de <i>offset</i> para a estimativa da tensão de <i>offset</i> referida à entrada a partir de 100 simulações.	83
31	Densidade espectral de potência do ruído referido à entrada IN_1 a partir de simulação.	84
32	Comparação de resultados de simulação e de medição da resistência equivalente numa das chaves caracterizadas quando encontra-se fechada.	85
33	Tensão de saída do DC-VGA simulada para (a) $G_{m1} = 2,5 \mu S$ e (b) ambas as configurações de G_{m1} , com $T_A = 100 \mu s$, $T_{clk} = 300 \mu s$ e sinal de entrada de $100 mV_p - 100 Hz$	87
34	Cálculo da faixa linear de operação do DC-VGA em função à THD, a partir de simulações com o sinal de entrada em 100Hz e variando a sua amplitude de 10 a $55 mV_p$, para $T_A = 100 \mu s$. A variação do ganho normalizado ao valor de $V_o = 100 mV_p$ também é mostrada.	88
35	Teste de funcionamento da técnica de <i>Auto-Zero</i> a partir de simulações: Acima, tensão de <i>offset</i> aplicada na entrada IN_1 , no meio, tensão de saída do DC-VGA, embaixo, tensão de compensação em C_{AZ} (a), e <i>zoom</i> desta tensão junto com o sinal de controle do processo de AZ (b). Simulações feitas com $G_{m1} = 2,5 \mu S$, $C_A = 100 pF$ e $C_{AZ} = 20 pF$	90
36	Tensão de saída (filtrada) do DC-VGA simulado para diferentes tempos de amplificação.	91

37	Curva característica do DC-VGA construída a partir de simulações, a qual mostra o ganho pelo tempo de amplificação.	92
38	Resposta do ganho do DC-VGA em função da frequência simulado para dois valores de tempo de amplificação.	93
39	Rejeição de modo comum simulada a partir do <i>layout</i> extraído e comparada com outra simulação utilizando um modelo ideal para as chaves.	94
40	Tensão medida na saída do DC-VGA junto com o sinal amostrado e retido num capacitor externo, para um sinal de entrada de 100Hz e 25 mV _p com $G_{m1} = 250 \mu S$, $C_A = 10 nF$, $F_{clk} = 5,5 kHz$ e $T_A = 100 \mu s$	96
41	Tensões medidas na saída do DC-VGA para um sinal de entrada de 100Hz e 25 mV _p para diferentes valores de T_A , com $G_{m1} = 250 \mu S$, $C_A = 10 nF$ e $F_{clk} = 2 kHz$	97
42	Diagrama de blocos do AFE implementado para medida de ECG com dois eletrodos.	103
43	Curva característica medida e estimada de ganho do DC-VGA pelo tempo de amplificação.	104
44	Sinal de ECG medido utilizando dois eletrodos.	105
45	Resultados de medida do teste do circuito de AGC: acima, sinal na saída do pré-amplificador, ao meio, resposta do IA, embaixo, estimativa do ganho do DC-VGA em função ao tempo.	106
46	Circuito que representa o momento da amplificação e que inclui as não-idealidades do OTA.	117
47	Circuito que modela a resposta do OTA no processo de <i>Auto-Zero</i>	120
48	Diagrama esquemático do OTA.	130
49	Diagrama esquemático do circuito de polarização do OTA. .	131
50	<i>Layout</i> do OTA incluindo o circuito de polarização.	134
51	<i>Layout</i> das chaves utilizadas no DC-VGA: à esquerda chaves individuais, à direita duas chaves casadas utilizando a técnica de centróide comum.	135

52	Vista das camadas inferiores do DC-VGA: <i>Layout</i> do OTA e as chaves.	136
53	Vista das camadas superiores do DC-VGA: <i>Layout</i> dos capacitores integrados.	137
54	Microfotografia do DC-VGA.	138
55	Microfotografia do chip do DC-VGA o qual inclui uma réplica do OTA e uma das chaves para teste.	139
56	Representação do triangulo de Einthoven, o qual mostra as três derivações padrão para a medição de ECG utilizando os eletrodos colocados próximos à perna esquerda (PE), perna direita (PD), braço esquerdo (BE) e braço direito (BD) (a). Adicionalmente, um sinal típico a partir da derivação II é apresentado (b) (Adaptados de [37]).	142
57	Faixa de frequências consideradas para os sinais cardíacos dependendo da sua aplicação (Adaptado de [38]).	143
58	Circuito da impedância equivalente de um eletrodo (adaptado do [39]) (a) e a sua representação na frequência (b). Valores variam de acordo com o material e a geometria do eletrodo.	144
59	Representação da técnica utilizada para o controle da tensão de modo comum na medição com dois eletrodos através da redução da impedância de entrada de modo comum.	147

LISTA DE TABELAS

1	Estado da arte dos amplificadores de ganho variável	33
2	Especificações para o projeto do DC-VGA	66
3	Parâmetros do modelo ACM extraídos do processo de fabricação IBM $0,18\ \mu\text{m}$: tensão de limiar (V_{T0}), corrente de normalização de folha (I_{SH}) e fator de inclinação (n)	72
4	Resultados obtidos a partir das simulações do DC-VGA	98
5	Comparação dos resultados com o estado da arte	100
6	Principais características dos sinais de ECG	102
7	Dimensões dos transistores utilizados no OTA (As que aparecem entre parênteses são para o caso de $Sel = '1'$).	132
8	Dimensões dos transistores utilizados no circuito de polarização do OTA	133

LISTA DE SIGLAS

ACM	<i>Advanced Compact MOSFET.</i>
ADC	Conversor analógico/digital (<i>Analog-to-Digital Converter</i>).
AFE	Estágio analógico de entrada (<i>Analog Front-End</i>).
AGC	Controle automático de ganho (<i>Automatic Gain Control</i>).
AZ	<i>Auto-Zero.</i>
CMRR	Relação de rejeição ao modo comum (<i>Common Mode Rejection Ratio</i>).
DAC	Conversor digital/analógico (<i>Digital-to-Analog Converter</i>).
DC-VGA	Amplificador de ganho variável controlado por razão cíclica (<i>Duty-cycle Controlled Variable-Gain Amplifier</i>).
DC-VGA	Amplificador de ganho variável controlado por razão cíclica (<i>Duty-cycle Controlled Variable-Gain Amplifier</i>).
DOC	<i>Dynamic Offset Correction.</i>
DSP	Processador digital de sinais (<i>Digital Signal Processor</i>).
ECG	Eletrocardiograma.
EMG	Eletromiograma.
ENG	Eletroneurograma.
IA	Amplificador de instrumentação (<i>Instrumentation Amplifier</i>).
ICMR	<i>Input Common Mode Range.</i>
LAN	Rede de área local (<i>Local Area Network</i>).
LNA	Amplificador de ruído baixo (<i>Low-Noise Amplifier</i>).
OPAMP	Amplificador operacional (<i>Operational Amplifier</i>).
OTA	<i>Operational Transconductance Amplifier.</i>
OVS	<i>Output Voltage Swing.</i>
PD	Detetor de amplitude pico-a-pico (<i>Peak-to-peak Detector</i>).
PGA	Amplificador de ganho programável (<i>Programmable-Gain Amplifier</i>).
PSD	Densidade espectral de potência (<i>Power Spectral Density</i>).
S&H	Amostragem e Retenção (<i>Sample-and-Hold</i>).
THD	Distorção harmónica total (<i>Total Harmonic Distortion</i>).
VGA	Amplificador de ganho variável (<i>Variable-Gain Amplifier</i>).

LISTA DE SÍMBOLOS

V_{T0}	Tensão de limiar
I_{SH}	Corrente de normalização de folha
n	Fator de inclinação
$V_{in}(t)$	Sinal de entrada
R_G	Impedância de saída da fonte de entrada
V_o	Tensão de saída do DC-VGA
τ_s	Constante de tempo do amplificador superregenerativo de banda base
V_{SH}	Tensão de saída do DC-VGA amostrada
τ	Constante de tempo do DC-VGA
T_{clk}	Ciclo de trabalho do DC-VGA
C_A	Capacitor usada para a amplificação do sinal no DC-VGA
ϕ_R	Sinal de controle da fase de inicialização ou <i>reset</i>
ϕ_S	Sinal de controle da fase de amostragem
ϕ_A	Sinal de controle da fase de amplificação
ϕ_{SH}	Sinal de controle da fase de amostragem e retenção
G	Ganho do DC-VGA
T_A	Largura de pulso do sinal de controle da fase de amplificação
R_l	Representação do valor da resistência negativa no amplificador superregenerativo de banda base
R_o	Impedância de saída do OTA a frequências baixas
V_{os}	Tensão de <i>offset</i> referida à entrada do OTA
$\overline{V_{ni}}$	Ruído de referido à entrada do OTA
G_{m1}	Transcondutância principal do OTA de dupla entrada
G_{m2}	Transcondutância auxiliar do OTA de dupla entrada
$V_{CAZ}(t)$	Tensão de compensação de <i>offset</i> no capacitor C_{AZ}
V_{os1}	Tensão de <i>offset</i> referida à entrada principal do OTA
T_{AZ}	Largura de pulso do sinal de controle da fase de <i>Auto-Zero</i>
T_R	Largura de pulso do sinal de controle da fase de <i>reset</i>
T_S	Largura de pulso do sinal de controle da fase de amostragem
C_{AZ}	Capacitor de compensação para a técnica de <i>Auto-Zero</i>
R_{on}	Resistência da chave quando ativada
f_b	Banda de frequências do sinal de entrada

k_B	Constante de Boltzman
T	Temperatura absoluta em graus Kelvin
F_{clk}	Frequência de operação do DC-VGA
η_i	Fator do excesso de ruído térmico referido à entrada do OTA
$\frac{V_{nCA}^2}{f_{min}}$	Potência de ruído no capacitor C_A
f_{min}	Mínima frequência de operação permitida do DC-VGA
f_{c1}	Frequência de canto referida à entrada principal do DC-VGA
IN_1	Entrada principal do OTA
$\frac{f_{max}}{R_{on}}$	Máxima frequência de operação permitida do DC-VGA
R_{on}	Valor médio da resistência equivalente das chaves do DC-VGA quando fechadas
A_{v2}	Ganho de tensão em malha aberta referida à entrada auxiliar do OTA
Q_{inj}	Quantidade de carga injetada por uma chave MOSFET quando é desativada
V_{T0}	Tensão de limiar
I_{SH}	Corrente de normalização de folha
n	Fator de inclinação
i_f	Nível de inversão do transistor
IN_2	Entrada auxiliar do OTA
S	Relação de aspecto do transistor
I_d	Corrente DC do transistor
I_{b1}	Corrente de polarização do par de entrada principal
I_{b2}	Corrente de polarização do par de entrada auxiliar
g_{ms}	Transcondutância de fonte
γ	Fator de excesso de ruído do transistor

SUMÁRIO

1 INTRODUÇÃO	27
1.1 O PAPEL DOS AMPLIFICADORES DE GANHO VARIÁVEL NOS AFES	27
1.2 CLASSIFICAÇÃO DOS VGAS PELO TIPO DE SINAL DE CONTROLE	29
1.3 OBJETIVOS E ORGANIZAÇÃO DO TRABALHO	31
2 ASPECTOS PRINCIPAIS DO DC-VGA	35
2.1 O RECEPTOR SUPERREGENERATIVO	35
2.2 O AMPLIFICADOR DE GANHO VARIÁVEL CONTROLADO POR RAZÃO CÍCLICA	36
2.3 CONSIDERAÇÕES GERAIS SOBRE O DC-VGA	42
2.3.1 Implementação da resistência negativa	42
2.3.2 As não-idealidades do OTA	44
2.3.3 A técnica de <i>Auto-Zero</i>	46
2.3.4 Fontes de ruído	51
2.3.5 Frequência de operação	55
2.4 CONSIDERAÇÕES DE PROJETO	58
2.4.1 O OTA	58
2.4.2 As chaves	61
2.4.3 Os sinais de controle	63
3 PROJETO DO DC-VGA E RESULTADOS OBTIDOS	65
3.1 ESPECIFICAÇÕES	65
3.2 PROCEDIMENTO DE PROJETO	67
3.3 PROJETO DO DC-VGA	69
3.3.1 Seleção do capacitor	69
3.3.2 Projeto do OTA de dupla entrada e transcondutância programável	70
3.3.3 Projeto das chaves	77
3.4 RESULTADOS DE SIMULAÇÃO E DADOS DE MEDIÇÃO	78
3.4.1 Resultados de simulação e caracterização do OTA	78
3.4.2 Resultados de simulação e medição das chaves	85
3.4.3 Resultados de simulação do DC-VGA	86

3.4.3.1	Faixa linear	88
3.4.3.2	Desempenho da técnica de <i>Auto-Zero</i>	89
3.4.3.3	Faixa de ganho	91
3.4.3.4	Resposta em frequência	93
3.4.3.5	Rejeição ao modo comum	94
3.4.4	Resultados preliminares da medição do DC-VGA	95
3.5	RESUMO DE RESULTADOS	98
4	IMPLEMENTAÇÃO DE UM AFE PARA MEDIÇÃO DE SINAIS DE ECG	101
4.1	O AMBIENTE DA MEDIÇÃO DE ECG COM 2 ELETRODOS	101
4.2	CARACTERÍSTICAS DO AFE	102
4.2.1	O amplificador de instrumentação com ganho variável .	103
4.3	RESULTADOS DE MEDIÇÕES	104
5	DISCUSSÕES E CONCLUSÕES	107
	REFERÊNCIAS	116
	Anexo A – Equações úteis sobre o funcionamento do circuito .	117
A.1	EFEITO DAS NÃO-IDEALIDADES DO OTA NA AMPLIFICAÇÃO DO DC-VGA	117
A.2	RESPOSTA NO TEMPO DO CIRCUITO DE <i>AUTO-ZERO</i> ..	120
	Anexo B – Ruído do OTA	123
	Anexo C – Análise de sensibilidade do ganho do DC-VGA	127
	Anexo D – Diagramas esquemáticos e layouts dos blocos do DC-VGA	129
	Anexo E – A medição de ECG com dois eletrodos	141
E.1	CARACTERÍSTICAS DO SINAL DE ECG	141
E.2	INTERFACE PELE/ELETRODO	143
E.3	CLASSIFICAÇÃO DOS TIPOS DE INTERFERÊNCIA CAUSADAS PELA LINHA DE 60Hz	145
E.4	SOLUÇÃO PARA O CONTROLE DO SINAL DE MODO COMUM	146

1 INTRODUÇÃO

Este capítulo inicia comentando sobre a importância dos amplificadores de ganho variável no contexto de um sistema de aquisição de sinais. Depois disto, estes circuitos são classificados segundo o seu tipo de controle de ganho, o que leva à proposta feita neste trabalho: o controle de ganho por razão cíclica. Finalmente, os objetivos e a organização do documento desta dissertação são apresentados.

1.1 O PAPEL DOS AMPLIFICADORES DE GANHO VARIÁVEL NOS AFES

O diagrama de blocos de um sistema de aquisição e processamento de sinais é apresentado na Figura 1. O transdutor converte algum evento físico proveniente do meio ambiente em sinais elétricos, comumente na forma de tensão ou corrente. O estágio analógico de entrada (AFE) cumpre a função principal de condicionar o sinal para o posterior tratamento no domínio digital, neste caso pelo processador digital de sinais (DSP). Por condicionamento entende-se o conjunto de técnicas ou processamento aplicados a um sinal para que este permaneça dentro de valores adequados de amplitude e frequência antes de ser processado, usualmente no domínio digital.

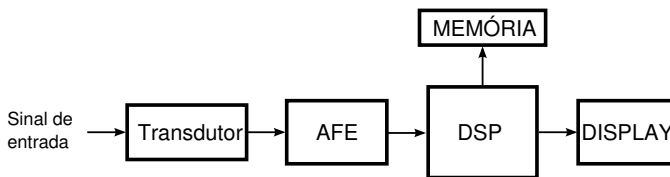


Figura 1: Diagrama de blocos de um sistema de aquisição e processamento de sinais.

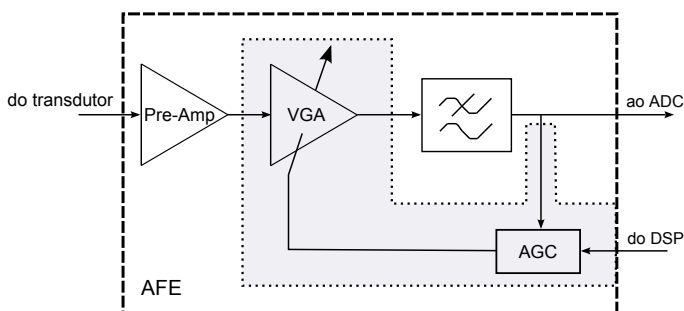


Figura 2: Diagrama de blocos de um estágio analógico de entrada (AFE) típico.

O diagrama de blocos de um AFE típico é ilustrado na Figura 2. Podem ser observados, os estágios de amplificação e filtragem e uma malha de realimentação que inclui um circuito que controla o ganho do VGA. Convenciona-se chamar este último de AGC. É através do VGA e do AGC que o ganho total do AFE torna-se ajustável. O sinal de saída do AFE passa a um conversor analógico/digital (ADC), o qual serve como a interface com o DSP. Dependendo da aplicação, este diagrama pode sofrer variações, no entanto, todos os sistemas de aquisição e processamento de dados em geral seguem uma estrutura similar [1].

Como exemplo de AFE, pode-se citar o receptor homódino de RF [2]. Inicialmente, o sinal na saída da antena é amplificado por um amplificador de ruído baixo (LNA), o qual desempenha o papel análogo ao bloco pré-amplificador mostrado na Figura 2. É também comum encontrar um outro estágio amplificador com ganho variável. Logo após esta amplificação, o sinal é demodulado para frequências baixas através de um misturador, depois filtrado e, finalmente, digitalizado. Neste exemplo, o sinal recebido na antena cobre uma vasta faixa dinâmica. Dependendo do padrão de comunicação, o valor usual dessa faixa gira em torno de 70dB nos padrões LAN sem fio [3] com uma sensibilidade próxima de -85dBm . Por tal motivo, é utilizado frequentemente um circuito que adapta o ganho do amplificador variável, da mesma forma que no diagrama da Figura 2, para que o AFE possa lidar com a faixa dinâmica

requerida. Assim, consegue-se evitar um eventual estado de saturação dos blocos do AFE.

Em um contexto distinto, outro exemplo de AFE pode ser encontrado em um sistema de aquisição de sinais biopotenciais. Neste AFE, é comum incluir um filtro passa-altas antes de toda a cadeia de condicionamento. A pré-amplificação é usualmente feita através de um amplificador de instrumentação (IA), o qual caracteriza-se pela sua alta rejeição ao sinal de modo comum. Em seguida, o VGA é também usado para prover mais um estágio de ganho. Finalmente, o sinal é filtrado e, depois, digitalizado. Em geral, os AFEs voltados para sinais biopotenciais são projetados para uma aplicação específica como eletrocardiograma (ECG) [4, 5], eletroneurograma (ENG) [6, 7] e eletromiograma (EMG) [8], entre outros. No entanto, há trabalhos em que mais de um sinal de biopotencial é medido simultaneamente [9–11], requerendo que o ganho e a resposta em frequência sejam programáveis, a fim de lidar com diferentes tipos de sinal. Este é mais um motivo pelo qual os VGAs (e AGCs) são utilizados nestas aplicações.

1.2 CLASSIFICAÇÃO DOS VGAS PELO TIPO DE SINAL DE CONTROLE

Em complemento ao exposto sobre o papel que desempenham os VGAs nos AFEs, é importante apresentar a classificação comumente utilizada segundo o tipo de sinal de controle.

O VGA de controle contínuo, também chamado de controle analógico, ajusta o seu ganho mediante um sinal em modo de tensão ou de corrente [12]. Este sinal regula o ponto de operação de algum(ns) transistor(es) ou modifica o valor de alguma resistência variável. O conceito deste VGA é ilustrado na Figura 3(a), onde o sinal de controle é representado por um sinal contínuo. Certamente, o sinal de controle pode ser enviado por um DSP ou controlador lógico, como foi mostrado na Figura 2. Assim sendo, uma sequência de bits, e não um sinal analógico, deve ser interpretada pelo VGA. Portanto, há a necessidade de utilizar um conversor digital/analógico (DAC) como interface (Figura 3(b)).

Um outro VGA utilizado frequentemente é o de controle digital, conhecido como amplificador de ganho programável ou PGA. A sua implementação é comumente feita com matrizes programáveis de resistores ou capacitores [9, 10]. Dessa forma, este amplificador é capaz de receber bits de controle e mudar o seu ganho de forma direta¹, como ilustrado na Figura 3(c). Embora a eliminação do DAC seja vantajosa em termos de potência e área, o ajuste do ganho estaria limitado ao número de bits do sinal de controle. Para um sistema que precise de um controle fino, o seu desempenho pode ser afetado se a quantidade desses bits for reduzida [13, 14]. É importante ressaltar que o VGA com controle analógico não apresenta o mesmo problema uma vez que o controle é de modo contínuo, o qual equivale a ter resolução “infinita”.

¹A funcionalidade do DAC agora é intrínseca ao circuito.

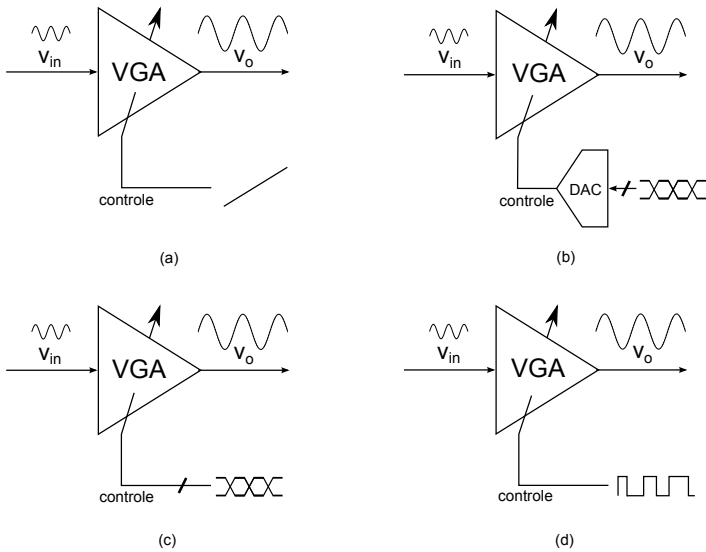


Figura 3: Classificação dos VGAs segundo o seu tipo de sinal de controle: VGA com controle analógico (a), VGA com controle analógico e DAC de interface (b), PGA (c) e VGA com controle por razão cíclica (d).

1.3 OBJETIVOS E ORGANIZAÇÃO DO TRABALHO

A junção das noções abordadas anteriormente permite destacar a importância dos VGAs como parte dos AFEs. De igual maneira, verifica-se que o fato de contar com um VGA que possa aproveitar tanto a resolução alta do controle analógico quanto a interface simplificada de controle do PGA é uma solução atraente. Visando este objetivo, o circuito proposto neste trabalho procura o ajuste do ganho através de um sinal de controle digital com razão cíclica variável ou DC-VGA (do inglês *Duty-cycle Controlled VGA*). Este conceito é ilustrado na Figura 3(d).

Para o desenvolvimento do circuito alvo, a ideia de base foi tomada do trabalho apresentado em [15]. Os autores descrevem uma técnica de amplificação baseada no conceito superregenerativo, criado há quase um século pelo engenheiro Edwin Armstrong [16]. Com base neste conceito, eles conseguiram implementar, embora usando componentes discretos, um amplificador com ajuste de ganho pela largura de pulso do sinal de controle. No trabalho apresentado nesta dissertação, busca-se aprimorar a implementação da técnica de amplificação exposta pelos autores e aplicá-la ao projeto de um VGA integrado. Ressalta-se que foram incorporadas várias modificações ao circuito original prevendo melhoras no seu desempenho.

O contexto da aquisição de sinais biopotenciais foi escolhido como base para construir as especificações do circuito. Acredita-se que soluções nesta área são necessárias a se desenvolverem no país. O estado da arte em trabalhos similares sobre amplificadores com ganho variável voltados para sinais biomédicos foi consultado com intuito de comparar os resultados obtidos no projeto. Na Tabela 1, são mostrados alguns destes trabalhos reportados em anos recentes. Na sua maioria, foram encontradas soluções do tipo PGA, a exceção da apresentada em [17]. A resolução dessa solução considera-se contínua (similar à que se propõe neste trabalho)² uma vez que o controle de ganho foi feito mediante a diferença de fase

²O termo “contínua” é idealizado uma vez que, na prática, toda implementação tem uma resolução discreta, neste caso, limitada certamente pela velocidade de processamento ou frequência de operação do elemento que produz o sinal de controle (p. ex. o DSP).

de dois sinais digitais. É interessante destacar que esta característica foi aproveitada pelos autores para realizar um controle do ganho cuja precisão fina conseguia compensar efeitos de descasamento entre dois canais de aquisição [17].

Deve-se pontuar também, que foi feita uma implementação do circuito com componentes discretos visando sua validação em uma aplicação real. A partir desta implementação foram recolhidos dados e experiências considerados essenciais para o aprendizado neste trabalho.

Este documento encontra-se organizado da seguinte forma: o Capítulo 2 descreve o princípio de funcionamento do VGA proposto, trazendo antes uma revisão do conceito superregenerativo. Além disso, a arquitetura e as considerações para a realização do circuito são descritas detalhadamente. No capítulo seguinte, as especificações do projeto e a metodologia adotada são apresentadas. Adicionalmente, se mostram os resultados obtidos a partir de simulações e medições. O relato sobre a implementação do protótipo discreto proposto foi deixado para o quarto capítulo. Por último, o Capítulo 5 encerra com as reflexões e conclusões finais.

Tabela 1: Estado da arte dos amplificadores de ganho variável

Parâmetro	[9]	[10]	[18]	[11]	[17]
Faixa de ganho [dB]	14 – 34	6 – 20,8	-6 – 18,5	16 – 28	10 – 62
Resolução	4	4	4	16	Contínua
Largura de banda máxima [Hz]	150	252	7,8k	500	10k
Consumo de potência [μ W]	-	<0,5	<2,5	2	280
Área [mm ²]	0,32	0,05	<0,3	0,25	0,064
Tensão de alimentação [V]	\pm 1,5	1	1	1,7	\pm 1,5
Tecnologia	0,5 μ m	0,35 μ m	0,35 μ m	0,18 μ m	0,35 μ m

2 ASPECTOS PRINCIPAIS DO DC-VGA

Este capítulo abrange todos os aspectos relevantes do circuito desenvolvido neste trabalho, desde a informação básica sobre o seu funcionamento até as recomendações para o projeto. A fim de introduzir o princípio de funcionamento do circuito, o receptor superregenerativo de Armstrong é apresentado, o qual serviu como a principal fonte de inspiração do VGA proposto. Posteriormente, os detalhes do funcionamento e implementação são descritos. Por último, cada bloco do circuito é discutido com ênfase na metodologia de projeto.

2.1 O RECEPTOR SUPERREGENERATIVO

Em 1922, depois de ter inventado o receptor regenerativo e o superheteródino, Edwin Howard Armstrong criou o receptor superregenerativo [16]. Este circuito foi utilizado em várias aplicações comerciais devido ao seu custo baixo, seletividade alta e consumo de energia reduzido. A característica principal deste receptor é que ele opera numa condição de instabilidade, sendo periodicamente reiniciado a fim de evitar a saturação do circuito [19]. O receptor superregenerativo pode ser visto como um oscilador cuja resposta transiente inicial é utilizada para alcançar uma amplificação alta e filtrar o sinal com um alto fator de qualidade. A amplitude da envoltória da oscilação gerada depende do valor do sinal recebido. A Figura 4 ajuda a compreender o princípio de funcionamento do circuito. A resistência negativa é conectada periodicamente ao tanque RLC, fazendo com que se produza a oscilação crescente na qual o sinal é amplificado.

Algumas desvantagens deste circuito, como a amplificação do ruído térmico e a possibilidade de provocar interferência em receptores próximos, fizeram que o receptor super-heteródino ganhasse mais popularidade, principalmente em aplicações militares e de dispositivos móveis. Contudo, o receptor superregenerativo voltou a chamar a atenção, como constata-se em vários trabalhos publicados recentemente [20–22].

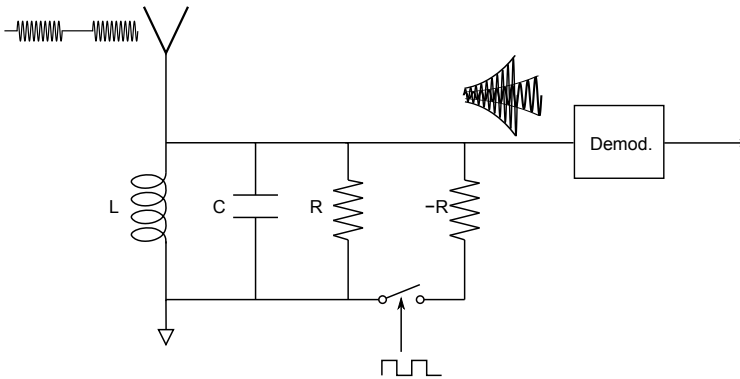


Figura 4: Conceito do receptor superregenerativo, adaptado de [19].

2.2 O AMPLIFICADOR DE GANHO VARIÁVEL CONTROLADO POR RAZÃO CÍCLICA

O conceito superregenerativo não se limita apenas às aplicações de alta frequência. Em [15], um amplificador de sinais em banda base inspirado no receptor de Armstrong foi proposto. O conceito deste circuito é ilustrado na figura 5(a). O sinal de entrada, representado por $V_{in}(t)$, é periodicamente conectado ao “amplificador superregenerativo”, representado por C_A e $-R_I$. Quando a chave se encontra aberta, a função de transferência do circuito pode ser expressa da seguinte forma:

$$H(s) = \frac{V_o(s)}{V_{in}(s)} = \frac{1}{R_G C_A} \left(\frac{1}{s + \frac{1}{R C_A}} \right) \quad (1)$$

onde

$$R = R_G // -R_I \quad (2)$$

Se a função de transferência (1) tem o seu polo no semiplano direito, o circuito torna-se instável e, como no caso do receptor superregenerativo, a amplificação é produzida.

Considerando o valor do capacitor como sendo sempre positivo, esta condição é válida para um valor negativo de R , ou seja, quando R_I é menor do que R_G . No domínio do tempo, o circuito responde da seguinte maneira: em primeiro lugar, o capacitor é descarregado ao fechar a chave.

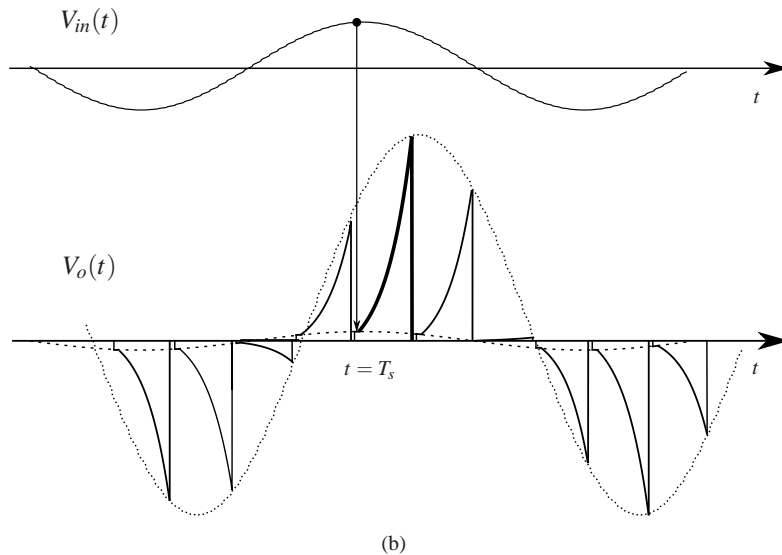
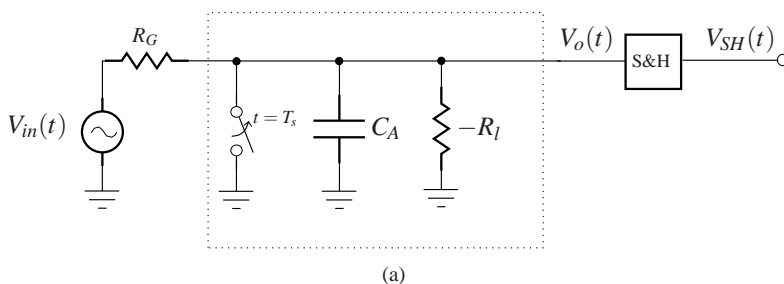


Figura 5: Representação do “amplificador superregenerativo” de banda base (a) e a sua onda de saída típica (b), adaptados de [15].

Em seguida, a chave é aberta e o amplificador é conectado à entrada. Se o circuito é instável, a saída (V_o) será uma tensão exponencialmente crescente, que pode ser expressa por:

$$V_o(t) = w(t) \left[\sum_k V_{in}(t - kT_s) * \left(\frac{1}{R_G C_A} e^{-\frac{t}{\tau_s}} u(t) \right) \right], \quad k = 0, 1, 2, \dots \quad (3)$$

onde T_s é o período de amostragem, τ_s é a constante de tempo do sistema dada por

$$\tau_s = RC_A \approx -R_I C_A \quad (4)$$

e $w(t)$ é uma função de tipo janela definida como

$$w(t) = \begin{cases} 0 & , t > kT_s \\ 1 & , kT_s \leq t \leq kT_s + T_{op} \\ 0 & , t > kT_s + T_{op} \end{cases} \quad (5)$$

onde T_{op} é o tempo no qual a chave fica aberta em cada período de amostragem.

A constante de tempo τ_s é negativa, explicando o crescimento exponencial em (3). A forma de onda de saída do amplificador é representada na Figura 5(b). Cada vez que a chave é aberta, a amplificação toma o seu curso até que seja interrompida fechando a chave de novo. Por conseguinte, pulsos exponenciais periódicos podem ser observados. A amplificação depende do tempo em que a chave permanece aberta; assim, o sinal pode atingir valores grandes devido à característica exponencial. Um circuito de amostragem e retenção (S&H) é adicionado para reconstruir o sinal (V_{SH}). Se houver necessidade, o sinal amostrado pode ser filtrado para assim obter uma versão contínua do sinal amplificado.

O modelo do amplificador proposto neste trabalho é ilustrado na Figura 6. Nota-se que, no novo arranjo, algumas modificações foram implementadas com o objetivo de melhorar duas questões específicas. Em primeiro lugar, duas chaves de amostragem foram adicionadas a fim de

isolar a entrada no momento da amplificação. Desta maneira, o ganho torna-se independente da impedância da fonte de entrada (R_G). Assim, garante-se que o sistema esteja sempre na condição de instabilidade para qualquer valor de resistência negativa. A resposta para este circuito é expressa por (6), onde τ é a constante de tempo, T_{clk} é o ciclo de trabalho do circuito, $V_{in}(kT_{clk})$ é o sinal amostrado no capacitor C_A no momento kT_{clk} e $w(t)$ é uma função janela dada por (5), cujo intervalo de valor unitário acontece durante a fase de amplificação do circuito.

$$V_o(t) = \sum_k w(t) V_{in}(kT_{clk}) \left(e^{-\frac{t-kT_{clk}}{\tau}} \right), \quad k = 0, 1, 2, \dots \quad (6)$$

A segunda melhoria é que o sinal de entrada agora é amostrado de forma diferencial, o que elimina teoricamente o sinal de modo comum, levando o CMRR para um valor teoricamente infinito.

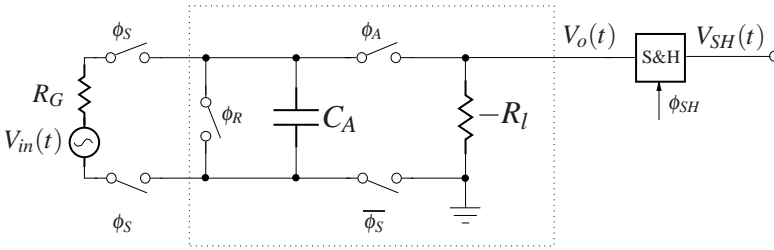


Figura 6: Diagrama esquemático conceitual do amplificador proposto.

A operação do amplificador pode ser dividida em três fases. Na fase de inicialização ou *reset* (ϕ_R), os dois terminais C_A são aterrados. Em seguida, a fase de amostragem (ϕ_S) é ativada, e o capacitor é carregado com o sinal de entrada. Depois disso, a amplificação começa (ϕ_A) quando o capacitor é ligado à resistência negativa. Como resultado, a tensão amostrada no capacitor é amplificada exponencialmente até que o sinal de amplificação é desativado. Como visto antes, um circuito S&H atua no final do período de amplificação (ϕ_{SH}). Em última instância, se

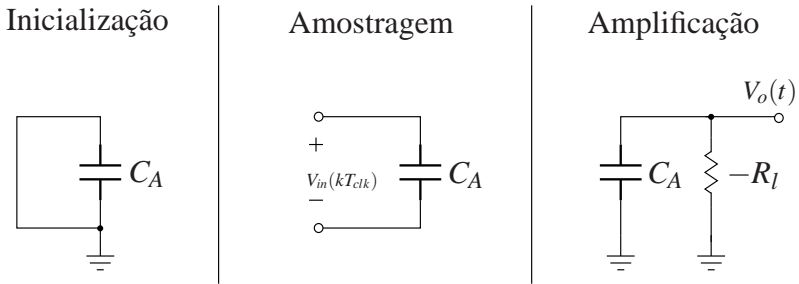


Figura 7: Fases de funcionamento do amplificador proposto.

for preciso¹, o sinal amostrado deve passar por um filtro passa-baixas para reconstrução. A sequência das fases e o diagrama de tempos estão representados nas Figuras 7 e 8, respectivamente.

A constante de tempo do circuito (τ) é, agora, unicamente dependente da resistência negativa e não da impedância da fonte de entrada. De acordo com isto, o ganho do amplificador (G) é expresso por:

$$G = e^{-\frac{T_A}{\tau}} \quad (7)$$

Observa-se a partir de (7), que o ganho é controlado pelo intervalo de amplificação (T_A). Haja vista que este tempo pode ser definido como uma porcentagem do ciclo total de operação (T_{clk}), o circuito foi nomeado como “amplificador de ganho variável controlado por razão cíclica” ou DC-VGA.

¹Há a necessidade de utilizar um filtro passa-baixas se o sinal será condicionada em modo contínuo pelos circuitos subsequentes.

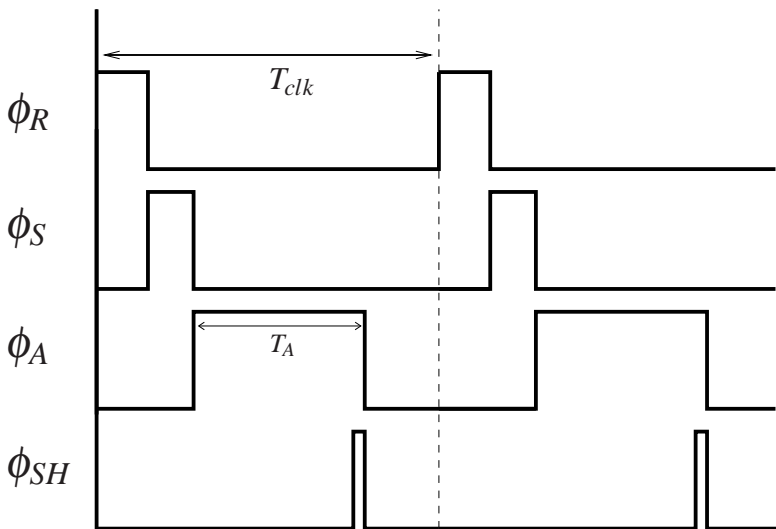


Figura 8: Diagrama de tempos do amplificador proposto, onde podem ser observados os sinais de controle das fases de inicialização (ϕ_R), amostragem (ϕ_S), amplificação (ϕ_A) e amostragem e retenção (ϕ_{SH}), assim como o ciclo total de operação (T_{clk}) e o intervalo de amplificação (T_A).

2.3 CONSIDERAÇÕES GERAIS SOBRE O DC-VGA

2.3.1 Implementação da resistência negativa

Uma resistência negativa pode ser sintetizada utilizando técnicas diferentes [23]. No caso particular do DC-VGA, uma vez que o sinal amplificado é desenvolvido entre o nó que conecta o capacitor e a resistência negativa, esta última deve manter o seu valor constante durante toda a excursão do sinal para não influenciar no valor do τ e evitar distorcer o sinal. Por exemplo, uma solução baseada em pares de transistores cruzados (*cross-coupled transistors*) não é adequada para este circuito pelo motivo supracitado. A solução proposta em [15] baseia-se em um OPAMP ligado como amplificador inversor com ganho 2, e um resistor em realimentação positiva o qual determina o valor da resistência negativa (R_I). Esta solução é viável para implementação utilizando componentes discretos. No entanto, em uma solução de projeto de circuito integrado, a largura de banda e *slew-rate* do OPAMP podem ser limitadores [15], necessitando assim de um consumo de energia adicional a fim de compensar os seus efeitos. Além disso, a grande variação esperada sobre o valor dos resistores devido ao processo de fabricação pode ser intolerável em algumas aplicações.

Neste trabalho, a técnica para sintetizar a resistência negativa utiliza um amplificador operacional de transcondutância (OTA) em realimentação positiva [23]. Pode-se provar que esta configuração é equivalente a um resistor negativo de valor $-1/G_m$, onde G_m é a transcondutância do OTA. Como ilustração, um OTA em realimentação positiva é mostrado na figura 9. Aplicando a lei de correntes de Kirchhoff verifica-se que:

$$i_o = G_m V_x \quad (8)$$

Considerando que não há corrente entrando nos terminais de entrada do OTA, é possível deduzir que:

$$R_x = \frac{V_x}{i_x} = \frac{V_x}{-i_o} = -\frac{1}{G_m} \quad (9)$$

O uso do OTA como resistência negativa é adequado para implementações integradas de consumo baixo, não apresenta as desvantagens do OPAMP e dispensa de o uso de resistores. No entanto, o OTA deve assegurar que a transcondutância seja constante em toda a excursão do sinal de saída.

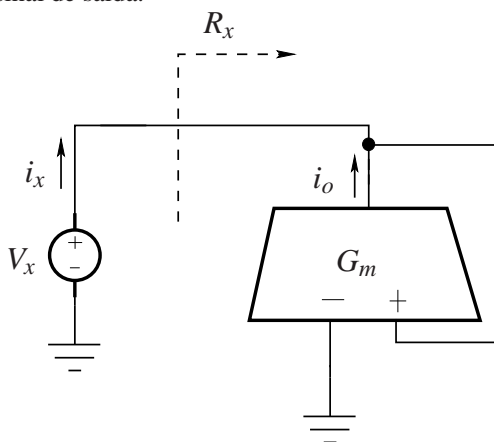


Figura 9: Circuito para calcular a resistência equivalente de um OTA em realimentação positiva.

A ideia do circuito proposto, utilizando o OTA como resistência negativa, é mostrado na Figura 10. Para esta configuração, o ganho do DC-VGA é dado por:

$$G = e^{T_A / \frac{C_A}{G_m}} \quad (10)$$

onde a constante τ é definida como

$$\tau = -\frac{C_A}{G_m} \quad (11)$$

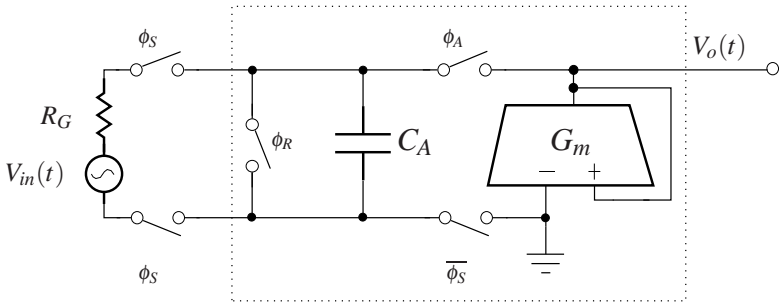


Figura 10: Representação do DC-VGA com a resistência negativa implementada com um OTA em realimentação positiva.

2.3.2 As não-idealidades do OTA

Como todo circuito, o OTA apresenta algumas não-idealidades. A sua influência na implementação da resistência negativa deve ser avaliada. Para isto, foi utilizada a representação do OTA não ideal ilustrada na Figura 11. Aqui, o resistor R_o modela a impedância de saída, a fonte V_{os} representa a tensão de *offset* referida à entrada e o ruído, também referido à entrada, é modelado através da fonte $\overline{V_{ni}}$.

Com base em (6) e no modelo da figura 11, a resposta no domínio do tempo durante a amplificação, no momento $k = 0$, é expressa por (Anexo A):

$$V_o(t)|_{k=0} = V_{in}(0)e^{-\frac{t}{\tau(1-\frac{1}{G_m R_o})}} + (V_{os} + \overline{V_{ni}}) \left(e^{-t/\tau} - 1 \right) \quad (12)$$

Nota-se em (12) que a impedância de saída aparece em paralelo com a resistência negativa, modificando a constante de tempo do circuito. Este efeito é resolvido mantendo a relação $R_o \gg 1/G_m$. Outra consequência das não-idealidades do OTA é que o ruído e a tensão de *offset* são também amplificados de maneira exponencial com o tempo, igual à tensão de entrada. Certamente, esta é uma questão crítica para

sinais de amplitude baixa. Ademais, uma tensão de *offset* excessiva pode saturar o circuito quando este for selecionado para se obter um ganho elevado. A componente do ruído térmico irá depender do valor de C_A , como será verificado mais adiante. Por outro lado, o ruído de baixa frequência (ruído *flicker*) juntamente com o *offset* podem ser reduzidos com o aumento do tamanho dos transistores, e portanto aumento da área do circuito. No caso da tensão de *offset*, algum tipo de *trimming* pode ser usado para corrigir o descasamento dos componentes, mas não é uma solução considerada neste trabalho. Portanto, houve necessidade de utilizar uma das técnicas conhecidas sob o nome de correções dinâmicas de *offset* (DOC) [24]. Estas técnicas são frequentemente implementadas em circuitos que requerem baixas tensões de *offset* e ruído *flicker* minimizado.

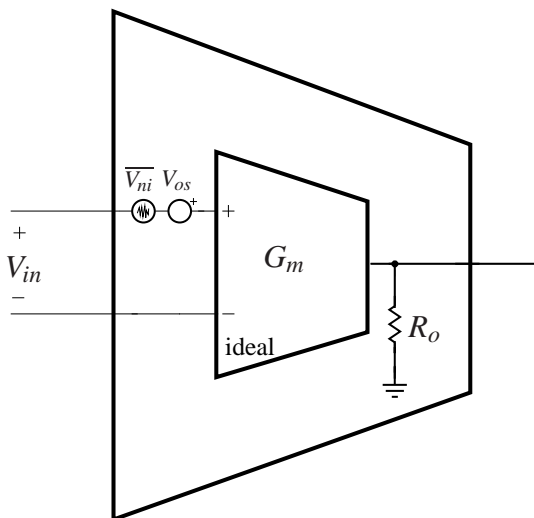


Figura 11: Modelo do OTA representando as suas não-idealidades: impedância de saída em frequências baixas (R_o), tensão de *offset* referida à entrada V_{os} e ruído referido à entrada ($\overline{V_{ni}}$).

2.3.3 A técnica de *Auto-Zero*

A solução selecionada foi a de *Auto-Zero* (AZ), principalmente por causa da natureza chaveada inerente do DC-VGA. A ideia desta técnica no contexto do DC-VGA é ilustrada na Figura 12. O transcondutor à esquerda (G_{m1}) é o que sintetiza a resistência negativa, enquanto que a compensação do *offset* é feita pelo transcondutor à direita (G_{m2}) em conjunto com o capacitor C_{AZ} . Este tipo de configuração de *Auto-Zero* é chamada de “cancelamento de *offset* em malha fechada” [24]. Nota-se que um outro sinal de controle (ϕ_{AZ}) foi adicionado. A sequência das fases do DC-VGA incluindo a técnica de *Auto-Zero* é representada na Figura 13, sendo descrita a seguir.

Enquanto a fase de inicialização (*reset*) permanece ativa, o sinal de controle ϕ_{AZ} é acionado também, sendo que as entradas de G_{m1} são curto-circuitadas e aterradas. Adicionalmente, o capacitor C_{AZ} é ligado à saída. Caso haja uma tensão de *offset* na entrada de G_{m1} (V_{os1}), esta irá causar uma corrente na sua saída proporcional a esta tensão. Em consequência, o capacitor irá se carregar e desenvolverá uma tensão $V_{CAZ}(t)$, chamada de “tensão de compensação”. Esta tensão criará uma diferença de potencial na entrada de G_{m2} , a qual fará com que apareça outra corrente na saída deste transcondutor que compensará a corrente saindo de G_{m1} . O capacitor C_{AZ} será carregado até que a tensão V_{os1} seja compensada em primeira ordem. É possível demonstrar que a tensão final desenvolvida em C_{AZ} depende da razão de ambas as transcondutâncias G_{m1} e G_{m2} [24]:

$$V_{CAZ}(t)|_{t=\infty} = V_{os1} \frac{G_{m1}}{G_{m2}} \quad (13)$$

Após a compensação, $V_{CAZ}(t)$ é mantida durante a amplificação para suprimir o efeito da tensão de *offset*. A operação de AZ é repetida logo após o fim da fase de amplificação, desta forma, o *offset* é corrigido em cada ciclo de trabalho do DC-VGA. O tempo dedicado ao processo de AZ pode-se estender até um pouco antes do fim da fase de amostragem visando aproveitar o máximo de tempo disponível para carregar o capacitor C_{AZ} .

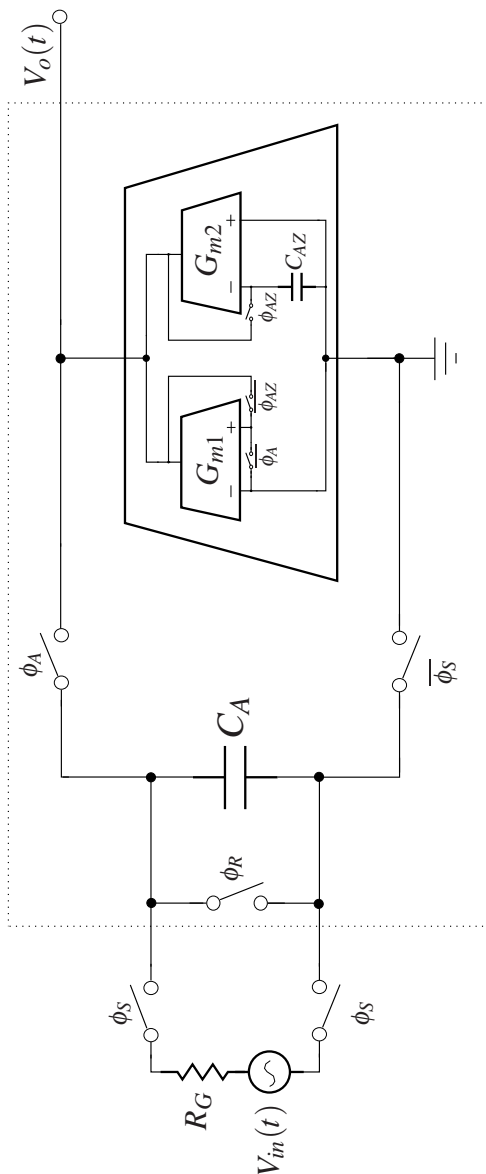
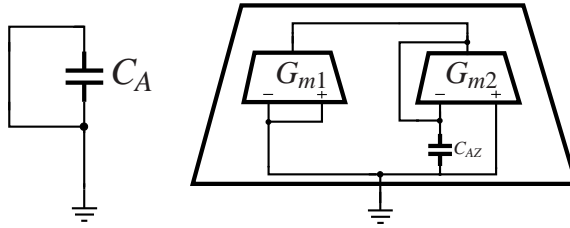
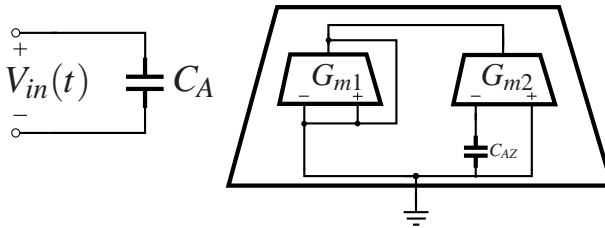


Figura 12: Representação do DC-VGA incluindo a técnica de Auto-Zero.

Inicialização



Amostragem



Amplificação

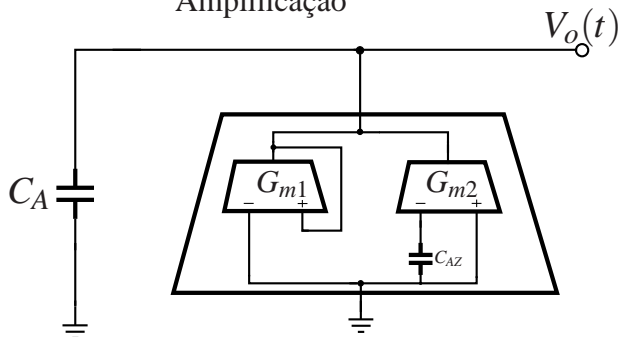


Figura 13: Funcionamento do DC-VGA por fases incluindo o processo de *Auto-Zero*. Podem ser observados os sinais de controle das fases de inicialização (ϕ_R), amostragem (ϕ_S), amplificação (ϕ_A), amostragem e retenção (ϕ_{SH}) e *Auto-Zero* (ϕ_{AZ}), assim como o ciclo total de operação (T_{clk}) e os intervalos de inicialização (T_R), amostragem (T_S), amplificação (T_A), e *Auto-Zero* (T_{AZ}).

Na Figura 14, ilustra-se a sequência dos sinais de controle de cada fase do DC-VGA, incluindo a operação de AZ.

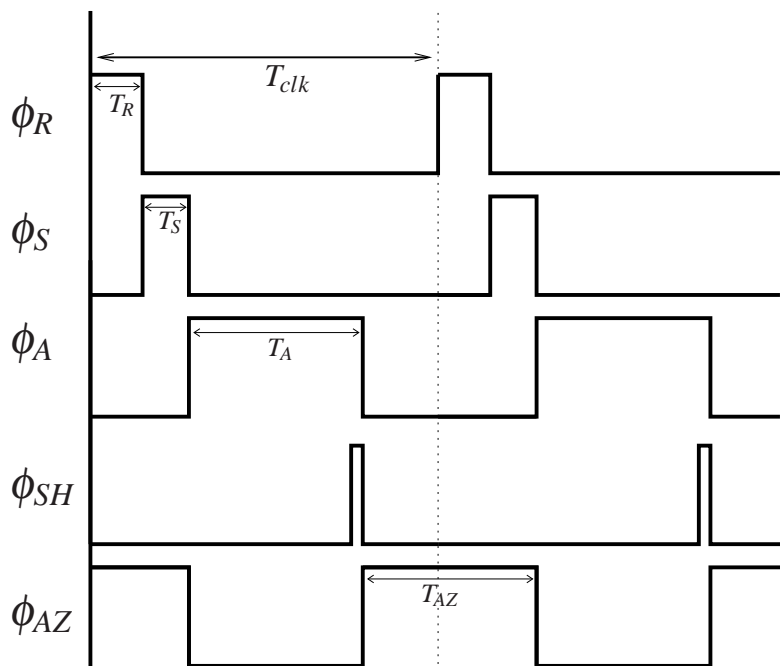


Figura 14: Diagrama de tempos dos sinais de controle para o DC-VGA incluindo o processo de Auto-Zero.

Deve-se considerar que a tensão de compensação não é alcançada de forma instantânea. O tempo de carga do capacitor C_{AZ} depende da constante de tempo associada a G_{m2} . Demonstra-se que a expressão da tensão de compensação em função ao tempo, considerando a sua condição inicial igual a zero, é definida como (Anexo A):

$$V_{C_{AZ}}(t) = V_{os1} \frac{G_{m1}}{G_{m2}} \left(1 - e^{-\frac{t}{\tau}} \right) \quad (14)$$

onde

$$\tau_2 = \frac{C_A}{G_{m2}} \quad (15)$$

Finalmente, algumas observações devem ser levantadas em relação à implementação da técnica de AZ. Em primeiro lugar, a ação desta técnica sobre o ruído de baixa frequência referente a G_{m1} é semelhante ao do *offset* desde que a frequência de canto² do OTA seja menor do que a frequência de funcionamento do DC-VGA [24]. Entende-se este requisito como tendo uma frequência de funcionamento do AZ suficientemente elevada para amostrar e reter o erro causado por este ruído durante todo tempo da amplificação. Por último, vale a pena comentar que existe também uma tensão de *offset* referente a G_{m2} . Entretanto, se esta tensão for considerada constante, a tensão de *offset* associada a este transcondutor será sempre autocompensada uma vez que ela estará incluída indiretamente no valor final de V_{CAZ} .

²Define-se à frequência de canto como o valor da frequência na qual o ruído térmico apresenta a mesma potência do que o ruído *flicker*.

2.3.4 Fontes de ruído

As fontes de ruído do circuito com mais impacto são basicamente duas: o ruído térmico associado às chaves, e o ruído térmico do OTA. Tal afirmação é válida desde que o processo de AZ elimine satisfatoriamente o efeito do ruído de baixa frequência, hipótese que será assumida como verdadeira para a análise a seguir³.

A análise do ruído térmico pode ser feita no domínio do tempo discreto (ou no domínio da frequência utilizando a transformada Z), uma vez que o DC-VGA é um circuito chaveado. No entanto, resultados equivalentes podem ser obtidos a partir da análise no domínio do tempo contínuo (ou no domínio da frequência utilizando a transformada S) como se encontra na literatura [25, 26]. Utilizou-se a expressão proposta em [25] do ruído produzido por um circuito de S&H, formado por uma chave de resistência equivalente " R_{on} " e uma capacitância de magnitude " C ", como ilustrado na Figura 15.

³Existe um aumento do ruído branco devido a sub-amostragem do mesmo pelo processo de *Auto-Zero*. Este efeito é chamado de *fold-back noise* e é uma das desvantagens da técnica *Auto-Zero* quando comparada com outras como a do *chopper stabilization*[24]. A sua análise não foi considerada neste trabalho.

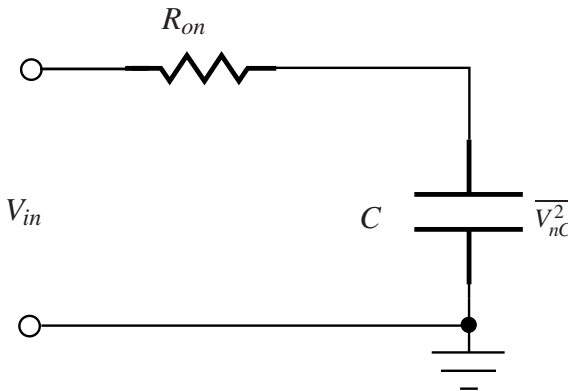


Figura 15: Representação de um circuito de S&H para sua análise de ruído.

Pode ser demonstrado que o ruído quadrático médio no capacitor é igual a:

$$\overline{V_{nC}^2} = \frac{k_B T}{C} \left(\frac{f_b}{f_s/2} \right) \quad (16)$$

onde f_b é a banda do sinal, f_s é a frequência de amostragem, k_B é a constante de Boltzman e T é a temperatura em graus Kelvin. Esta expressão mostra que o valor do ruído independe do valor da resistência da chave. Assumindo-se que a largura de banda do sinal é igual à banda de Nyquist ($f_s/2$), o ruído térmico será idêntico ao de um filtro RC contínuo passa-baixas ($k_B T/C$). A partir deste resultado, o ruído no DC-VGA pode ser estimado em cada fase de operação e logo podem-se somar as contribuições de cada fase para calcular o ruído total.

Na fase de amostragem, o modelo equivalente do circuito para o cálculo do ruído é ilustrado na Figura 16. O sinal de entrada é zerado e as duas fontes de ruído representam as chaves de amostragem. Este ruído é conhecido como sendo do tipo “branco” ou constante na banda, sendo que a sua densidade espectral (unilateral) de potência é expressada por:

$$\overline{V_{nR_{oni}}^2} = 4k_B T R_{oni} \quad (17)$$

onde o subíndice “i” refere-se ao número da resistência associada a cada chave.

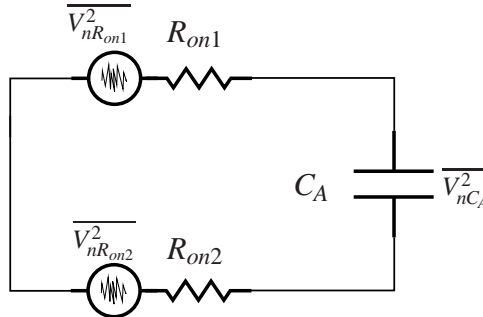


Figura 16: Circuito para analisar o ruído durante a amostragem do sinal.

A potência de ruído total é calculada pela soma das potências de cada chave. A partir da expressão em (16), obtém-se:

$$\overline{V_{nC_A}^2} \Big|_{\phi_s} = 2 \frac{k_B T}{C_A} \left(\frac{f_b}{F_{clk}/2} \right) \quad (18)$$

onde F_{clk} é a frequência de operação do DC-VGA, definida como a inversa do ciclo total de operação (T_{clk}).

Na fase de amplificação, o ruído é calculado a partir do circuito da Figura 17, onde se observa a contribuição de ruído das chaves e do OTA. Neste caso, o OTA é representado como o valor absoluto do seu equivalente resistivo ($1/G_{m1}$), e o seu ruído é dado por [26]:

$$\frac{\overline{V_{ni}^2}}{\Delta f} = \eta_i \frac{4k_B T}{G_{m1}} \quad (19)$$

onde η_i é o fator que representa o excesso de ruído com referência a de um resistor de valor $1/G_{m1}$ referente à expressão em (17). Este fator depende da topologia e da polarização dos transistores [27].

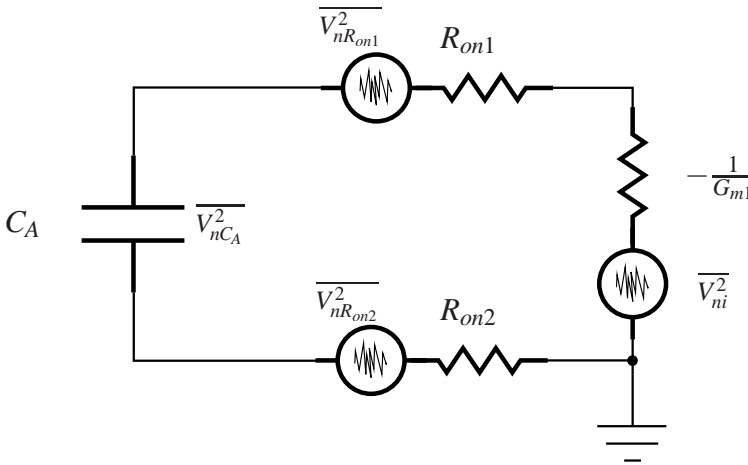


Figura 17: Circuito para analisar o ruído na amplificação.

Da mesma forma que na fase de amostragem, as potências de ruído das chaves e do OTA são somadas [26]:

$$\overline{V_{nC_A}^2} \Big|_{\phi_A} = \left(\frac{\eta_i + 2G_{m1}R_{on}}{1 + 2G_{m1}R_{on}} \right) \frac{k_B T}{C_A} \left(\frac{f_b}{F_{clk}/2} \right) \quad (20)$$

onde as chaves são consideradas idênticas e com o valor de resistência igual a R_{on} .

As outras fases não influenciam no ruído do DC-VGA. Portanto, a partir de (18) e (20), o valor do ruído *rms* total no capacitor de amplificação resulta na seguinte expressão:

$$\overline{V_{nC_A}} = \sqrt{\alpha \frac{k_b T}{C_A} \left(\frac{f_b}{f_s/2} \right)} \quad (21)$$

onde

$$\alpha = 2 + \frac{\eta_i + 2G_{m1}R_{on}}{1 + 2G_{m1}R_{on}} \quad (22)$$

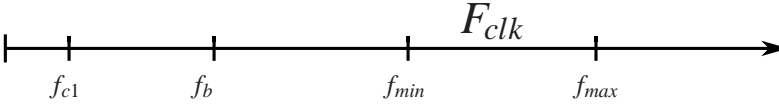


Figura 18: Representação da faixa de frequências válidas para a operação do DC-VGA: Frequência de operação (F_{clk}), frequência mínima de operação (f_{min}), frequência máxima de operação (f_{max}), frequência de canto do ruído flicker do OTA (f_{c1}) e frequência máxima do sinal de entrada (f_b).

2.3.5 Frequência de operação

Existe uma faixa ótima de frequência em que o DC-VGA deve operar. Graficamente, esta faixa é representada na Figura 18. Observe-se que a faixa está limitada por um valor mínimo (f_{min}) e por um valor máximo (f_{max}).

A frequência de operação é definida como:

$$F_{clk} = 1/T_{clk} \quad (23)$$

onde T_{clk} é o tempo necessário para completar todas as fases de operação do circuito (como foi indicado no diagrama de tempos da Figura 14).

O valor de (f_{min}) está definido pela frequência de canto (f_{c1}) referida à entrada da transcondutância principal do OTA (IN_1) e pela banda do sinal (f_b). De um lado, a frequência de operação deve ser maior do que a frequência de canto para que o processo de AZ seja executado satisfatoriamente. Do outro lado, uma vez que o DC-VGA é de natureza chaveada, a frequência de operação deve ser, pelo menos, o dobro da banda do sinal, como estabelece o critério de Nyquist. O fato da banda do sinal estar abaixo ou acima da frequência de canto depende das características do sinal.

No caso de (f_{max}), o seu valor deve garantir que haja o tempo suficiente para o funcionamento correto de cada uma das fases de operação. Por exemplo, a fase de *reset* (ϕ_R) deve assegurar a descarga do capacitor, o que leva a atender a seguinte condição:

$$T_R \geq kR_{on(R)}C_A \quad (24)$$

onde $R_{on(R)}$ é o valor da resistência das chaves (controladas por ϕ_R) quando encontram-se fechadas, e o fator k é usualmente escolhido como 5 para uma margem de erro⁴ muito pequena (menor que 0,001 %).

Uma condição similar deve ser garantida para a fase de amostragem:

$$T_S \geq k (R_G + 2R_{on(S)}) C_A \quad (25)$$

Já na fase de amplificação, o tempo deve ser avaliado para o ganho máximo que se deseja atingir, pois corresponde à sua duração máxima. A partir de (10), o tempo mínimo para atingir o máximo ganho especificado é dado por:

$$T_{A(min)} = \ln(G_{(max)}) \frac{C_A}{G_{m1}} \quad (26)$$

A soma dos tempos em (24), (25) e (26) determina o valor mínimo do ciclo de trabalho do circuito, o qual resulta em:

$$T_{clk} \geq \left[k(R_G + 3\overline{R_{on}}) + \frac{\ln(G_{(max)})}{G_{m1}} \right] C_A \quad (27)$$

onde $\overline{R_{on}}$ é o valor médio das resistências em todas as chaves.

A expressão em (27) assemelha-se a uma constante de tempo do tipo RC , onde o termo capacitivo é representado pelo capacitor de amplificação C_A e o termo resistivo, colocado entre colchetes. Neste último, destacam-se duas partes: no primeiro termos, encontram-se a impedância de saída da fonte de entrada somada às resistências das chaves e multiplicadas pelo fator k . Tipicamente, espera-se que este termo não seja superior a alguns $k\Omega$, considerando um circuito, prévio ao VGA, com características de *buffer* de tensão (baixa impedância de saída). No segundo termo, tem-se a razão entre o logaritmo natural do ganho máximo e a transcondutância do OTA. Mesmo que o logaritmo natural do ganho não seja alto (de 2,3 até 6,9 para um ganho que varia de 20 a 60dB), a

⁴Define-se este erro como a incerteza do valor final de carga com respeito ao valor que se deseja atingir.

razão pode chegar às centenas de $k\Omega$ ou alguns $M\Omega$ para baixos valores de G_{m1} . Assim, o segundo termo seria o mais significativo, o que equivale à frequência máxima de funcionamento sendo determinada principalmente pelo tempo da fase de amplificação.

Finalmente, deve-se comentar sobre o tempo que o processo de AZ exige para ser executado corretamente. No Anexo A, demonstra-se que o tempo de carga de C_{AZ} depende de G_{m2} e da sua tensão inicial. O tempo de carga pode ser ainda mais longo do que T_{clk} dependendo da razão G_{m2}/G_{m1} escolhida. Isto significa que, possivelmente, um ciclo de trabalho não seria suficiente para compensar o *offset*. Tais fatos não representam problema desde que C_{AZ} nunca seja aterrado. Dessa forma, o valor do ciclo anterior funcionará como condição inicial do ciclo seguinte, atingindo assim, a tensão de compensação final de forma gradual.

2.4 CONSIDERAÇÕES DE PROJETO

2.4.1 O OTA

Na escolha da topologia do OTA, a técnica de AZ deve ser levada em conta. Em [24], propõe-se fazer um OTA de dupla entrada onde a segunda porta (auxiliar) executa a compensação do *offset* referido à entrada principal. Isto pode ser feito em nível de transistores usando dois pares diferenciais compartilhando uma mesma carga, como ilustrado na Figura 19.

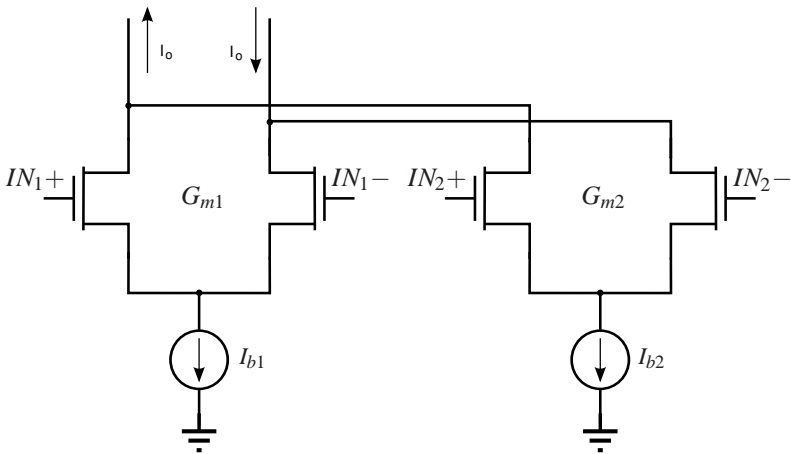


Figura 19: Representação do OTA de duas entradas adequado para a técnica de *Auto-Zero* (adaptado de [24]).

Esta técnica foi implementada no circuito final do DC-VGA, cujo diagrama esquemático é mostrado na Figura 20.

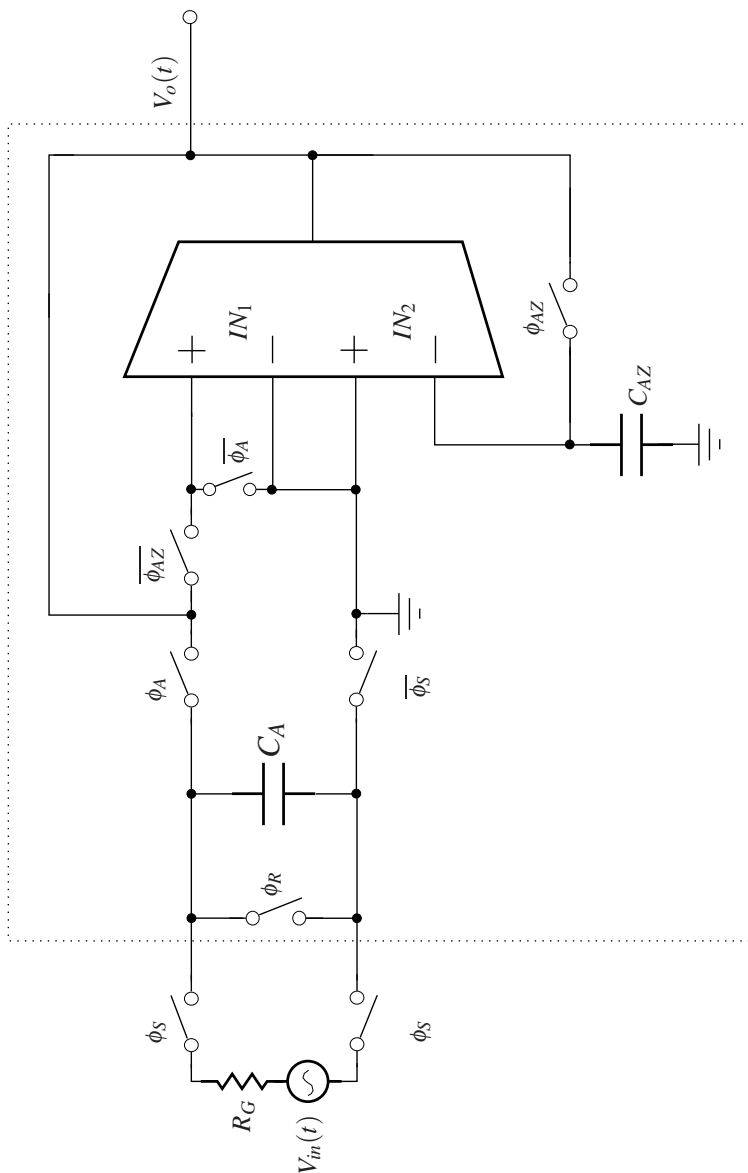


Figura 20: Diagrama esquemático do circuito final do DC-VGA baseado na implementação do OTA de dupla entrada proposta em [24].

Além da escolha da topologia, o OTA deve cumprir os seguintes requisitos:

- O ganho de tensão em malha aberta associado a G_{m2} (A_{v2}) deve ser suficientemente grande, já que existe um componente no *offset* residual (produto do processo de AZ) inversamente proporcional a este ganho [24]. Aproximadamente, este componente residual pode ser expresso por:

$$V_{os(res)} = \frac{V_{os1}}{A_{v2}} \quad (28)$$

onde V_{os1} é a tensão de *offset* referida à entrada de G_{m1} .

Este *offset* residual será amplificado em conjunto com o sinal de entrada, de modo que o seu valor máximo deve ser estimado e considerado durante o projeto.

- Como já citado na Seção 2.3.5, a frequência de canto referida à entrada IN_1 (f_{c1}) deve ser menor do que a frequência de operação do DC-VGA (F_{clk}) para que a técnica de *Auto-Zero* seja efetiva.
- As faixas lineares de tensão diferencial na entrada e as de modo comum na entrada (ICMR) e na saída (OVS) devem ser compatíveis com a excursão do sinal, uma vez que a entrada e a saída do OTA estão curto-circuitadas no momento da amplificação. A distorção total do DC-VGA é diretamente afetada se esta exigência não é respeitada.
- O consumo do OTA deve ser reduzido, já que é o único bloco com consumo DC e representa a maior parte do consumo do circuito.

2.4.2 As chaves

Na análise da Seção 2.3.5, foi mencionado que os valores de R_{on} podem ser desprezados se eles apresentam um valor baixo em relação aos outros termos resistivos da equação (27). Portanto, as chaves devem ser dimensionadas de modo a satisfazer esta condição. Adicionalmente, o valor de R_{on} influi no valor da constante de tempo (τ), como representado na Figura 21. O resistor negativo aparece em série com as resistências das chaves no momento da amplificação. Esta influência é expressada como:

$$\tau = \left(2R_{on} - \frac{1}{G_{m1}} \right) C_A \quad (29)$$

Portanto, necessita-se de baixos valores de R_{on} em comparação com $1/G_{m1}$ a fim de se garantir que a constante de tempo não varie significativamente.

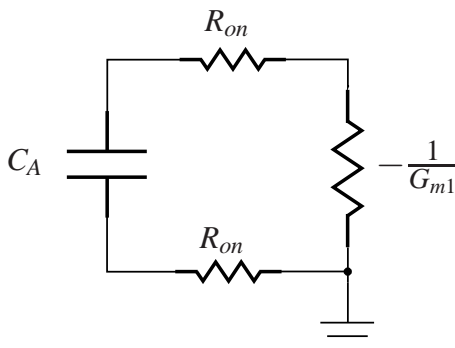


Figura 21: O efeito do R_{on} das chaves na constante de tempo (τ).

Outro problema inerente a circuitos chaveados é a injeção de carga. Este fenômeno é definido como a liberação de carga de um transistor no momento em que este é desativado [25]. Certa quantidade de carga é injetada também em razão do sinal de relógio por meio das capacitâncias parasitas da porta ao dreno e da porta à fonte. As fases de operação do DC-VGA apresentam alguns efeitos devido à injeção de carga. Considerando

o circuito esquemático na Figura 20, cada fase é analisada a seguir.

Na transição da fase de *reset* para a de amostragem, duas chaves são abertas. A primeira, é a de *reset* (chave ϕ_R), a qual injeta uma quantidade de carga no capacitor C_A . No entanto, o capacitor é ligado à fonte de tensão de entrada logo após (ϕ_S), de modo que a carga injetada pode ser desprezada. A outra chave é aquela controlada por ϕ_{AZ} . A tensão de compensação através do capacitor sofre uma perturbação, contribuindo com um termo adicional no valor do *offset* residual em (28):

$$V_{os(res)} = \frac{V_{os1}}{A_{v2}} + \frac{G_{m2}}{G_{m1}} \left(\frac{Q_{inj}}{C_{AZ}} \right) \quad (30)$$

onde Q_{inj} é a quantidade de carga injetada pela chave controlada por ϕ_{AZ} . Nota-se que seu efeito é atenuado pela razão entre as transcondutâncias do OTA. Esta equação é utilizada como critério para escolher um valor adequado da relação G_{m2}/G_{m1} .

Na transição seguinte, da fase de amostragem para a de amplificação, as duas chaves de amostragem são abertas (ϕ_S). Assumindo chaves idênticas, nenhuma carga resultante seria injetada no capacitor. Porém, o descasamento entre elas pode resultar em uma tensão de *offset* que será amplificada em conjunto com o sinal de entrada. Assim sendo, o *layout* destas chaves deve ser otimizado utilizando, por exemplo, a técnica de centróide comum. Além disso, algumas estruturas *dummy* podem ser adicionadas para reduzir a quantidade de carga injetada [24].

A próxima transição ocorre no fim da fase de amplificação. A chave que liga C_A com o OTA é aberta, causando uma variação na tensão no capacitor, a qual pode ser percebida como um pequeno *offset* DC. Entretanto, a amostragem e retenção (*S&H*) do sinal amplificado pode ser feita antes do final da fase de amplificação, assim suprimindo esta variação.

Finalmente, a última transição acontece ao ativar a fase de *reset* (ϕ_R). No entanto, não existem chaves abrindo-se, de modo que nenhuma carga é injetada.

2.4.3 Os sinais de controle

Assume-se que todos os sinais de controle serão gerados numa unidade de processamento digital ou controlador lógico. Desta forma, a lógica de geração de relógio não deve representar dificuldade, e portanto, não será projetada neste trabalho. Mesmo assim, os seguintes detalhes sobre a temporização dos sinais devem ser levadas em consideração:

- Os sinais ϕ_R e ϕ_S não devem ser sobrepostos para evitar curto-circuitar os terminais da fonte de sinal de entrada;
- Os sinais ϕ_S e $\overline{\phi_S}$ não devem ser sobrepostos para evitar curto-circuitar a tensão de modo comum do sinal com o do DC-VGA;
- A borda de subida de ϕ_A deve ser atrasada com referência à borda de subida de $\overline{\phi_S}$ para que o sinal amostrado já esteja referenciado ao modo comum do DC-VGA antes de ser amplificado;
- As transições de ϕ_{AZ} e $\overline{\phi_{AZ}}$ devem estar sincronizadas para manter o valor da tensão de compensação do ciclo de trabalho anterior;
- As transições de ϕ_A e $\overline{\phi_A}$ devem estar sincronizadas para que o C_A não se descarregue momentaneamente e a amplificação aconteça corretamente;
- ϕ_A e $\overline{\phi_{AZ}}$ não devem ser sobrepostos para evitar interferências entre as tensões nos capacitores C_A e C_{AZ} .

3 PROJETO DO DC-VGA E RESULTADOS OBTIDOS

O objetivo deste capítulo é apresentar a metodologia de projeto do DC-VGA, conjuntamente com os resultados de simulação e medição. Primeiramente, descreve-se o contexto a partir do qual as especificações técnicas foram construídas. Em seguida, o procedimento adotado na elaboração do circuito é apresentado, fazendo referência aos conceitos e considerações desenvolvidos ao longo do capítulo anterior. Depois disto, o projeto de cada bloco é descrito detalhadamente. Os resultados de simulação e medição são apresentados e discutidos. Na sequência, tais resultados são resumidos e comparados com as especificações e com o estado da arte.

O processo IBM 0,18 μ m CMOS padrão de 6 camadas de metal foi utilizado no projeto. Para a simulação e *layout* foram utilizadas as ferramentas da empresa *Cadence*. Todos os circuitos esquemáticos e *layouts* foram agrupados no Anexo D para melhor organização do capítulo.

3.1 ESPECIFICAÇÕES

O DC-VGA foi projetado dentro do contexto de um sistema de aquisição de biopotenciais. Esta escolha foi feita devido principalmente a uma motivação pessoal, pela contribuição deste trabalho na área de circuitos biomédicos ou bioeletrônicos. A repercussão de soluções tecnológicas nesta área é muito alta e traz benefícios para a sociedade. Adicionalmente, o contexto biomédico tem servido também como tema de enfoque em trabalhos anteriores realizados dentro do Laboratório de Circuitos Integrados da Universidade Federal de Santa Catarina [28–31] e acreditou-se importante a sua continuação.

Por outro lado, a partir da análise feita na Seção 2.3.5, previu-se um melhor funcionamento do circuito em frequências de operação na faixa de alguns kHz. Isto é verdade, uma vez que, se a duração da fase de amplificação é considerada a mais significativa em comparação com as

outras, a expressão do tempo mínimo para o ciclo de trabalho (apresentada em (27)) pode ser simplificada como:

$$T_{clk(min)} \approx T_{A(min)} = \ln(G_{(max)}) \frac{C_A}{G_{m1}} \quad (31)$$

Percebe-se o compromisso entre o tempo do ciclo de operação e as variáveis $G_{(max)}$, C_A e G_{m1} . Considerando que a frequência de trabalho é estabelecida a partir da função inversa da expressão em (31), esta relação fica mais clara reexpressando-a da seguinte forma:

$$F_{clk} \leq \frac{G_{m1}}{\ln(G_{(max)})C_A} \quad (32)$$

A relação em (32) revela que para se conseguir operar a frequências maiores mantendo fixo o valor do ganho máximo, é preciso dispor de uma transcondutância alta e um capacitor de baixo valor. No entanto, estas duas variáveis também estão relacionadas ao consumo DC (mais corrente para um G_m maior) e ao ruído ($k_B T / C_A$).

Pelos motivos supracitados, o projeto do DC-VGA foi delineado dentro da estrutura de um AFE semelhante ao ilustrado na Figura 2 (Seção 1.1). Partindo desse contexto, as especificações, mostradas na Tabela 2, foram determinadas.

Tabela 2: Especificações para o projeto do DC-VGA

Faixa de ganho	0 a 40 dB
Largura de banda	1 kHz
Consumo de potência	$\leq 10 \mu\text{W}$
Faixa linear @THD $\leq 0,5\%$	$\pm 400 \text{ mV}$
Área	$\leq 0,1 \text{ mm}^2$
Ruído equivalente na entrada	$\leq 100 \mu\text{V}_{\text{rms}}$

3.2 PROCEDIMENTO DE PROJETO

O primeiro passo no projeto do DC-VGA foi a seleção do capacitor C_A uma vez que sua escolha era um fator determinante no valor do ruído total, como indica a Equação (21). O valor deste capacitor também tinha influencia na frequência de operação do circuito. Esta frequência estava amarrada, por sua vez, ao valor da transcondutância G_{m1} . Os valores finais de C_A e G_{m1} foram encontrados a partir de uma sequência de iterações, onde em cada uma avaliou-se se a frequência de operação encontrava-se dentro da faixa de frequências permitidas, limitadas pela banda do sinal e pela aproximação indicada em (32) (como indicado na Figura 18). Depois de encontrar valores adequados para estas variáveis, proseguiu-se com o projeto do OTA, e em seguida, das chaves. Logo, o DC-VGA foi também implementado. O seu funcionamento e especificações foram verificados mediante simulações. O processo de projeto do DC-VGA encontra-se organizado no diagrama de fluxo apresentado na Figura 22.

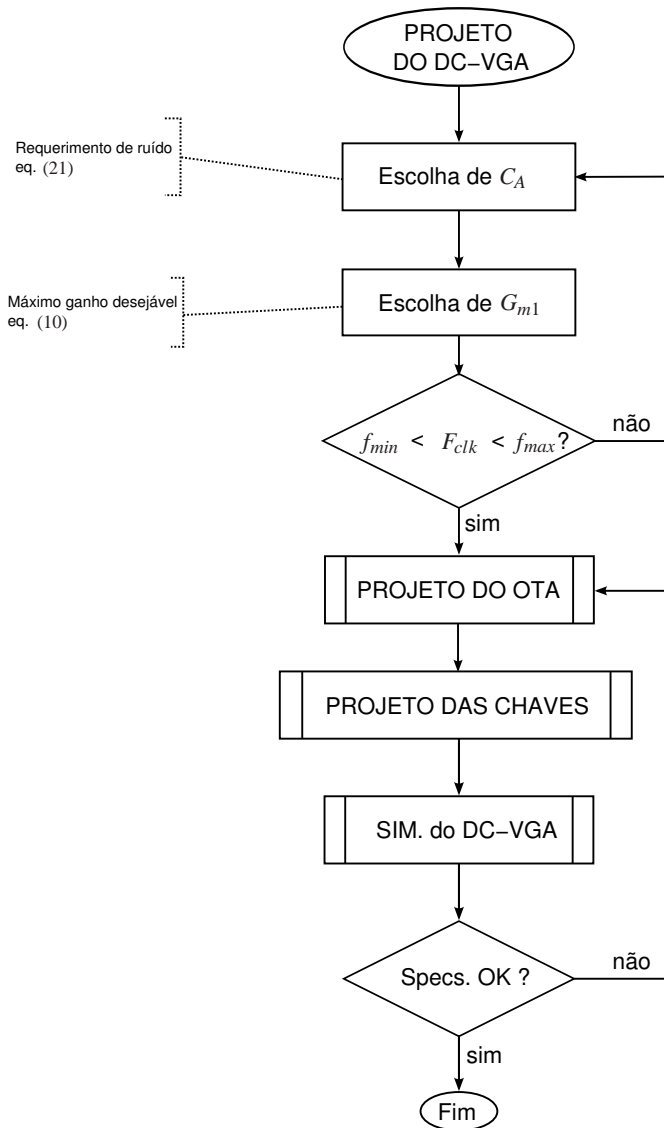


Figura 22: Diagrama de fluxo que descreve o procedimento adotado no projeto do DC-VGA.

3.3 PROJETO DO DC-VGA

3.3.1 Seleção do capacitor

Seguindo o procedimento apresentado no fluxograma da Figura 22, o valor de C_A foi o primeiro a ser definido. A escolha não foi direta, e foi preciso avaliar o compromisso entre ruído, frequência de operação e área. Dessa maneira, foi selecionado o valor de 100 pF. Esse valor representava um ruído equivalente na entrada da ordem de $30 \mu\text{V}_{(\text{rms})}$ na faixa de 1 kHz (Equação 21). Para este cálculo, foram considerados: $F_{\text{clk}} = 2 \text{ kHz}$, $R_{\text{on}} = 100 \Omega$, G_{m1} na faixa das centenas de μS e $\eta_i = 20$. Este último valor foi escolhido assumindo valores iniciais para os níveis de inversão dos transistores do OTA¹ e colocados na equação (12) desenvolvida no Anexo B. Do ponto de vista da frequência de operação, tendo $C_A = 100 \text{ pF}$ permitia respeitar a frequência de Nyquist. Até este ponto, o valor de 100 pF satisfazia tanto as especificações de ruído quanto as de frequência de operação. Porém, a estimativa da área também era importante.

Usualmente, os capacitores do tipo MOS são os que oferecem uma maior capacitância por unidade de área. No entanto, a linearidade deles só é mantida em uma faixa reduzida de tensão, fato importante que poderia ampliar a distorção no sinal do DC-VGA. Optou-se, então, por utilizar capacitores de dupla camada de metal (*dualmim capacitors*). Estes capacitores são implementados com duas das camadas mais altas disponíveis e a sua capacitância por unidade de área é de aproximadamente $4 \text{ fF}/\mu\text{m}^2$. Um capacitor de 100 pF equivalia a uma área estimada em $0,033 \text{ mm}^2$, considerando um incremento de até 50% devido às conexões necessárias e regras de espaçamento no *layout*. Esta área representava 33% da máxima área disponível pela especificação. O processo de fabricação utilizado neste projeto permitia colocar este tipo de capacitor acima de outros circuitos feitos em camadas inferiores. Portanto, se o OTA e as chaves fossem mantidas dentro da área do capacitor, o circuito total estaria

¹Prevvia-se que o par de entrada estaria em região de inversão moderada ou forte devido à especificação da faixa linear de entrada e que os outros transistores estariam na inversão fraca pela faixa do sinal requerida na saída.

definido só por este. Consequentemente, o valor de C_A em 100pF foi escolhido já que cumpria os requisitos de ruído, frequência de operação e área.

Embora o valor de C_A já estivesse definido, achou-se que seria também interessante poder usar um valor diferente para fins de teste. Por exemplo, o incremento do capacitor reduziria o ruído de saída. Porém, para ser perceptível, esta redução tinha que ser pelo menos de um fator 10. Assim sendo, um capacitor da ordem de 10nF tinha que ser utilizado (referindo-se a (21), para um mesmo η_i). O fato desse valor não ser integrável pelo seu alto consumo de área, fez com que dois pinos de conexão externa fossem inclusos no projeto, os quais ficariam em paralelo com o capacitor integrado de 100pF. Este alto valor de capacitância mudaria a constante de tempo τ , ocasionando que o circuito não atingisse a mesma faixa de ganho. Dessa forma, para permitir que os testes com os capacitores externo e integrado fossem equivalentes, o projeto de um OTA de transcondutância programável foi considerado. Referindo-se à equação do ganho do DC-VGA (10), com $C_A = 10\text{nF}$, a transcondutância G_{m1} tinha que ser aumentada em um fator 100, isto é, até o valor de $250\mu\text{S}$. Ressalta-se também que esta flexibilidade no circuito abre a possibilidade de realizar uma maior variedade de testes.

3.3.2 Projeto do OTA de dupla entrada e transcondutância programável

Uma revisão geral sobre topologias de OTAs foi feita em [32] e [33], onde os autores fazem uma comparação em termos de faixa linear de entrada, consumo de potência, área e ruído. Os requisitos gerais do DC-VGA demandavam um OTA com uma considerável faixa linear de entrada e saída, consumo baixo de potência, e ruído moderado. Além disso, a transcondutância programável teve também que ser considerada. Com base nestes requisitos, a topologia de OTA simétrico com saída simples foi escolhida, a qual é ilustrada na Figura 23.

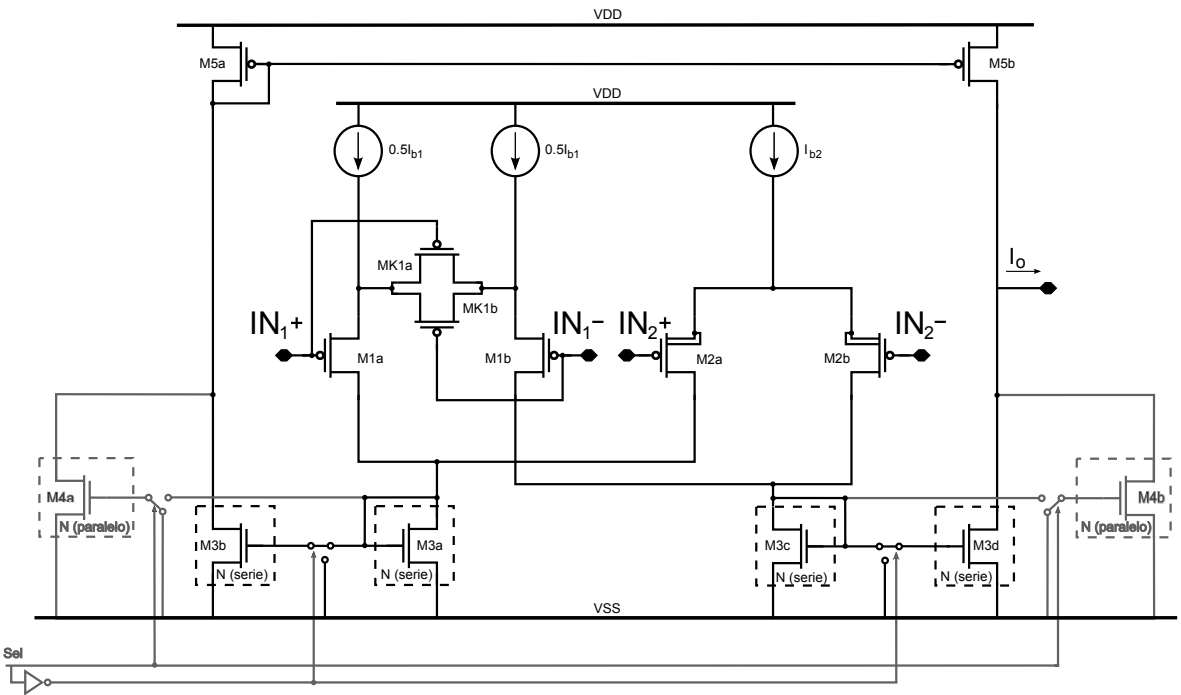


Figura 23: Proposta da topologia do OTA de duas entradas e transcondutância programável.

Tabela 3: Parâmetros do modelo ACM extraídos do processo de fabricação IBM 0,18 μm : tensão de limiar (V_{T0}), corrente de normalização de folha (I_{SH}) e fator de inclinação (n)

Parâmetro	nMOSFET	pMOSFET
V_{T0} [mV]	450	450
I_{SH} [nA]	130	28
n	1,16	1,25

Espelhos de corrente programáveis foram utilizados para atingir o fator de amplificação de 100 na transcondutância. Este fator foi implementado utilizando uma associação de N transistores em série e N em paralelo, ao invés de usar uma relação de 1 para N^2 em paralelo [25]. Isto é revelado no circuito, onde $N = 10$ e a troca entre o ganho 1 e 100 foi feita através do seletor “Sel”. Desta forma, a área dos espelhos foi distribuída eficientemente, economizando área e melhorando o casamento [34]. Adicionalmente, o par de entrada IN_1 foi linearizado devido ao requerimento da faixa linear. Neste caso, a técnica de degeneração de fonte apresentada em [35] foi escolhida. Para o dimensionamento dos transistores, o modelo ACM foi utilizado e a extração dos seus principais parâmetros foi feita seguindo o método sugerido em [25]. Estes parâmetros são mostrados na Tabela 3.

A primeira questão definida no projeto do OTA foi o valor de G_{m1} . De um lado, seu valor máximo era limitado pela resistência (R_{on}) das chaves durante a amplificação (Seção 2.4.2). O valor absoluto da resistência negativa ($1/G_{m1}$) devia ser maior do que o valor de R_{on} a fim de evitar uma mudança significativa no valor da constante de tempo τ . Fixando o valor máximo de R_{on} em 200Ω , pôde-se ter uma resistência negativa com valor mínimo de $4\text{k}\Omega$, ou equivalentemente, uma transcondutância menor do que $250\mu\text{S}$. Do outro lado, o valor mínimo de G_{m1} era limitado pelos valores da frequência de operação e do ganho máximo ($G_{(max)}$) do DC-VGA. A partir de (32), calculou-se que um valor próximo a 300nS permitia um ganho de 40dB operando no limite da frequência de Nyquist.

Como era necessário ter dois valores de transcondutância no OTA programável, o valor de $250\mu\text{S}$ foi adotado como o valor da transcondutância correspondente ao capacitor externo de 10nF . Em consequência, o valor de G_{m1} para o capacitor integrado resultou em $2,5\mu\text{S}$. Foi escolhido trabalhar no limite superior da faixa permitida das transcondutâncias ($250\mu\text{S}$) uma vez que valores mais altos permitiam operar o circuito a uma frequência mais elevada, afastando-se assim do limite traçado pelo critério de Nyquist. Por sua vez, verificou-se que o valor de $2,5\mu\text{S}$ era suficientemente baixo para manter o consumo DC do OTA menor ao especificado.

Próxima etapa foi a escolha do valor da razão G_{m1}/G_{m2} . Tinha-se comentado que este valor influenciava na tensão de *offset* residual (Equação (30)). Os limites desta razão foram definidos com base no critério de projeto apresentado em [24], como é mostrado na seguinte relação:

$$\frac{\frac{Q_{inj}}{C_{AZ}}}{V_{os(resmax)}} < \frac{G_{m1}}{G_{m2}} < \frac{V_{C_{AZ}(max)}}{V_{os(max)}} \quad (33)$$

O limite inferior depende da variação da tensão em C_{AZ} devido à carga injetada (Q_{inj}) e do valor máximo aceitável de *offset* residual ($V_{os(resmax)}$). O limite superior é definido pela faixa linear requerida na entrada IN_2 ($V_{C_{AZ}(max)}$) e pela tensão de *offset* máxima esperada para ser compensada ($V_{os(max)}$). Considerando tolerável um valor de *offset* residual de até $0,2\text{mV}$ e uma variação máxima devido à injeção de carga de 1mV , o limite inferior seria igual a cinco². Por outro lado, o limite superior seria igual a 15 caso defina-se uma faixa dinâmica máxima de 150mV em C_{AZ} e uma máxima tensão de *offset* referida à entrada IN_1 de 10mV . A relação escolhida para o projeto foi de 10, sendo importante que esta relação fosse mantida constante independentemente da excursão de tensão desenvolvida no capacitor C_{AZ} . Em relação ao valor deste capacitor, ela não só devia ser suficientemente grande para diminuir a injeção de carga, como também tinha que assegurar a estabilidade do OTA no momento da compensação

²O valor máximo de $0,2\text{mV}$ vezes o ganho de 40dB no DC-VGA resultaria em um *offset* de 20mV na saída, o qual foi considerado aceitável

do *offset*. Para este projeto, 20 pF foi o valor escolhido. Em termos de área, ele representava 20% do capacitor C_A . De acordo com uma estimativa prévia, a área prevista aumentou para 0,04 mm², a qual ainda estava em conformidade com as especificações de área do DC-VGA.

A última questão levada em conta foi o desempenho de ruído do OTA. Supôs-se que o ruído referido à entrada IN_1 seguia a expressão em (19), repetida a seguir:

$$\frac{\overline{V_{ni}^2}}{\Delta f} = \eta_i \frac{4k_B T}{G_{m1}} \quad (34)$$

A expressão do fator η_i , cujo desenvolvimento é apresentado no Anexo B, é função dos níveis de inversão dos transistores (i_f). Com base nesta expressão, η_i foi estimado em cada uma das iterações no projeto do OTA, para verificar se sua contribuição prevista no ruído total do circuito era superior à especificada.

O procedimento de projeto adotado é apresentado no fluxograma da Figura 24. Em primeiro lugar, a transcondutância e os níveis de inversão de ambos os pares de entrada são calculados. Para o par de entrada IN_1 , leva-se em consideração a faixa linear, valor de G_{m1} e fator η_i , enquanto que para IN_2 , G_{m1}/G_{m2} e o *offset* máximo esperado são considerados. Depois disso, a relação de aspecto (S) e a corrente de polarização (I_d) para cada par de entrada são obtidos; em consequência, o consumo de potência total é estimado. Se este exceder a especificação, algum ajuste deve ser feito no nível de inversão (principalmente no par IN_1 devido ao maior consumo comparado com o par IN_2), ou mesmo no valor de G_{m1} . Em seguida, as relações de aspecto dos transistores dos espelhos e polarização são calculadas. Neste ponto, a excursão do sinal na saída e na entrada podem ser estimadas, tendo em conta tanto a tensão de alimentação quanto o pior caso para a excursão de saída (quando a configuração espelho de ganho 100 é utilizada). Uma vez que todas as razões de aspecto foram obtidas, a área disponível é distribuída tendo a área do capacitor C_A como referência. Esta distribuição também considera a influência da área relativa na contribuição de cada transistor no ruído *flicker* total. Em seguida, as larguras e comprimentos de cada transistor são calculados.

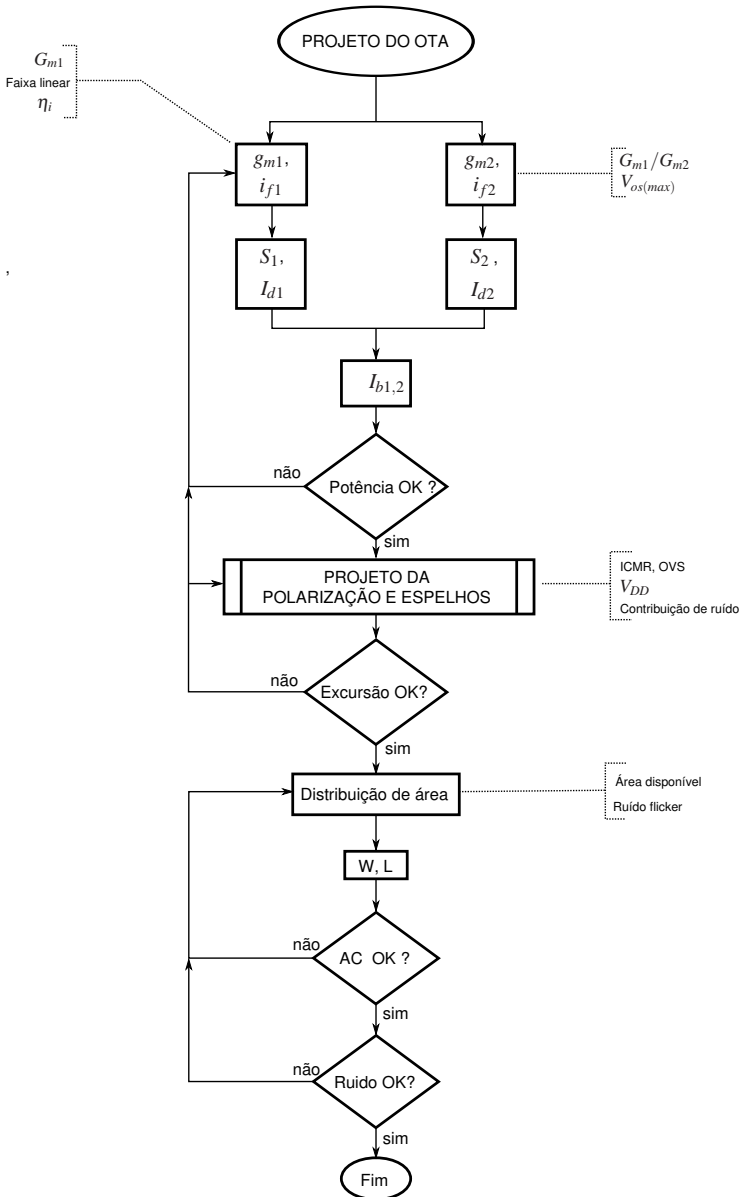


Figura 24: Diagrama de fluxo que descreve o procedimento adotado no projeto do OTA.

Finalmente, simulações AC devem ser feitas para, entre outras coisas, confirmar a estabilidade do OTA, verificar que o valor do ganho de tensão em malha aberta referente a G_{m2} seja suficientemente alto para não gerar um *offset* residual considerável e garantir que a frequência de canto (f_{c1}) mantenha-se abaixo da banda do sinal.

O circuito esquemático do OTA e do circuito de polarização são ilustrados nas Figuras 48 e 49 (Anexo D). O par de entrada IN_1 foi polarizado na inversão moderada, onde obteve-se um equilíbrio adequado entre linearidade e ruído. A dimensão dos transistores de degeneração escolhida foi 6 vezes menor do que a dos transistores do par, baseado na relação recomendada em [35]. A transcondutância dos transistores deste par (g_{m1}) tinha que ser maior do que o valor de G_{m1} devido à degeneração, e algumas iterações tiveram que ser feitas até conseguir o valor desejado de $2,5 \mu S$. O nível de inversão do par de entrada IN_2 foi também escolhido na inversão moderada, a qual foi suficiente para alcançar a faixa linear de 150 mV sem recorrer à degeneração. Além disso, a sua transcondutância foi ajustada a fim de obter 250 nS, para satisfazer a relação de $G_{m1}/G_{m2} = 10$. A corrente de polarização do par de entrada IN_1 (I_{b1}) resultou 18 vezes a do par de entrada IN_2 (I_{b2}). O consumo do OTA foi estimado em $2,7 \mu A$ e o do circuito de polarização em $0,7 \mu A$.

A partir do circuito esquemático também pode ser observado que espelhos em configuração *cascode* de alta excursão foram utilizados com o intuito de aumentar a impedância de saída. Eles foram polarizados, tal como sugerido em [25], a fim de otimizar a excursão de tensão na saída (OVS). Os transistores de polarização foram colocados na inversão fraca uma vez que os transistores do par de entrada foram projetados na inversão moderada, reduzindo a faixa de tensão na que os transistores de polarização podiam operar na região de saturação.

O *layout* do OTA é apresentado na Figura 50. A área foi distribuída de forma similar entre todos os transistores, com exceção dos de polarização e os empilhados (*cascode*). Especialmente, tomou-se cuidado com o projeto dos espelhos por causa do segundo polo adicional que surge na função de transferência do OTA, o que podia levar à instabilidade. A técnica de centroide comum foi utilizada só no par de entrada, enquanto que para os outros transistores utilizou-se

interdigitação. Podem ser observadas também as chaves para a seleção dos espelhos programáveis, as quais não ocuparam uma área significativa. As dimensões dos transistores e as características DC principais foram resumidas na Tabelas 7 e 8.

3.3.3 Projeto das chaves

Todos as chaves do DC-VGA foram feitas com transistores MOS complementares (CMOS) devido a que o terra analógico tinha um valor próximo da metade da tensão de alimentação. Isto significa que as chaves iriam operar dentro da sua “zona cega”, onde a condutância é extremamente baixa porque a operação dos transistores é levada à inversão fraca [25]. A relação de aspecto das chaves foi escolhida visando $R_{on} \leq 200\Omega$. O comprimento do canal foi fixado no mínimo valor permitido pelo processo de fabricação. As larguras do transistor nMOS e pMOS foram definidas em $10\mu\text{m}$ com multiplicidade 1 e 4, respectivamente. A área das chaves foi controlada para garantir que a injeção de carga estimada não cause uma tensão de *offset* maior do que 1 mV, assumindo as chaves em inversão forte com $i_f = 500$. O *layout* das chaves controladas por ϕ_S e daquelas controladas por $\overline{\phi_S}$ e por ϕ_A requereram atenção particular para reduzir o efeito do descasamento na injeção de carga. Assim, foi utilizada a técnica de centroide comum, como pode ser visto na Figura 51.

3.4 RESULTADOS DE SIMULAÇÃO E DADOS DE MEDIÇÃO

As simulações foram feitas a partir dos circuitos extraídos após o *layout* dos mesmos. Vale ressaltar que estas simulações foram feitas a temperatura ambiente nominal de 27 graus Celsius. Para as medições, só 5 amostras estavam disponíveis.

3.4.1 Resultados de simulação e caracterização do OTA

A verificação experimental do OTA foi feita utilizando o analisador de parâmetros de semiconductor HP4156C. A tensão de modo comum (terra analógico) do circuito foi determinada a partir dos resultados das simulações da ICMR. O intervalo analisado foi de 0,4V a 1,4V, considerando a máxima excursão linear requerida pelas especificações. Devido à topologia do OTA, os melhores resultados foram obtidos com valores mais próximos da metade da tensão de alimentação. Finalmente, a tensão de modo comum foi escolhida em 0,8V, portanto todos os resultados seguintes consideram este valor.

A resposta linear referida à entrada IN_1 é mostrada na Figura 25(a). Ela foi medida através da corrente de saída em função da tensão de entrada diferencial. Plotou-se também a diferença entre a corrente medida e a corrente de um OTA linear ideal do mesmo valor de transcondutância, definida como “erro”. Considerando um erro máximo de 5%, a faixa linear do OTA ficou em aproximadamente ± 430 mV. Como o OTA deve manter a faixa linear exigida no DC-VGA, este resultado foi bastante satisfatório.

A transcondutância foi obtida pela derivada da corrente de saída em relação à tensão de entrada, sendo sua curva resultante mostrada na Figura 25(b). O valor médio obtido foi de $2,6 \mu\text{S}$, com uma variação de 15 nS.

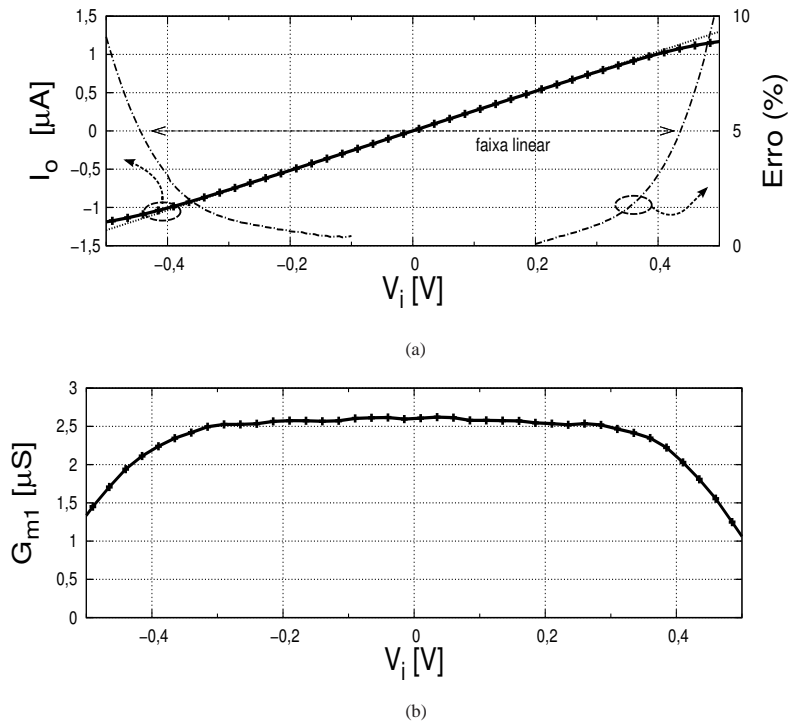


Figura 25: Faixa linear do OTA em função a uma tensão diferencial na entrada IN_1 : calculada a partir da (a) corrente de saída medida e o erro referenciado à resposta de um OTA ideal. Também é mostrada em (b) a transcondutância calculada a partir da derivada da corrente medida.

O desvio padrão de G_{m1} devido ao descasamento e a variações do processo também foi estimado mediante simulações Monte Carlo de 100 amostras. O histograma é apresentado na Figura 26, onde o desvio em 3σ foi inferior a $0,1 \mu\text{S}$, ou equivalentemente, menor a 4%. Os resultados da análise de Monte Carlo são consistentes com a variação medida, apresentando apenas um deslocamento no valor médio da transcondutância.

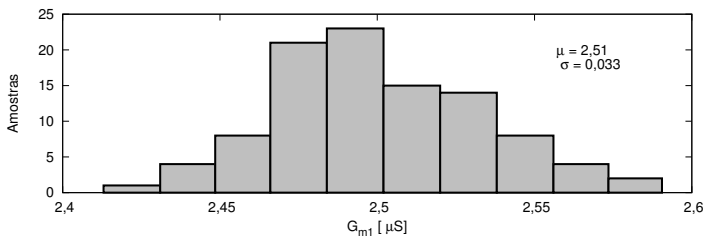
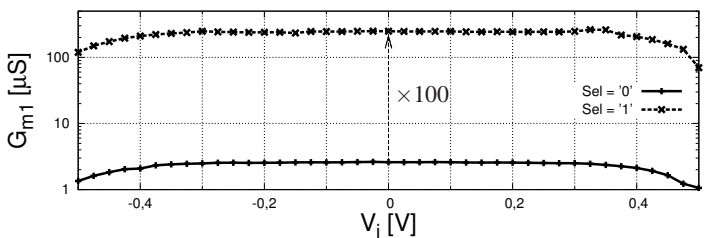
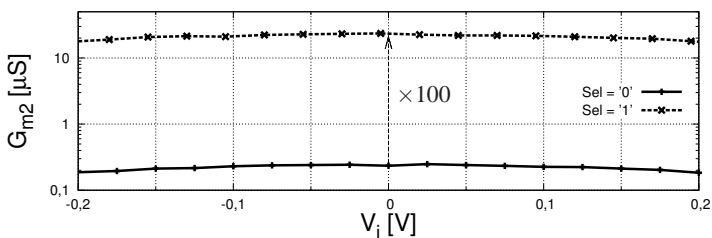


Figura 26: Histograma do valor de G_{m1} a partir da análise de Monte Carlo feito para 100 simulações, considerando variações de processo e descasamento.



(a)



(b)

Figura 27: Valores medidos das transcondutâncias (a) G_{m1} e (b) G_{m2} , para ambas as configurações de transcondutância (através do seletor *Sel*).

Adicionalmente, G_{m1} e G_{m2} foram medidas para ambas as configurações da transcondutância a fim de se verificar também o funcionamento do OTA programável. Os resultados podem ser observados nas Figuras 27(a) e 27(b), onde o fator de 100 vezes entre cada configuração pode ser notado em ambas as figuras. Percebe-se também que a razão G_{m1}/G_{m2} é constante na faixa de tensão desejada de 150 mV, conforme requerido.

A análise DC do OTA é concluída com o resultado da excursão de tensão na saída (OVS). Ela foi calculada a partir da impedância de saída, como apresentado na Figura 28. A OVS efetiva foi de ± 450 mV em torno da referência analógica, resultado próximo do obtido para a faixa linear de entrada. Ambos os resultados foram bons indicadores de um desempenho satisfatório em termos da distorção total do DC-VGA dentro da faixa linear exigida.

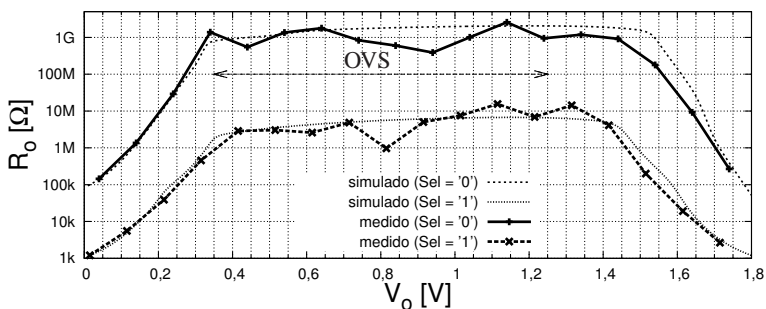


Figura 28: Cálculo da OVS a partir da medição da impedância de saída do OTA para ambas as configurações de $G_{m1} = 2,5 \mu\text{S}$ (a) e $G_{m1} = 250 \mu\text{S}$ (b).

Medidas AC não foram feitas, mas sim simulações para poder estimar o seu comportamento em frequência. Os resultados do ganho em malha aberta e fase são apresentados na Figura 29 referente a G_{m1} e G_{m2} , respectivamente. Da margem de fase, foi concluído que o OTA seria estável em ambos os casos.

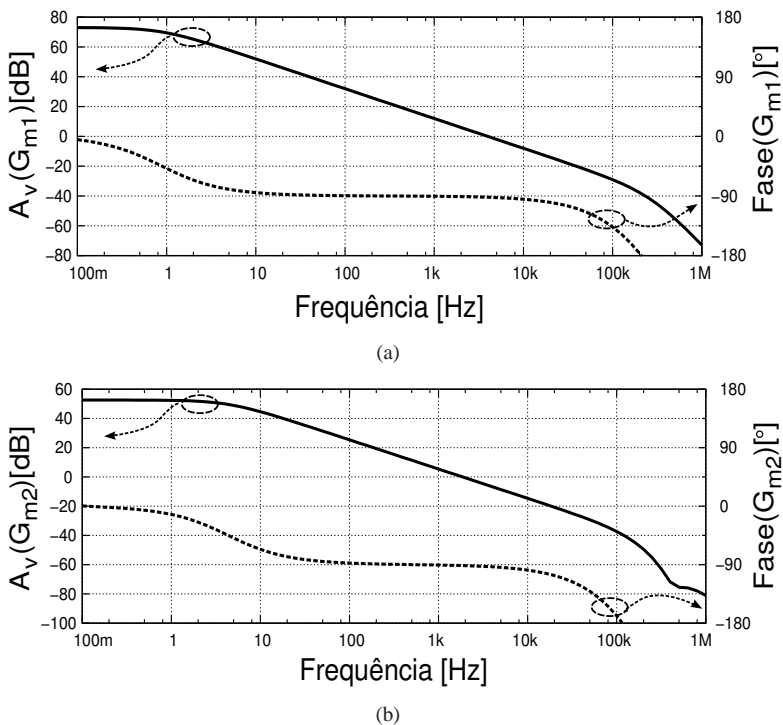


Figura 29: Resposta simulada em frequência referente à entrada (a) IN_1 e (b) IN_2 .

O ganho em malha aberta referente a G_{m2} foi 10 vezes (20dB) menor do que o relativo a G_{m1} , como esperado da topologia do OTA já que os dois pares de entrada compartilham a mesma carga e a diferença do ganho está dada só pela relação G_{m1}/G_{m2} . No caso do ganho referente a G_{m2} , o valor ficou em aproximadamente 50dB, o qual resultou próximo do limite recomendado por [24] e deduzido de (30). Este valor pode ser aceitável desde que a tensão de *offset* referido a IN_1 seja inferior aos (estimados) 10mV. Das amostras medidas, obteve-se que a maior tensão de *offset* foi de 2,9mV. Adicionalmente, foi feita uma estimativa da tensão de *offset* mediante as simulações Monte Carlo prévias. O valor foi calculado a partir da corrente de *offset*, definida como a corrente de saída do OTA para uma tensão diferencial igual a zero.

O histograma desta corrente é mostrado na Figura 30. Seu valor médio corresponde ao *offset* sistemático. O desvio em 3σ resultou em 13nA. Finalmente, a tensão de *offset* foi obtida dividindo este desvio em corrente pela transcondutância G_{m1} , o que deu uma máxima tensão estimada de *offset* de 5,2mV. Portanto, foi determinado que o ganho de malha referente a G_{m2} era suficientemente elevado para poder desprezar a sua contribuição no *offset* residual.

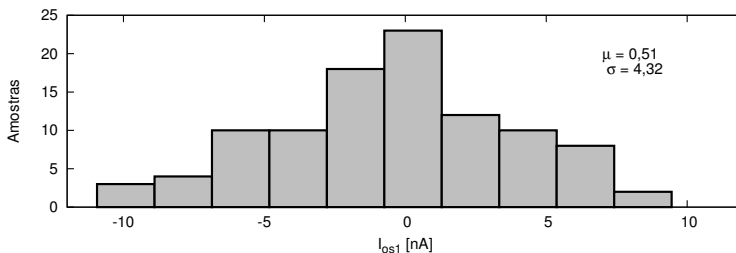


Figura 30: Histograma da corrente de *offset* para a estimativa da tensão de *offset* referida à entrada a partir de 100 simulações.

Finalmente, os resultados de simulação do ruído referidos à entrada IN_1 se apresentam na Figura 31, onde o eixo 'y' representa a densidade espectral de potência (PSD). A contribuição de ruído térmico foi de aproximadamente $1,45 \times 10^{13} \text{V}^2/\text{Hz}$. Referindo-se à Equação (19), este valor corresponde a um fator η_i de 23, portanto, o ruído esperado na saída associado a G_{m1} seria de $32,2 \mu\text{V}_{\text{rms}}$ (a partir de (21)). O valor estimado de η_i a partir da expressão desenvolvida no Anexo B foi de 35, resultando na mesma ordem de grandeza. A frequência de canto foi de aproximadamente 250 Hz, limitando a mínima frequência de operação ao esse valor para executar corretamente a técnica de *Auto-Zero*.

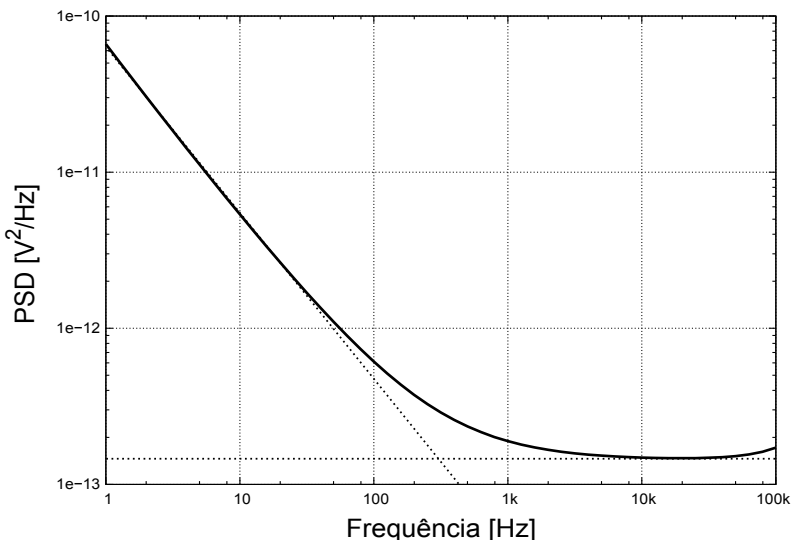


Figura 31: Densidade espectral de potência do ruído referido à entrada IN_1 a partir de simulação.

3.4.2 Resultados de simulação e medição das chaves

Simulações para extrair o R_{on} das chaves foram feitas incluindo os casos extremos (*corners*) chamados de *fff* (*fast-fast-funcional*) e *ssf* (*slow-slow-funcional*), que incluem a variação de até 3σ nos parâmetros de tensão de limiar e mobilidade, principalmente. Assim, procurou-se garantir que R_{on} não fosse superior a 200Ω ante qualquer variação do processo.

Os resultados de simulação, junto com os de medida são apresentados na Figura 32. O valor típico foi previsto como próximo de 125Ω . Para o caso *ssf*, quando a tensão limiar dos transistores é maior, o valor máximo resultou em aproximadamente 190Ω . Do resultado medido, obteve-se um valor máximo de 165Ω .

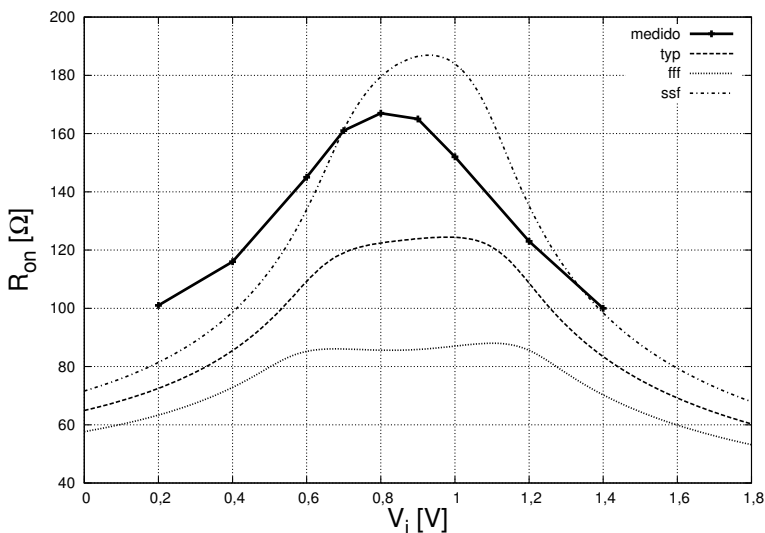


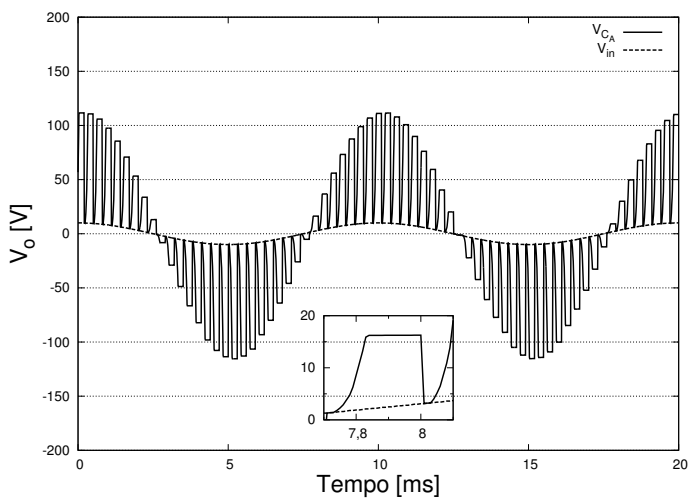
Figura 32: Comparação de resultados de simulação e de medição da resistência equivalente numa das chaves caracterizadas quando encontra-se fechada.

3.4.3 Resultados de simulação do DC-VGA

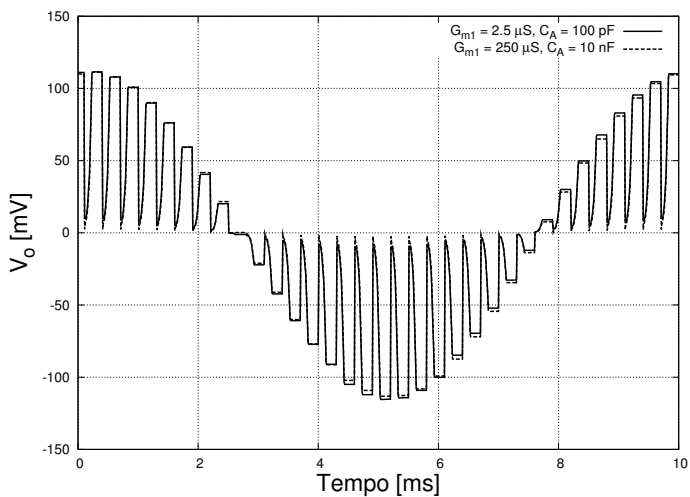
A área total do circuito foi de aproximadamente $0,08\text{mm}^2$. O OTA e as chaves ocuparam uma área de $0,038\text{mm}^2$ (Figura 52). O *layout* do DC-VGA é apresentado na Figura 53. Apenas ficaram visíveis os capacitores uma vez que estes foram posicionados acima do OTA e das chaves. No caso de não ter utilizado este recurso, a área total teria resultado em aproximadamente $0,12\text{mm}^2$. O capacitor C_A foi agrupado em 5 capacitores unitários de 20nF , igual ao valor do capacitor C_{AZ} . Os sinais de controle foram conectados até os pinos do chip através de inversores, os quais foram utilizados como *buffers*. A microfotografia do circuito pode ser vista na Figura 54. Aqui também, observa-se apenas a área ocupada pelos capacitores. Para fins de teste, uma réplica do OTA e das chaves foi também incluída no chip. A distribuição dos blocos é ilustrada na microfotografia da Figura 55.

O funcionamento do DC-VGA foi validado mediante simulações pós-*layout*. A forma de onda na saída do circuito é apresentada na Figura 33(a) para um tempo de amplificação de $100\mu\text{s}$ e um ciclo de trabalho de $300\mu\text{s}$. O valor de 0V no eixo vertical representa ao nível de modo comum. O ganho teórico calculado no DC-VGA foi de 13V/V aproximadamente, o qual foi conferido a partir da curva. Percebe-se um deslocamento DC de aproximadamente 4mV , o qual representa à tensão de *offset* residual amplificada. A tensão na entrada foi ilustrada também o qual ajuda a verificar que o circuito acompanha a este sinal durante o momento da amostragem. As fases de amostragem e amplificação podem ser observadas mais claramente no *zoom* da figura.

Adicionalmente, o funcionamento do OTA programável foi verificado comparando as respostas de ambas as configurações de transcondutância. Os resultados são apresentados na Figura 33(b). No caso do capacitor externo, um capacitor ideal de 10nF foi usado. As curvas mostram um ganho muito similar, o qual confirma que as constantes de tempo ficaram muito próximas.



(a)



(b)

Figura 33: Tensão de saída do DC-VGA simulada para (a) $G_{m1} = 2,5 \mu\text{S}$ e (b) ambas as configurações de G_{m1} , com $T_A = 100 \mu\text{s}$, $T_{clk} = 300 \mu\text{s}$ e sinal de entrada de $100 \text{ mV}_p - 100 \text{ Hz}$.

3.4.3.1 Faixa linear

A distorção do DC-VGA foi calculada em função da amplitude do sinal de entrada e mantendo o ganho fixo. Assim, para cada valor de amplitude, a THD na saída foi calculada³. Os resultados são apresentados na Figura 34 para $T_A = 100\mu s$ e uma variação no sinal de entrada desde $10mV_p$ até $55mV_p$. A faixa linear foi considerada para $THD < 0,5\%$, resultando em aproximadamente $\pm 450mV$. Foi incluída a variação do ganho (normalizada ao valor do ganho quando $V_o = 100mV_p$). Pode ser observado que a sua variação total na faixa linear foi inferior a $0,2dB$.

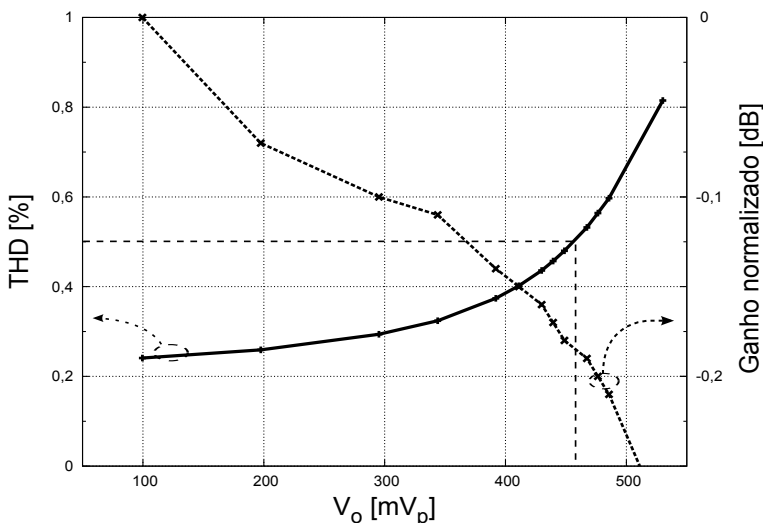


Figura 34: Cálculo da faixa linear de operação do DC-VGA em função à THD, a partir de simulações com o sinal de entrada em 100Hz e variando a sua amplitude de 10 a $55mV_p$, para $T_A = 100\mu s$. A variação do ganho normalizado ao valor de $V_o = 100mV_p$ também é mostrada.

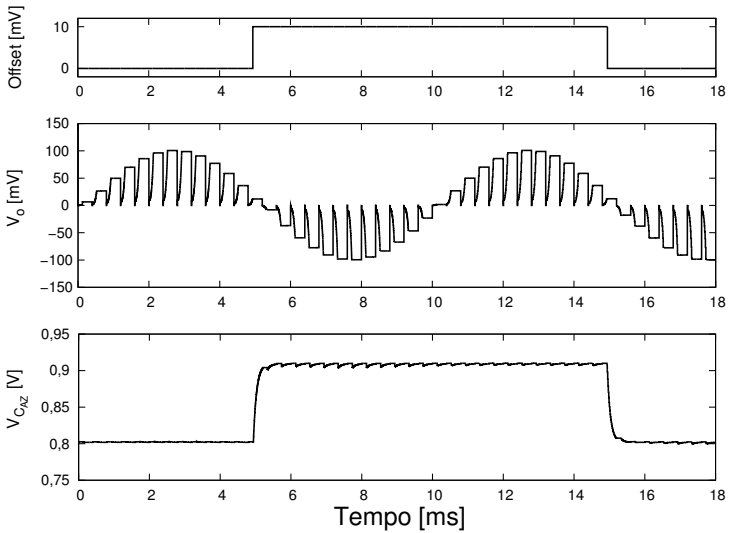
³O sinal de saída do DC-VGA foi amostrada e filtrada idealmente, e depois calculou-se a THD de um período da onda com 1024 amostras utilizando a função “thd” da ferramenta calculator do ambiente de simulação *Virtuoso-ADE*.

3.4.3.2 Desempenho da técnica de *Auto-Zero*

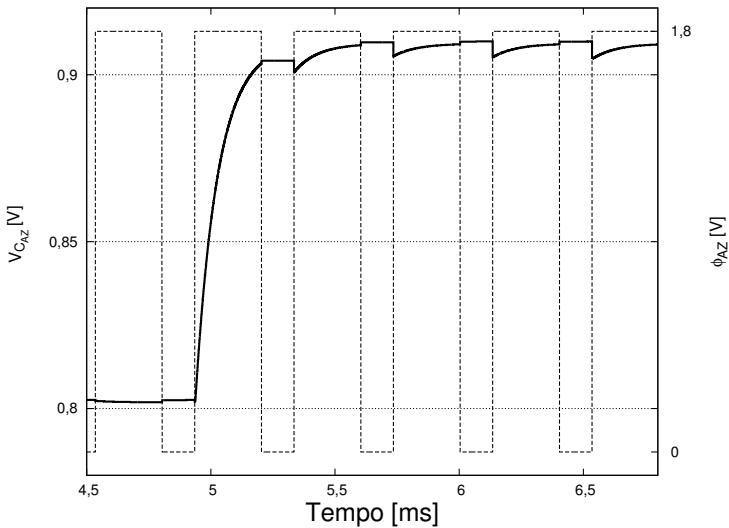
A técnica de AZ foi avaliada inserindo um pulso de tensão de *offset* na entrada do OTA e observando a sua resposta dinâmica. Desta forma, a resposta pôde ser verificada com poucas simulações, sem necessidade de rodar simulações Monte Carlo, o que teria consumido tempo excessivo. Embora o maior valor estimado de *offset* tenha sido de 5,2 mV, escolheu-se provocar 10 mV para demonstrar que o circuito era capaz de responder até este valor (suposto no início do projeto). O resultado da simulação é apresentado na Figura 35(a) para $T_A = 100 \mu\text{s}$ e $T_{clk} = 400 \mu\text{s}$.

Na parte superior da figura, o *offset* induzido é mostrado, e embaixo, a saída do DC-VGA. Os dois momentos, antes e depois da inserção do *offset*, produzem respostas similares, o qual comprova o funcionamento da técnica de AZ no circuito. Complementa-se estes resultados mostrando na parte inferior a tensão de compensação V_{CAZ} , a qual desenvolve-se no capacitor C_{AZ} . No momento da injeção do *offset*, esta tensão cresce aproximando-se ao valor calculado em 900 mV, definido por (13). Já que a constante de tempo τ_2 era aproximadamente $80 \mu\text{s}$ ($G_{m2} = 250 \text{ nS}$ e $C_{AZ} = 20 \text{ pF}$), V_{CAZ} precisava de aproximadamente 5 vezes este tempo para atingir o valor final. Neste caso, o tempo T_{AZ} era menor, e portanto, levou mais de um ciclo de trabalho para se atingir a tensão final de compensação, como previsto na Seção 2.3.5.

Complementando a análise do AZ, a Figura 35(b) mostra uma vista mais próxima da tensão V_{CAZ} junto com o sinal de controle ϕ_{AZ} . Observa-se que V_{CAZ} encontra-se aproximadamente 2 mV acima do modo comum. Este valor corresponde ao *offset* sistemático do OTA (previamente calculado) multiplicado pela razão G_{m1}/G_{m2} . Além disto, percebe-se o efeito da injeção de carga causada pela chave controlada por ϕ_{AZ} a cada momento em que esta é desativada. A injeção causou uma variação máxima de $850 \mu\text{V}$, a qual foi menor ao limite desejado de 1 mV.



(a)



(b)

Figura 35: Teste de funcionamento da técnica de *Auto-Zero* a partir de simulações: Acima, tensão de *offset* aplicada na entrada IN_1 , no meio, tensão de saída do DC-VGA, embaixo, tensão de compensação em C_{AZ} (a), e *zoom* desta tensão junto com o sinal de controle do processo de AZ (b). Simulações feitas com $G_{m1} = 2,5 \mu S$, $C_A = 100 \text{ pF}$ e $C_{AZ} = 20 \text{ pF}$.

3.4.3.3 Faixa de ganho

O teste do ganho variável foi avaliado observando a resposta do DC-VGA para diferentes valores de T_A e mantendo a amplitude do sinal de entrada constante. Alguns dos resultados destas simulações são apresentadas na Figura 36, onde cada onda representa a saída do DC-VGA depois de passar por um filtro passa-baixas ideal. O ganho foi calculado para cada valor de T_A , e assim obteve-se uma curva de ganho por tempo de amplificação. Este processo foi feito para diferentes frequências de operação e os resultados são mostrados na Figura 37.

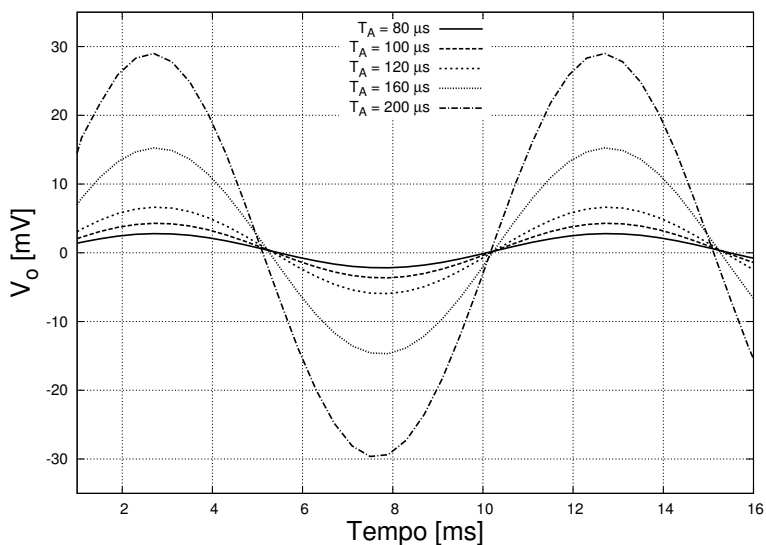


Figura 36: Tensão de saída (filtrada) do DC-VGA simulado para diferentes tempos de amplificação.

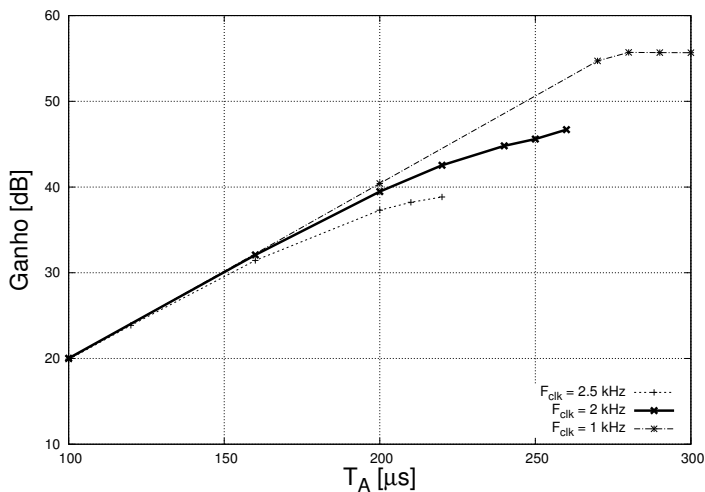


Figura 37: Curva característica do DC-VGA construída a partir de simulações, a qual mostra o ganho pelo tempo de amplificação.

A curva de $F_{clk} = 2$ kHz foi escolhida como a referência para a especificação (duas vezes a banda do sinal), e a partir dela obteve-se uma faixa de ganho de 45 dB. Ao mesmo tempo, conferiu-se que a THD se manteve menor que 0,5%. O consumo dinâmico também foi medido calculando a corrente média fornecida pela fonte de alimentação. Para o caso $F_{clk} = 2$ kHz e $T_A = 100 \mu$ s, o consumo total foi de $3,53 \mu$ A, sendo $3,33 \mu$ A a parte de consumo estático e $0,2 \mu$ A de consumo dinâmico.

As outras duas curvas apresentadas para $F_{clk} = 1$ kHz e $F_{clk} = 2,5$ kHz indicam que a faixa de ganho pode ser maior ou menor trabalhando dependendo da frequências de operação. Tal comportamento foi explicado a partir de simulações, onde foi percebido que trabalhar a frequências maiores deixavam o tempo de carga do sinal de compensação V_{CAZ} muito pequeno. Em consequência, um erro considerável era introduzido, o qual, ocasionalmente, causava instabilidade no circuito. Este efeito foi observado a maioria dos casos com sinais de entrada pequenos e ganhos elevados.

3.4.3.4 Resposta em frequência

A partir do resultado anterior foi concluído que a frequência de operação (F_{clk}) apresenta um limite máximo para cada valor de ganho. Assim, haverá uma resposta em frequência do DC-VGA para cada ganho determinado. Dessa forma, foi realizada uma varredura em F_{clk} mantendo fixo o valor de ganho (ou T_A). Os resultados obtidos são apresentados na Figura 38. O eixo vertical representa o ganho em dB normalizado ao ganho obtido para $F_{clk} = 1$ kHz. Nota-se o ponto de queda de -3 dB para cada valor de T_A . Tomando como referência a curva de $T_A = 200 \mu s$, já que representa um ganho próximo aos 40 dB requeridos, o DC-VGA pode operar até 2,5 kHz. Este resultado equivale a uma banda de 1,25 kHz.

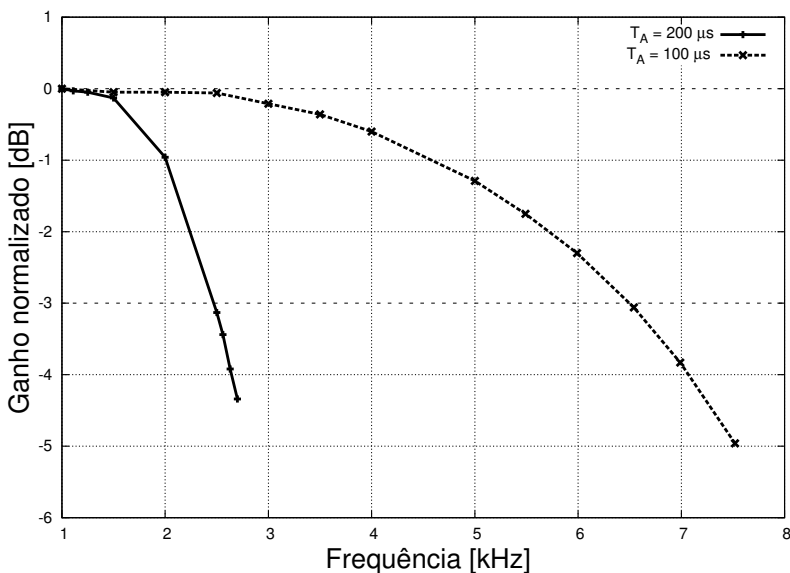


Figura 38: Resposta do ganho do DC-VGA em função da frequência simulado para dois valores de tempo de amplificação.

3.4.3.5 Rejeição ao modo comum

Uma vez que o DC-VGA amostra diferencialmente o sinal de entrada, esperava-se que circuito o tivesse um CMRR alto. No entanto, suspeitava-se que este valor seria afetado devido à injeção de carga devido ao sinal de modo comum. Por isso, as simulações para obter a CMRR foram realizadas também utilizando chaves modeladas em *verilog-A* para comparar os resultados com as chaves extraídas a partir do *layout*. O ganho de modo comum foi simulado aplicando um sinal aos dois terminais de entrada curto-circuitados e medindo o ganho na saída. Depois, o CMRR foi calculado a partir da razão entre o ganho diferencial e ganho de modo comum para um mesmo valor de T_A . Os resultados são mostrados na Figura 39 para 3 valores diferentes de tensão pico de modo comum na entrada. O modelo em *verilog-A* descrevia dois valores de resistências diferentes para quando a chave estava fechada ($R_{on} = 125\ \Omega$) e aberta ($R_{off} = 100\ \text{G}\Omega$). Observa-se uma diferença considerável entre ambos os resultados. A análise destes resultados não foi aprofundada.

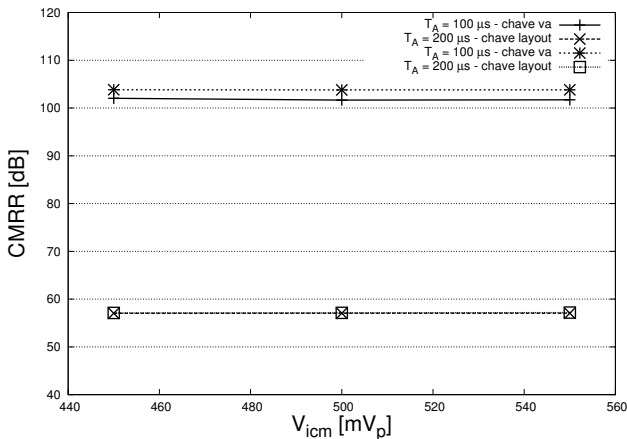


Figura 39: Rejeição de modo comum simulada a partir do *layout* extraído e comparada com outra simulação utilizando um modelo ideal para as chaves.

3.4.4 Resultados preliminares da medição do DC-VGA

Para o teste do DC-VGA, houve necessidade de gerar os sinais de controle a partir de algum tipo de controlador lógico. A placa de desenvolvimento *DE2* da companhia *Altera* foi escolhida, a qual integra o FPGA *Cyclone II*. Preferiu-se trabalhar com o FPGA ao invés de um microcontrolador pelas funcionalidades que estavam inclusas na placa de desenvolvimento, como chaves, pulsadores, indicadores LED, além de contar com várias portas de entrada e saída, o que permitia flexibilidade nos testes do chip. Uma primeira rodada de testes foi feita com o intuito de verificar o funcionamento do circuito. O chip foi colocado numa placa de prototipação (*proto-board*) e as tensões e corrente de polarização do chip foram obtidas do analisador de parâmetros de semicondutor HP4156C.

Na Figura 40 observa-se a saída do circuito amplificando um sinal de 25mV_p para um tempo de amplificação de $100\mu\text{s}$, configuração do OTA de $250\mu\text{S}$ e capacitor externo de 10nF . Além dos pulsos exponenciais, nota-se que o sinal passou também por um circuito de amostragem e retenção utilizando uma chave integrada no chip para esta função e um capacitor externo de 100pF . O ganho teórico estava estimado em 20dB o qual concordou com a amplitude pico-a-pico do sinal. Ademais, foi percebido que o sinal de saída estava deslocado em DC em aproximadamente 20mV (com respeito ao modo comum), o que equivale a uma tensão de *offset* referida a entrada de 2mV . O resultado utilizando o capacitor integrado de 100pF mostrou uma tensão de *offset* ainda maior. Em primeira ordem, este resultado pode-se explicar como uma combinação de efeitos devidos à injeção de carga, imprecisões na temporização dos sinais de controle e algum acoplamento capacitivo não levado em conta na análise teórica.

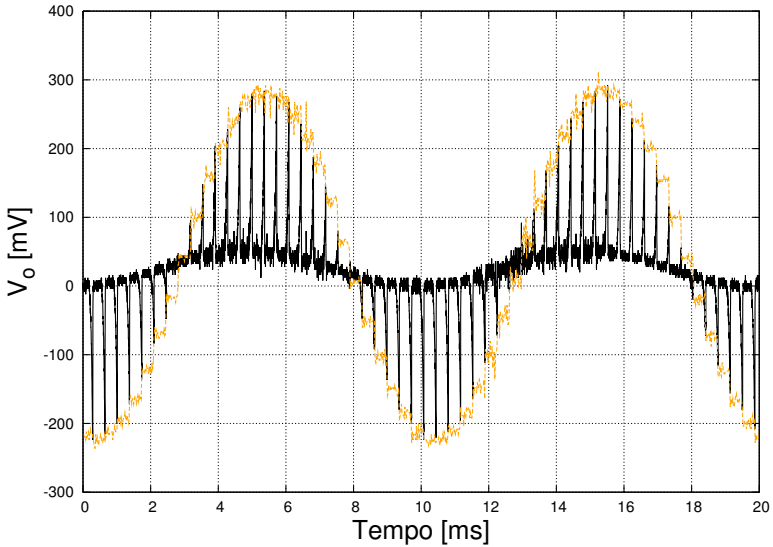


Figura 40: Tensão medida na saída do DC-VGA junto com o sinal amostrado e retido num capacitor externo, para um sinal de entrada de 100Hz e 25 mV_p com $G_{m1} = 250 \mu\text{S}$, $C_A = 10 \text{nF}$, $F_{clk} = 5,5 \text{kHz}$ e $T_A = 100 \mu\text{s}$.

Complementando os resultados deste teste, a Figura 41 mostra a resposta do DC-VGA para três valores de T_A , o qual confirma a mudança do seu ganho mediante a largura de pulso do sinal de controle.

Uma segunda versão dos testes incluirá a produção de uma placa feita especificamente para o chip do DC-VGA visando conseguir maior quantidade de resultados e com maior confiabilidade.

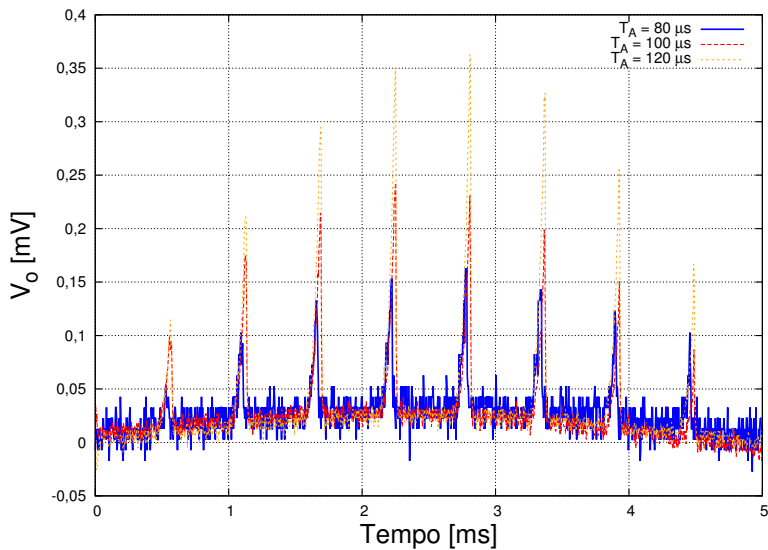


Figura 41: Tensões medidas na saída do DC-VGA para um sinal de entrada de 100 Hz e 25 mV_p para diferentes valores de T_A , com $G_{m1} = 250 \mu$ S, $C_A = 10$ nF e $F_{clk} = 2$ kHz.

3.5 RESUMO DE RESULTADOS

Os resultados obtidos a partir das simulações pós-*layout* do circuito estão resumidos na Tabela 4. As especificações apresentadas no início do projeto (Tabela 2) foram incluídas também. Na maioria dos casos, estes resultados foram apresentados com referência a uma frequência de operação de 2kHz. Verifica-se que as especificações foram atingidas. No caso do ruído, este apenas foi estimado através das expressões desenvolvidas neste trabalho. Espera-se a preparação da placa de testes do chip, para poder complementar a caracterização do circuito. Certamente, sendo este do tipo “sinal misto”, a validação em silício é muito importante.

Tabela 4: Resultados obtidos a partir das simulações do DC-VGA

Parâmetro	Especificação	Resultados
Faixa de ganho	≥ 40 dB	45 dB (@ $F_{clk} = 2$ kHz)
Largura de banda	1 kHz	1,25 kHz (@ $G = 40$ dB)
Faixa linear @THD $\leq 0,5\%$	± 400 mV	± 450 mV
Ruído equivalente na entrada	$\leq 100 \mu V_{rms}$	$32 \mu V_{rms}$ (estimado com (21))
Área	$\leq 0,1$ mm ²	0,08 mm ²
Consumo de potência	$\leq 10 \mu W$	$6,4 \mu W$ (@ $F_{clk} = 2$ kHz, $T_A = 200 \mu s$)

Em complemento às especificações, comparam-se, na Tabela 5, os resultados obtidos com os de outras implementações. Verifica-se que as características de faixa de ganho, largura de banda, área e consumo de potência estão de acordo com o reportado no estado da arte. Em

particular, destaca-se a grande vantagem que tem o DC-VGA por contar com uma resolução de ganho contínua. O circuito proposto em [17], como já comentado previamente, apresenta outra maneira, também contínua, de ajustar o ganho, feita através da diferença de fases de dois sinais digitais. Em consequência, torna-se interessante a comparação entre esta técnica e a utilizada no DC-VGA. Do ponto de vista da faixa de ganho, o trabalho em [17] reporta uma faixa efetiva de até 62dB a uma frequência de amostragem de 20kHz. Além disto, a largura de banda para a mesma frequência de amostragem, é de 10kHz. Ambas as figuras de mérito são mais altas do que as obtidas neste trabalho, porém, a diferença reflete-se no consumo de potência, também maior. Devido à diferença entre os processos de fabricação utilizados e ao fato dos circuitos serem principalmente conformados por elementos analógicos, a comparação entre as áreas não pode ser feita diretamente. Do ponto de vista do papel do circuito, o amplificador em [17] foi utilizado como primeiro estágio de ganho; portanto, a especificação de ruído era muito importante, o qual também pode ter justificado o consumo alto de potência. Já no caso do DC-VGA, assim como no caso das outras implementações apresentadas na tabela, o ruído não era crítico, sendo que estavam pensados como segundo estágio de ganho. Portanto, esta figura de mérito não foi incluída na tabela. Finalmente, a geração de sinais de controle é considerada muito similar, logo, assume-se uma quantidade de recursos lógicos equivalentes requeridos para ambos os circuitos.

Tabela 5: Comparação dos resultados com o estado da arte

Parâmetro	[9]	[10]	[18]	[11]	[17]	Este trabalho
Faixa de ganho [dB]	14 – 34	6 – 20,8	-6 – 18,5	16 - 28	10 – 62	0 – 45
Resolução	4	4	4	16	Contínua	Contínua
Largura de banda máxima [Hz]	150	252	7,8k	500	10k	1,5k
Consumo de potência [μ W]	-	<0,5	<2,5	2	280	6,4
Área [mm ²]	0,32	0,05	<0,3	0,25	0,064	0,08
Tensão de alimentação [V]	$\pm 1,5$	1	1	1,7	$\pm 1,5$	1,8
Processo de fabricação	0,5 μ m	0,35 μ m	0,35 μ m	0,18 μ m	0,35 μ m	0,18 μ m

4 IMPLEMENTAÇÃO DE UM AFE PARA MEDIÇÃO DE SINAIS DE ECG

Em complemento ao projeto descrito no capítulo anterior, deve-se pontuar a vantagem de testar o circuito em uma aplicação concreta, e dessa forma verificar o conceito da amplificação proposta no DC-VGA. Devido a isto, uma implementação discreta do circuito foi desenvolvida em paralelo. A medição de sinais de ECG foi selecionada para realizar os testes pela compatibilidade com as especificações da versão integrada. Não só o DC-VGA foi implementado, como também foi necessário construir todo o estágio analógico de entrada. Como desafio adicional, o AFE foi projetado para ser capaz de adquirir sinais cardíacos utilizando somente dois eletrodos; característica vista como tendência durante a revisão da bibliografia referente à aquisição de biopotenciais. Outro ponto que merece ser mencionado é que esta implementação resultou numa publicação [36] para a conferência internacional de instrumentação e tecnologia de medição (I2MTC). Este capítulo resume os principais resultados obtidos nas medições de sinais cardíacos através do AFE implementado. Maiores detalhes podem ser consultados no artigo citado [36].

4.1 O AMBIENTE DA MEDIÇÃO DE ECG COM 2 ELETRODOS

As principais características dos sinais de ECG considerados no desenvolvimento do AFE estão resumidas na Tabela 6. Observa-se que o sinal apresenta uma amplitude muito baixa, e aumentá-la até níveis de alguns volts requer um fator de amplificação de pelo menos 1000 (60 dB). Por outro lado, a faixa de frequências necessária em ECG para objetivos clínicos vai até os 100 Hz. Isto permitiu ao DC-VGA trabalhar comodamente a frequências próximas de 1 kHz. Finalmente, a impedância equivalente da interface pele/eletrodo varia numa faixa de até 100 k Ω aproximadamente. Portanto, a impedância de entrada do AFE devia ser superior a este valor para não haver perda na amplitude do sinal de entrada.

Tabela 6: Principais características dos sinais de ECG

Amplitude	$\leq 1 \text{ mV}$
Banda de interesse	0,5–100 Hz
Máxima impedância da interface pele/eletrodo	100 k Ω

Adicionalmente, a medida de ECG com 2 eletrodos faz com que o sinal de interferência de modo comum proveniente da linha de tensão de 60 Hz seja muito alto. Certamente, isto não acontece nos sistemas tradicionais que utilizam um terceiro eletrodo, o qual coloca o corpo do paciente na referência do circuito. Por isto, o AFE contou com uma técnica de controle de modo comum e com um CMRR suficientemente alto. Mais detalhes sobre os sinais de ECG e medição com dois eletrodos são expostos no Anexo E.

4.2 CARACTERÍSTICAS DO AFE

O circuito do AFE é representado na Figura 42. Este foi composto por um amplificador de instrumentação (IA), um filtro passa-baixas, um detector de amplitude pico-a-pico (PD) e um microcontrolador (uC). O ADC representa a interface que o AFE teria com algum processador de dados ou DSP. Inicialmente, o IA amplifica o sinal vindo dos eletrodos. Depois, o sinal passa por um filtro passa-baixas. Por último, o ADC digitaliza o sinal. Ressalta-se o ganho variável do IA com base no DC-VGA. Esse ganho é ajustado pelo microcontrolador, o qual recebe a informação da amplitude do sinal do PD.

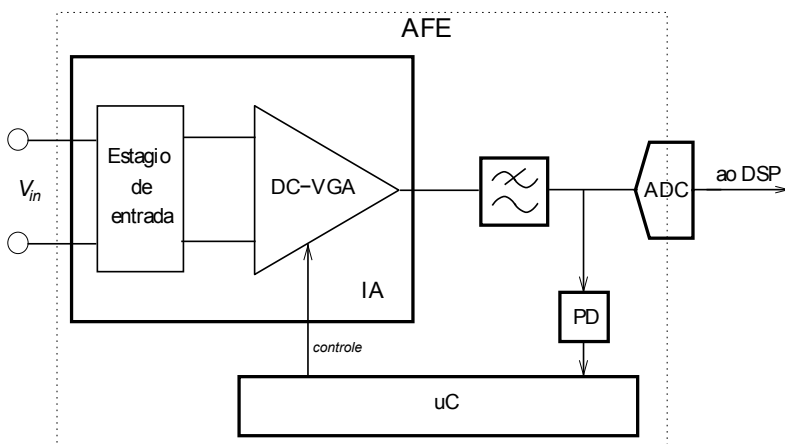


Figura 42: Diagrama de blocos do AFE implementado para medida de ECG com dois eletrodos.

4.2.1 O amplificador de instrumentação com ganho variável

O IA está formado por duas partes: um estágio de entrada que pré-amplifica o sinal bloqueando a componente DC e controla a excursão do sinal de modo comum, e uma segunda etapa baseada no DC-VGA, a qual fornece o ganho variável.

Os detalhes da implementação do estágio de entrada podem ser consultados no artigo em anexo. O DC-VGA segue a topologia proposta na sua versão integrada, mas a resistência negativa foi realizada com base na implementação que utiliza um OPAMP, ao invés de um OTA, similar ao trabalho em [15]. Isso devido à disponibilidade de OPAMPs comerciais.

4.3 RESULTADOS DE MEDIÇÕES

O ganho variável do DC-VGA foi caracterizado a uma frequência de trabalho de 1kHz, utilizando um capacitor C_A de 10nF e uma resistência negativa equivalente de 2.2k Ω [36]. A curva característica do ganho por tempo de amplificação é apresentada na Figura 43. A constante de tempo foi estimada em 22 μ s a qual concordou com o cálculo teórico feito a partir da equação do ganho, considerando as tolerâncias dos componentes e a resistência das chaves. O desvio no ganho medido em relação ao estimado para os casos de ganho mais alto pôde ser explicado em termos da sua sensibilidade à frequência de operação e à constante de tempo (Anexo C).

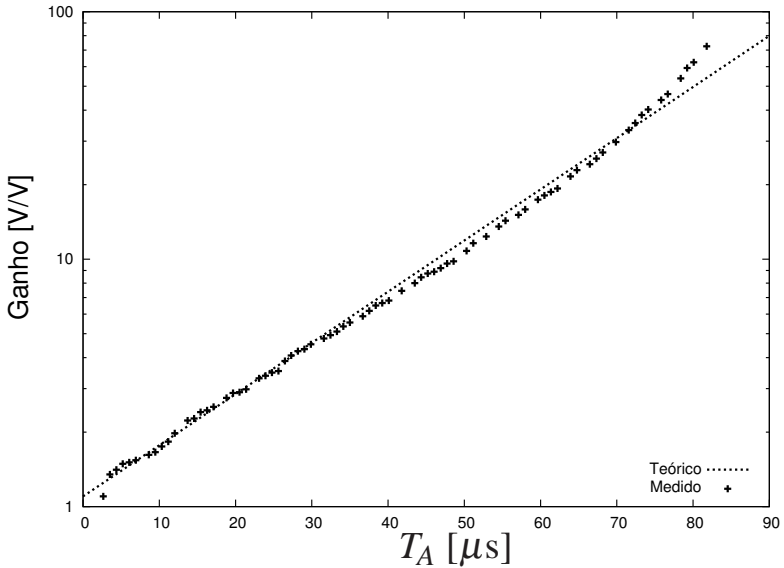


Figura 43: Curva característica medida e estimada de ganho do DC-VGA pelo tempo de amplificação.

Para as medidas de ECG, o ganho do DC-VGA foi fixado em aproximadamente 30 V/V e a frequência de corte do filtro passa-baixas em 100 Hz . O sinal de saída do filtro foi salvo durante um tempo determinado. Em seguida, esta informação foi filtrada em 60 Hz através de um *script* elaborado no programa *Octave*. O resultado do sinal de ECG é apresentado na Figura 44. A curva mostra o sinal sendo amplificado e comprova que o modo comum foi controlado satisfatoriamente, assim evitando a saturação dos componentes do AFE.

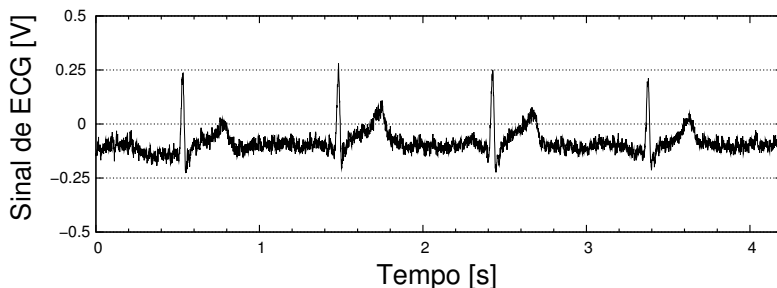


Figura 44: Sinal de ECG medido utilizando dois eletrodos.

Finalmente, o controle de ganho automático foi testado. Um gerador de sinais de ECG foi utilizado para facilitar as medições, o qual produzia um sinal de próximos dos 2 mV_{pp} . Os resultados são apresentados na Figura 45. O sinal na saída da etapa de entrada do IA aparece na parte superior. Este sinal tem uma amplitude constante de aproximadamente 50 mV_{pp} devido ao ganho de 26 V/V nessa etapa. Ao meio, o sinal de saída do AFE é mostrado. A sua amplitude varia no tempo até que ela atinge o valor programado no microcontrolador. Neste caso, uma amplitude de entre $1,3$ a $1,4\text{ V}$ foi escolhida. Por último, a evolução do ganho do IA (avaliado a cada 1 segundo) é representada ao longo do tempo. Este sinal é um reflexo da largura de pulso do sinal de controle vindo do microcontrolador.

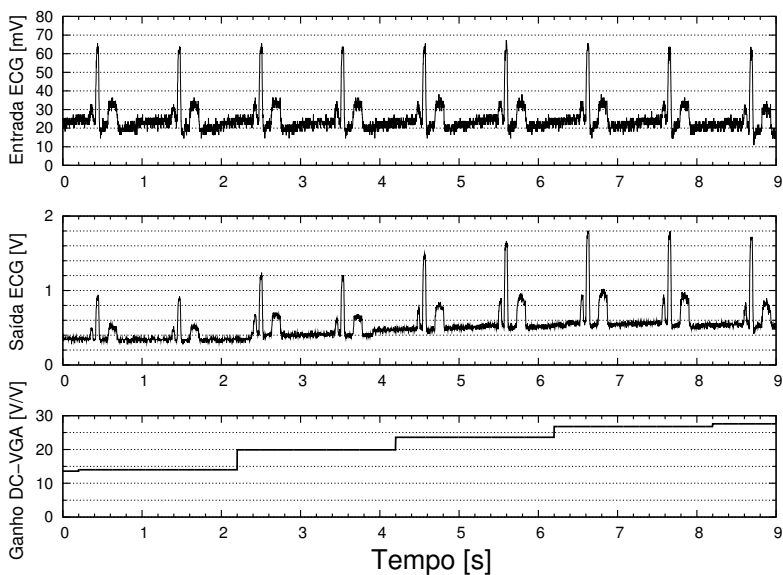


Figura 45: Resultados de medida do teste do circuito de AGC: acima, sinal na saída do pré-amplificador, ao meio, resposta do IA, embaixo, estimativa do ganho do DC-VGA em função ao tempo.

5 DISCUSSÕES E CONCLUSÕES

Neste trabalho, buscou-se desenvolver um amplificador de ganho variável cujo controle é feito mediante a razão cíclica de um sinal digital. O amplificador foi nomeado como DC-VGA, do inglês *Duty-cycle Controlled Variable-Gain Amplifier*. A arquitetura do circuito foi baseada no princípio superregenerativo, criado por Edwin Armstrong para o receptor superregenerativo de sinais de RF. Através desta técnica, consegue-se amplificar o sinal a partir da instabilidade do circuito. Para isto utiliza-se basicamente um capacitor e uma resistência negativa, os quais representam à constante de tempo negativa do circuito necessária para provocar a instabilidade do mesmo. O DC-VGA foi pensado como parte de um sistema de aquisição de sinais biopotenciais, especificamente, como elemento de ganho ajustável dentro de um estágio analógico de entrada. A sua principal vantagem é providenciar um controle fino de ganho, prescindindo de um conversor digital/analógico na interface de controle. Estas características convertem ao circuito proposto em uma alternativa precisa e prática em comparação com VGAs convencionais.

A respeito a implementação do DC-VGA integrado, o OTA que utilizou-se para sintetizar a resistência negativa foi o bloco mais complexo de ser projetado. Ele devia cumprir, principalmente, com um valor de transcondutância fixo de $2,5\ \mu\text{S}$, uma linearidade igual à exigida no circuito ($\pm 400\ \text{mV}$), possuir um ruído menor a $1,6 \times 10^{13}\ \text{V}^2/\text{Hz}$ e ter um consumo DC menor a $10\ \mu\text{W}$ (sendo ele o elemento com maior consumo no circuito). Foi difícil lidar com estas especificações devido ao compromisso entre as mesmas. Por exemplo, a faixa linear requereu um nível de inversão alto no par de entrada, elevando o ruído térmico dos outros transistores referido à entrada de maneira considerável. Além disto, o consumo do OTA estava diretamente relacionado ao valor da transcondutância, que, por sua vez, estava limitado pela constante de tempo do circuito.

Para tornar os testes do DC-VGA mais flexíveis, adicionou-se a possibilidade de colocar externamente o capacitor de amplificação. Além disto, o OTA foi projetado para contar com dois valores de

transcondutância. Certamente, o projeto do OTA poderia ter sido otimizado ainda mais se a transcondutância programável não tivesse sido contemplada. O fato de ter espelhos programáveis resultou em um incremento na área de aproximadamente 10%, a qual poderia ter sido utilizada para reduzir ainda mais o ruído flicker, se a aplicação o tivesse requerido. Ademais, já que os transistores pMOS que serviam como espelho de corrente foram utilizados para ambas as configurações de transcondutância, foi necessário dimensioná-los de modo que seus níveis de inversão na configuração da transcondutância mais alta ainda permitissem atingir a faixa linear requerida na saída (OVS). Dessa forma, na configuração de transcondutância mais baixa, os níveis de inversão obtidos foram muito menores com respeito aos transistores do par de entrada, o qual previa um incremento no ruído térmico total.

O nível de ruído acabou sendo imposto principalmente pelo valor do capacitor de amplificação. Felizmente, a possibilidade de colocar os capacitores acima de outros blocos resultou em um aproveitamento da área de silício disponível, permitindo utilizar um valor de capacitância relativamente alta (100 pF). Cabe ressaltar que não todos os processos de fabricação disponibilizam capacitores *dualmim*, sendo os feitos de polissilício uma outra alternativa que também conta com uma capacitância por unidade de área relativamente elevada. No caso do projeto do DC-VGA, se o OTA e as chaves não tivessem sido colocados embaixo dos capacitores, a área teria resultado em aproximadamente 20% maior do que a especificação.

Outra questão que merece ser mencionada é o valor da tensão de *offset* detectado a partir das simulações e medições realizadas. A análise teórica considerou alguns efeitos para estimar esta tensão, como a injeção de carga devido as chaves e o ganho finito do OTA. Contudo, o resultado medido excedeu o valor previsto, do qual infere-se que existem outras fontes de erro no circuito. A combinação destas fontes podem ter convergido também na causa da diminuição do valor do CMRR esperado. O fato de colocar os capacitores acima do OTA e das chaves também pode ter causado algum acoplamento parasita, mas o estudo deste impacto não foi aprofundado. Sugere-se que uma futura pesquisa investigue mais detalhadamente estas fontes de erro.

Embora espere-se realizar medições que complementem a caracterização do circuito, de modo geral os resultados preliminares de simulação e medição do DC-VGA apresentados até o momento comprovam a funcionalidade do circuito e da técnica de amplificação baseado no conceito superregenerativo. Vale ressaltar que a implementação do protótipo a nível de componentes discretos ajudou também a conferir o conceito. Em uma seguinte implementação, o objetivo principal será otimizar o desempenho de consumo dentro de especificações ainda mais restritas para uma determinada aplicação. Se espera, também, que este trabalho abra a possibilidade da criação de uma gama de outros circuitos implementados sob as mesma técnica, como por exemplo amplificadores de instrumentação, filtros chaveados e conversores A/D.

Em complemento ao exposto, acredita-se que um dos principais objetivos alcançados ao longo deste trabalho foi o de casar o projeto do circuito integrado com a implementação de um sistema eletrônico testado em uma aplicação real. Implementar um circuito em silício de forma satisfatória requer um determinado conhecimento específico o qual é desenvolvido durante o tempo do mestrado. Entretanto, o tempo que fica disponível para poder comprovar a verdadeira utilidade desse circuito é comumente limitado ou mesmo pouco valorizado. Na medida do possível, considera-se muito valioso o preparo de um ambiente de teste para poder validar o funcionamento do circuito dentro de condições de contorno reais. É por tal motivo que neste trabalho dedicou-se uma importante fração de tempo na construção das especificações do projeto com base nas experiências e imprevistos que somente apareceram no momento em que sentou-se na bancada de testes. A partir deste aprendizado, uma placa (atualmente em preparação) voltada para aquisição de sinais biopotenciais foi pensada para finalizar com a validação deste primeiro protótipo do DC-VGA integrado.

REFERÊNCIAS

- [1] PALLAS-ARENY, R.; WEBSTER, J. G. Introduction to Sensor-Based Measurement Systems. In: *Sensors and Signal Conditioning*. 2. ed. [S.l.]: John Wiley & Sons, Inc., 2000. p. 1–70.
- [2] RAZAVI, B. Transceiver Architectures. In: *RF Microelectronics*. [S.l.]: Prentice Hall, 1998. cap. 5, p. 118 – 165.
- [3] OH, N.-J.; LEE, S.-G. A CMOS 868 / 915 MHz Direct Conversion ZigBee Single-Chip Radio. *IEEE Communications Magazine*, v. 43, n. 12, p. 100–109, dez. 2005.
- [4] JOCKE, S. C. et al. A 2.6 uW sub-threshold mixed-signal ECG SoC. In: *Proceedings of the 14th ACM/IEEE international symposium on Low power electronics and design*. New York, NY, USA: [s.n.], 2009. p. 117 – 118. ISBN 9781605586847.
- [5] YAZICIOGLU, R. F. et al. A 30 uW Analog Signal Processor ASIC for biomedical signal monitoring. In: *IEEE International Solid-State Circuits Conference*. San Francisco, CA: [s.n.], 2010. p. 124–125. ISBN 978-1-4244-6033-5.
- [6] NARASIMHAN, S. et al. Ultra-Low-Power and Robust Digital-Signal- Processing Hardware for Implantable Neural Interface Microsystems. *IEEE Transactions on Biomedical Circuits and Systems*, v. 5, n. 2, p. 169–178, 2011.
- [7] HARRISON, R. R. et al. Wireless Neural / EMG Telemetry Systems for Small Freely Moving Animals. *IEEE Transactions on Biomedical Circuits and Systems*, v. 5, n. 2, p. 103–111, 2011.
- [8] MATTHEWS, R. et al. A wearable physiological sensor suite for unobtrusive monitoring of physiological and cognitive state. In: *Proceedings of the IEEE Engineering in Medicine and Biology Society Conference*. Lyon: [s.n.], 2007. v. 2007, p. 5276–5281. ISSN 1557-170X.

- [9] NG, K.; CHAN, P. A CMOS analog front-end IC for portable EEG/ECG monitoring applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 52, n. 11, p. 2335–2347, nov. 2005. ISSN 1057-7122.
- [10] ZOU, X. et al. A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip. *IEEE Journal of Solid-State Circuits*, v. 44, n. 4, p. 1067–1077, abr. 2009. ISSN 0018-9200.
- [11] YAN, L. et al. A 0.5-V rms 12-W Wirelessly Powered Patch-Type Healthcare Sensor for Wearable Body. *IEEE Journal of Solid-State Circuits*, v. 45, n. 11, p. 2356–2365, 2010.
- [12] ELWAN, H.; TEKIN, A.; PEDROTTI, K. A Differential-Ramp Based 65 dB-Linear VGA Technique in 65 nm CMOS. *Journal of Solid-State Circuits*, v. 44, n. 9, p. 2503–2514, 2009.
- [13] NGUYEN, H.-h. et al. A Binary-Weighted Switching Programmable Gain Amplifier. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 56, n. 9, p. 699–703, 2009.
- [14] ALEGRE, J. P. et al. SiGe Analog AGC Circuit for an 802.11a WLAN Direct Conversion Receiver. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 56, n. 2, p. 93–96, 2009.
- [15] PALA-SCHONWALDER, P. et al. Baseband Superregenerative Amplification. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 56, n. 9, p. 1930–1937, set. 2009. ISSN 1549-8328.
- [16] ARMSTRONG, E. Some Recent Developments of Regenerative Circuits. In: *Proceedings of the IRE*. [S.l.: s.n.], 1922. v. 10, n. 4, p. 244–260. ISSN 0096-8390.
- [17] RIEGER, R. Variable-Gain , Low-Noise Amplification for Sampling Front Ends. *IEEE transactions on biomedical circuits and systems*, v. 5, n. 3, p. 253–261, 2011.

-
- [18] LIEW, W.-S. et al. A 1-V 60-uW 16-channel interface chip for implantable neural recording. In: *IEEE Custom Integrated Circuits Conference*. San Jose, CA: IEEE, 2009. p. 507–510. ISBN 978-1-4244-4071-9.
- [19] LEE, T. H. A nonlinear history of radio. In: *The Design of CMOS Radio-Frequency Integrated Circuits*. 2. ed. [S.l.]: Cambridge University Press, 2004. p. 1–39.
- [20] KALYANASUNDARAM, P. et al. Autonomous operation of super-regenerative receiver in BAN. In: *Proceedings of the International Symposium on Medical Information and Communication Technology*. La Jolla, CA: IEEE, 2012. p. 1–4. ISBN 978-1-4673-1236-3.
- [21] KIM, K.; SONG, J.; NAM, S. Super-regenerative receiver for capsule endoscopy application using digital counter. In: *Proceedings of the Asia-Pacific Microwave Conference*. Melbourne, VIC: [s.n.], 2011. p. 1382–1385.
- [22] THOPPAY, P. E. et al. A 0.24-nJ/bit Super-Regenerative Pulsed UWB Receiver in 0.18 um CMOS. *IEEE Journal of Solid-State Circuits*, v. 46, n. 11, p. 2623–2634, nov. 2011. ISSN 0018-9200.
- [23] LI, D.; TSIVIDIS, Y. Active LC filters on silicon. *IEE Proceedings - Circuits, Devices and Systems*, v. 147, n. 1, p. 49–56, 2000.
- [24] ENZ, C.; TEMES, G. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization. *Proceedings of the IEEE*, v. 84, n. 11, p. 1584–1614, 1996. ISSN 00189219.
- [25] SCHNEIDER, M. C.; GALUP-MONTORO, C. *CMOS Analog Design Using All-Region MOSFET Modeling*. [S.l.]: Cambridge University Press, 2010. 486 p.
- [26] MALOBERTI, F. *Data Converters*. [S.l.]: Springer, 2010. 440 p.

- [27] ARNAUD, A. *Very Large Time Constant Gm-C Filters*. 143 p. Tese (Doutorado) — Universidad de la Republica - Uruguay, 2004.
- [28] CAMPANA, R. *Projeto de um Pré-Amplificador para Aparelho de Auxílio à Audição*. 78 p. Tese (Mestrado) — Universidade Federal de Santa Catarina, 2010.
- [29] PIOVANI, D. S. *Amplificador Classe D CMOS para Aparelho de Auxílio à Audição*. 104 p. Tese (Mestrado) — Universidade Federal de Santa Catarina, 2010.
- [30] BENDER, M. *Um monitor do estado de carga da bateria de dispositivos eletrônicos implantáveis*. 68 p. Tese (Mestrado) — Universidade Federal de Santa Catarina, 2006.
- [31] SPILLER, L. *Filtro OTA-C de baixa potência aplicado a um detector de atividade cardíaca*. 62 p. Tese (Mestrado) — Universidade Federal de Santa Catarina, 2005.
- [32] SANCHEZ-SINENCIO, E.; SILVA-MARTINEZ, J. CMOS transconductance amplifiers, architectures and active filters: a tutorial. *IEE Proceedings - Circuits, Devices and Systems*, v. 147, n. 1, p. 3, 2000. ISSN 13502409.
- [33] VEERAVALLI, A.; SANCHEZ-SINENCIO, E.; SILVA-MARTINEZ, J. Transconductance amplifier structures with very small transconductances: a comparative design approach. *IEEE Journal of Solid-State Circuits*, v. 37, n. 6, p. 770–775, jun. 2002. ISSN 0018-9200.
- [34] FIORELLI, R.; ARNAUD, A.; GALUP-MONTORO, C. Series-parallel association of transistors for the reduction of random offset in non-unity gain current mirrors. In: *Proceedings of the International Symposium on Circuits and Systems*. Vancouver: [s.n.], 2004. p. I– 881–884, v.1.
- [35] KRUMMENACHER, F.; JOEHL, N. A 4-MHz CMOS continuous-time filter with on-chip automatic tuning. *IEEE Journal of Solid-State Circuits*, v. 23, n. 3, p. 750–758, jun. 1988. ISSN 00189200.

- [36] ANTAYHUA, R. R.; SILVA, G. M. D.; SOUSA, F. Rangel de. A duty-cycle controlled variable-gain instrumentation amplifier applied for two-electrode ECG measurement. In: *Proceedings of IEEE Instrumentation and Measurement Conference*. Graz: [s.n.], 2012. p. 1270–1274.
- [37] BERBARI, E. J. Principles of Electrocardiography. In: BRONZINO, J. D. (Ed.). *The Biomedical Engineering Handbook*. [S.l.]: CRC Press, Inc., 1995. cap. 2, p. 181–190.
- [38] TOMPKINS, W. J. ECG signal characteristics. In: *Biomedical Digital Signal Processing*. [S.l.]: Prentice Hall, 1995. cap. 2, p. 43.
- [39] NEUMAN, M. R. Biopotential Electrodes. In: BRONZINO, J. D. (Ed.). *The Biomedical Engineering Handbook*. [S.l.]: CRC Press, Inc., 1995. cap. 5, p. 745 – 757.
- [40] BURKE, M. J.; GLEESON, D. T. A micropower dry-electrode ECG preamplifier. *IEEE Transactions on Biomedical Eng.*, v. 47, n. 2, p. 155–62, fev. 2000. ISSN 0018-9294.
- [41] HUHTA, J. C.; WEBSTER, J. G. 60-Hz Interference in Electrocardiography. *IEEE Transactions on Biomedical Engineering*, BME-20, n. 2, p. 91–101, 1973.
- [42] WINTER, B. B.; WEBSTER, J. G. Reduction of interference due to common mode voltage in biopotential amplifiers. *IEEE Transactions on Biomedical Eng.*, BME-30, p. 58–62, 1983.
- [43] THAKOR, N. V. et al. Ground-Free ECG Recording with Two Electrodes. *IEEE Transactions on Biomedical Engineering*, BME-27, n. 12, p. 699–704, 1980.
- [44] PALLÁS-ARENY, R. On the Reduction of the Interference Due to Common Mode Voltage in Two-Electrode Biopotential Amplifiers. *IEEE Transactions on Biomedical Engineering*, BME-33, n. 11, p. 1043–1046, 1986.

- [45] SPINELLI, E. M.; MAYOSKY, M. a. Two-electrode biopotential measurements: power line interference analysis. *IEEE transactions on bio-medical engineering*, v. 52, n. 8, p. 1436–42, ago. 2005. ISSN 0018-9294. Disponível em: <<http://www.ncbi.nlm.nih.gov/pubmed/16119239>>.

ANEXO A – EQUAÇÕES ÚTEIS SOBRE O FUNCIONAMENTO DO CIRCUITO

A.1 EFEITO DAS NÃO-IDEALIDADES DO OTA NA AMPLIFICAÇÃO DO DC-VGA

O DC-VGA no momento da amplificação é representado na Figura 46, onde o modelo do OTA não ideal, similar ao da Figura 11, foi incluído.

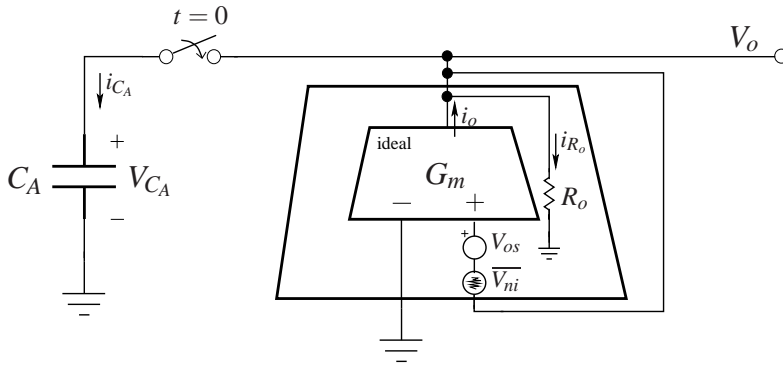


Figura 46: Circuito que representa o momento da amplificação e que inclui as não-idealidades do OTA.

A tensão que aparece como entrada diferencial do OTA no momento em que a chave ativa-se consiste na soma entre a tensão no capacitor de C_A (V_{C_A}), a tensão de offset (V_{os}) e o ruído referido à entrada ($\overline{V_{ni}}$). Desta maneira, a corrente de saída do OTA expressa-se como:

$$i_o(t) = (V_{C_A}(t) + (V_{os} + V_{ni}(t)) u(t)) G_m \quad (1)$$

Adicionalmente, a corrente no capacitor em função a sua tensão define-se como:

$$i_{C_A}(t) = C_A \frac{dV_{C_A}(t)}{dt} \quad (2)$$

Finalmente, a soma de correntes no nó de saída do OTA é expressada como:

$$i_{C_A}(t) = i_o(t) - i_{R_o}(t) \quad (3)$$

onde

$$i_{R_o}(t) = \frac{V_{C_A}(t)}{R_o} \quad (4)$$

Substituindo (1), (2) e (4) em (3), chega-se em:

$$C_A \frac{dV_{C_A}(t)}{dt} = [V_{C_A}(t) + (V_{os} + V_{ni}(t))u(t)]G_m - \frac{V_{C_A}(t)}{R_o} \quad (5)$$

$$C_A \frac{dV_{C_A}(t)}{dt} - V_{C_A}(t)G_m - (V_{os} + V_{ni}(t))u(t)G_m + \frac{V_{C_A}(t)}{R_o} = 0 \quad (6)$$

$$\frac{dV_{C_A}(t)}{dt} + V_{C_A}(t) \left(\frac{-G_m}{C_A} \right) + V_{C_A}(t) \left(\frac{1}{R_o C_A} \right) + (V_{os} + V_{ni}(t))u(t) \left(\frac{-G_m}{C_A} \right) = 0 \quad (7)$$

$$\frac{dV_{C_A}(t)}{dt} + V_{C_A}(t) \left[\frac{1}{C_A} \left(-G_m + \frac{1}{R_o} \right) \right] + (V_{os} + V_{ni}(t))u(t) \left(\frac{-G_m}{C_A} \right) = 0 \quad (8)$$

$$\frac{dV_{C_A}(t)}{dt} + V_{C_A}(t) \left[\frac{1}{\left(\frac{1}{-G_m} // R_o \right) C_A} \right] + (V_{os} + V_{ni}(t))u(t) \left(\frac{-G_m}{C_A} \right) = 0 \quad (9)$$

$$\frac{dV_{C_A}(t)}{dt} + \frac{V_{C_A}(t)}{\tau_1} + \frac{(V_{os} + V_{ni}(t))u(t)}{\tau} = 0 \quad (10)$$

Onde τ_1 é definida como:

$$\tau_1 = \left(\frac{-1}{G_m // R_o} \right) C_A \quad (11)$$

e τ como

$$\tau = -\frac{C_A}{G_m} \quad (12)$$

No caso em que $1/G_m \ll R_o$, ambas as expressões ficam iguais e considera-se ao valor de τ como a constante de tempo do circuito. Para resolver a equação diferencial em (10) se utiliza a transformada de Laplace.

$$sV_{C_A}(s) - V_{C_A}(0) + \frac{V_{C_A}(s)}{\tau_1} + \frac{1}{s} \frac{(V_{os} + \overline{V_{ni}})}{\tau} = 0 \quad (13)$$

onde $V_{C_A}(0)$ é o valor inicial no capacitor e o ruído do OTA foi considerado como sendo só de baixa frequência.

Finalmente, a expressão no domínio do tempo é recuperada usando a transformada inversa.

$$V_{C_A}(s) = V_{C_A}(0) \left(\frac{1}{1/\tau_1 + s} \right) + (V_{os} + \overline{V_{ni}}) \left(\frac{1}{1/\tau + s} - \frac{1}{s} \right) = 0 \quad (14)$$

$$V_{C_A}(t) = V_{C_A}(0)e^{-t/\tau_1} + (V_{os} + \overline{V_{ni}}) \left(e^{-t/\tau} - 1 \right) \quad (15)$$

Sendo a tensão no capacitor também igual à saída do circuito, e escrevendo o valor inicial como o valor do sinal amostrado no momento kT_{clk} , a tensão de saída do DC-VGA, para $k = 0$, é expressa por:

$$V_o(t)|_{k=0} = V_{in}(0)e^{-t/\tau_1} + (V_{os} + \overline{V_{ni}}) \left(e^{-t/\tau} - 1 \right) \quad (16)$$

A.2 RESPOSTA NO TEMPO DO CIRCUITO DE *AUTO-ZERO*

O processo de *Auto-Zero* é modelado na figura 47, onde o ruído de baixa frequência não foi considerado por simplicidade.

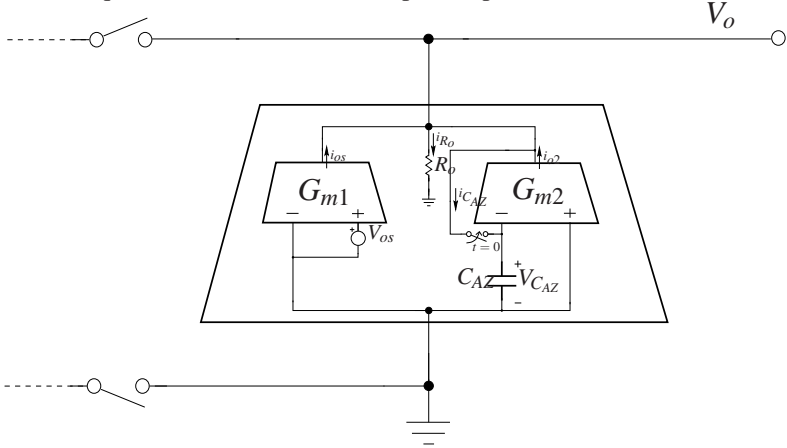


Figura 47: Circuito que modela a resposta do OTA no processo de *Auto-Zero*.

Do circuito, obtém-se as seguintes expressões de correntes:

$$i_{os} = G_{m1}V_{os}u(t) \quad (17)$$

$$i_{o2} = -G_{m2}V_{CAZ}(t) \quad (18)$$

$$i_{CAZ}(t) = C_{AZ} \frac{dV_{CAZ}(t)}{dt} \quad (19)$$

$$i_{R_o}(t) = \frac{V_{CAZ}(t)}{R_o} \quad (20)$$

$$i_{CAZ}(t) = i_{o2}(t) - i_{R_o}(t) + i_{os}(t) \quad (21)$$

Substituindo (17), (18), (19) e (20) em (21),

$$C_{AZ} \frac{dV_{CAZ}(t)}{dt} = -G_{m2}V_{CAZ}(t) - \frac{V_{CAZ}(t)}{R_o} + G_{m1}V_{os}u(t) \quad (22)$$

$$C_{AZ} \frac{dV_{CAZ}(t)}{dt} + G_{m2}V_{CAZ}(t) + \frac{V_{CAZ}(t)}{R_o} - G_{m1}V_{os}u(t) \quad (23)$$

$$\frac{dV_{CAZ}(t)}{dt} + V_{CAZ}(t) \left[\frac{1}{\left(\frac{1}{-G_{m2}} // R_o\right) C_A} \right] - V_{os} \frac{G_{m1}}{C_{AZ}} u(t) = 0 \quad (24)$$

$$\frac{dV_{CAZ}(t)}{dt} + \frac{V_{CAZ}(t)}{\tau_2} + \frac{V_{os}u(t)}{\tau_{1az}} = 0 \quad (25)$$

onde

$$\tau_2 = \left(\frac{1}{G_{m2}} // R_o \right) C_A \quad (26)$$

e

$$\tau_{1az} = -\frac{C_{AZ}}{G_{m1}} \quad (27)$$

Aplicando a transformada de Laplace:

$$sV_{CAZ}(s) - V_{CAZ}(0) + \frac{V_{CAZ}(s)}{\tau_2} + \frac{1}{s} \frac{V_{os}}{\tau_{1az}} = 0 \quad (28)$$

$$V_{CAZ}(s) = V_{CAZ}(0) \left(\frac{1}{1/\tau_2 + s} \right) + V_{os} \frac{\tau_2}{\tau_{1az}} \left(\frac{1}{1/\tau_2 + s} - \frac{1}{s} \right) = 0 \quad (29)$$

Assim,

$$V_{C_{AZ}}(t) = V_{C_{AZ}}(0)e^{-t/\tau_2} + V_{os} \frac{\tau_2}{\tau_{1az}} \left(e^{-t/\tau_2} - 1 \right) \quad (30)$$

Para o caso em que o capacitor C_{AZ} está completamente descarregado e considerando $1/G_{m2} \ll R_o$, a resposta no tempo do capacitor é dado por:

$$V_{C_{AZ}}(t) = -V_{os} \frac{G_{m2}}{G_{m1}} \left(e^{-t/\tau_2} - 1 \right) \quad (31)$$

ANEXO B – RUÍDO DO OTA

A análise de ruído do OTA foi desenvolvido a partir do esquemático na figura 48 para a configuração $G_{m1} = 2.5 \mu\text{S}$ ($Se1 = '0'$). A corrente de ruído é calculada a partir da soma das correntes de ruído de cada transistor:

$$\overline{i_{no}^2} = 2\overline{i_{n1}^2} + 2\overline{i_{n2}^2} + 4\overline{i_{n3}^2} + 2\overline{i_{n5}^2} + 2\overline{i_{n6}^2} \quad (1)$$

Esta expressão considera os transistores de polarização do par degenerado (M6a,b) casados. Já que espera-se eliminar o ruído de baixa frequência pelo processo de AZ, só o ruído térmico será considerado na análise, o qual é expresso como [25]:

$$\left. \frac{\overline{i_d^2}}{\Delta f} \right|_{th} = 4k_B T \gamma g_{ms} \quad (2)$$

onde g_{ms} é a transcondutância da fonte do transistor e γ é o fator de excesso de ruído, o qual tem o valor de $1/2$ na inversão fraca e $2/3$ para na inversão forte.

Desta maneira, a expressão (1) é desenvolvida:

$$\left. \frac{\overline{i_{no}^2}}{\Delta f} \right|_{th} = 4k_B T (2\gamma_1 g_{ms1} + 2\gamma_2 g_{ms2} + 4\gamma_3 g_{ms3} + 2\gamma_4 g_{ms4} + 2\gamma_5 g_{ms5}) \quad (3)$$

$$\left. \frac{\overline{i_{no}^2}}{\Delta f} \right|_{th} = 4k_B T (2\gamma_1 g_{ms1}) \left(1 + \frac{\gamma_2 g_{ms2}}{\gamma_1 g_{ms1}} + 2 \frac{\gamma_3 g_{ms3}}{\gamma_1 g_{ms1}} + \frac{\gamma_4 g_{ms4}}{\gamma_1 g_{ms1}} + \frac{\gamma_5 g_{ms5}}{\gamma_1 g_{ms1}} \right) \quad (4)$$

Utilizando a expressão da transcondutância de fonte [25]

$$g_{ms} = 2 \frac{I_d}{\phi_t} \left(\frac{1}{\sqrt{1 + i_f} + 1} \right) \quad (5)$$

onde I_d é a corrente no transistor.

Obtém-se na sequência:

$$\begin{aligned} \left. \frac{\overline{i_{no}^2}}{\Delta f} \right|_{th} &= 4k_B T (2\gamma_1 g_{ms1}) \left(1 + \frac{B_2}{B_1} \frac{\gamma_2}{\gamma_1} \frac{(\sqrt{1+i_{f1}}+1)}{(\sqrt{1+i_{f2}}+1)} + 2 \frac{n_N}{n_P} \frac{\gamma_3}{\gamma_1} \frac{(\sqrt{1+i_{f1}}+1)}{(\sqrt{1+i_{f3}}+1)} \right) \\ &+ \frac{\gamma_5}{\gamma_1} \frac{(\sqrt{1+i_{f1}}+1)}{(\sqrt{1+i_{f5}}+1)} + \frac{\gamma_6}{\gamma_1} \frac{(\sqrt{1+i_{f1}}+1)}{(\sqrt{1+i_{f6}}+1)} \end{aligned} \quad (6)$$

onde B_1 e B_2 são as relações de espelhamento M6a,b/MB1 e M7/MB1, respectivamente.

Esta expressão pode ser resumida como:

$$\left. \frac{\overline{i_{no}^2}}{\Delta f} \right|_{th} = 4k_B T \eta_o g_{ms1} \quad (7)$$

onde

$$\begin{aligned} \eta_o &= (2\gamma_1) \left(1 + \frac{B_2}{B_1} \frac{\gamma_2}{\gamma_1} \frac{(\sqrt{1+i_{f1}}+1)}{(\sqrt{1+i_{f2}}+1)} + 2 \frac{n_N}{n_P} \frac{\gamma_3}{\gamma_1} \frac{(\sqrt{1+i_{f1}}+1)}{(\sqrt{1+i_{f3}}+1)} \right) \\ &+ \frac{\gamma_5}{\gamma_1} \frac{(\sqrt{1+i_{f1}}+1)}{(\sqrt{1+i_{f5}}+1)} + \frac{\gamma_6}{\gamma_1} \frac{(\sqrt{1+i_{f1}}+1)}{(\sqrt{1+i_{f6}}+1)} \end{aligned} \quad (8)$$

Finalmente, o ruído referido à entrada do OTA obtém-se dividindo a corrente pela transcondutância efetiva do OTA (G_{m1}):

$$\overline{v_{ni}^2} = \frac{\overline{i_{no}^2}}{G_{m1}^2} \quad (9)$$

$$\overline{v_{ni}^2} = \frac{4k_B T \eta_o g_{ms1}}{G_{m1}^2} \quad (10)$$

$$\overline{v_{ni}^2} = \eta_i \frac{4k_B T}{G_{m1}} \quad (11)$$

Onde η_i é o fator de excesso de ruído total referido a uma resistência equivalente de valor $1/G_{m1}$:

$$\eta_i = \frac{\eta_o g_{ms1}}{G_{m1}} \quad (12)$$

ANEXO C – ANÁLISE DE SENSIBILIDADE DO GANHO DO DC-VGA

Considerando a expressão do ganho (10) do capítulo 2 como função do tempo de amplificação (T_A) e da constante de tempo (τ), define-se o seu desvio como:

$$\Delta G(T_A, \tau) = \Delta T_A \frac{G(T_A, \tau)}{T_A} S_{T_A}^{G(T_A, \tau)} + \Delta \tau \frac{G(T_A, \tau)}{\tau} S_{\tau}^{G(T_A, \tau)} \quad (1)$$

onde o termo S_x^y é definido como a sensibilidade da variável y com respeito a x .

$$S_x^y = \frac{\delta y / y}{\delta x / x} = \frac{\delta y}{\delta x} \frac{x}{y} \quad (2)$$

A partir da definição em (2), obtém-se:

$$S_{T_A}^{G(T_A, \tau)} = -\frac{T_A}{\tau} \quad (3)$$

$$S_{\tau}^{G(T_A, \tau)} = \frac{T_A}{\tau} \quad (4)$$

Finalmente, utilizando (3) e (4), a expressão do desvio resulta em:

$$\Delta G(T_A, \tau) = \Delta T_A \frac{G(T_A, \tau)}{\tau} + \Delta \tau \frac{T_A}{\tau} \frac{G(T_A, \tau)}{\tau} \quad (5)$$

**ANEXO D – DIAGRAMAS ESQUEMÁTICOS E *LAYOUTS* DOS
BLOCOS DO DC-VGA**

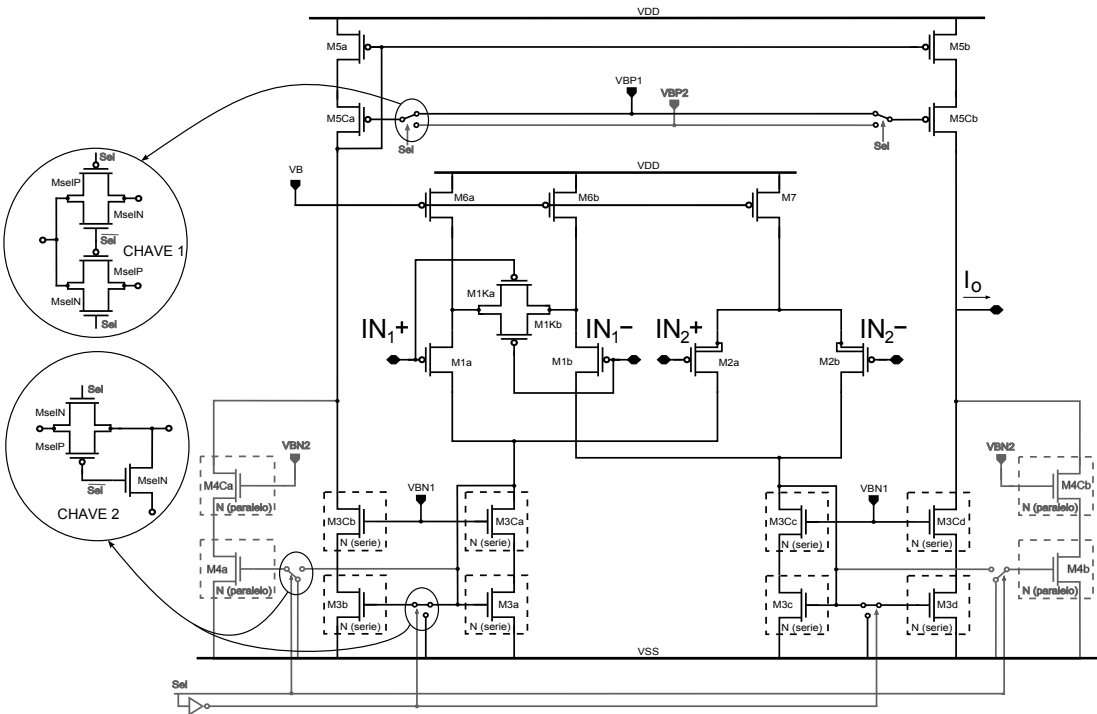


Figura 48: Diagrama esquemático do OTA.

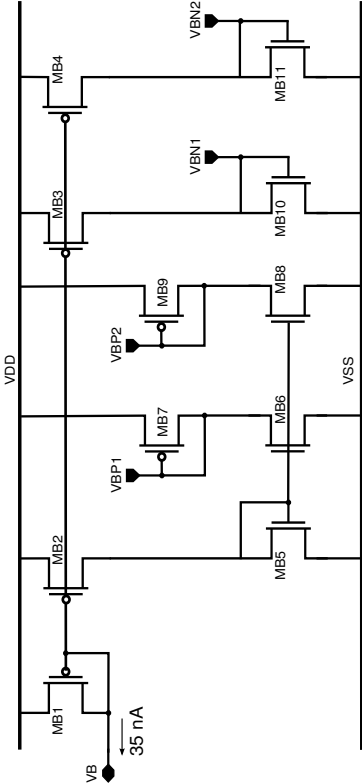


Figura 49: Diagrama esquemático do circuito de polarização do OTA.

Tabela 7: Dimensões dos transistores utilizados no OTA (As que aparecem entre parênteses são para o caso de $Sel = '1'$).

Transistor	Paralelo	Dedos x W [μm]	Série	L [μm]	I_d [nA]	i_f	g_m [μS]
M1	6	4 x 1	8	4	630	30	5,9
M1K	1	4 x 1	8	4	-	-	-
M2	2	1 x 1	20	5	35	60	0,25
M3	2	2 x 4,5	10	3,5	630	10	10,3
M3C	2	2 x 2,6	1	2	630	1	18,3
M4	20	2 x 4,5	1	3,5	(66500)	(10)	(1030)
M4C	2	10 x 2,6	1	2	(66500)	(10)	(1030)
M5	3	40 x 3	1	3	665(66500)	0,2(20)	20(740)
M5C	4	40 x 1,5	1	1	665(66500)	0,1(10)	20(950)
M6	9	2 x 1,6	4	2	665	6,8	10,8
M7	2	2 x 1,6	16	2	35	6,4	0,6
MselN	1	1 x 1	1	0,18	-	-	-
MselP	1	4 x 1	1	0,18	-	-	-

Tabela 8: Dimensões dos transistores utilizados no circuito de polarização do OTA

Transistor	Paralelo	Dedos x W [μm]	Série	L [μm]	I_d [nA]	i_f
MB1	2	2 x 1,6	16	2	35	6,4
MB2	1	2 x 1,6	8	2	35	6,4
MB3	2	2 x 1,6	4	2	140	6,4
MB4	3	2 x 1,6	4	2	210	6,4
MB5	1	1 x 2,5	12	3	35	3,9
MB6	1	1 x 2,5	12	3	35	3,9
MB7	1	1 x 2	7	2	35	8,6
MB8	2	1 x 2,5	4	3	210	3,9
MB9	1	1 x 2	14	2	210	109
MB10	1	1 x 1,1	10	4	140	37,4
MB11	1	1 x 1,1	30	2	210	86,4

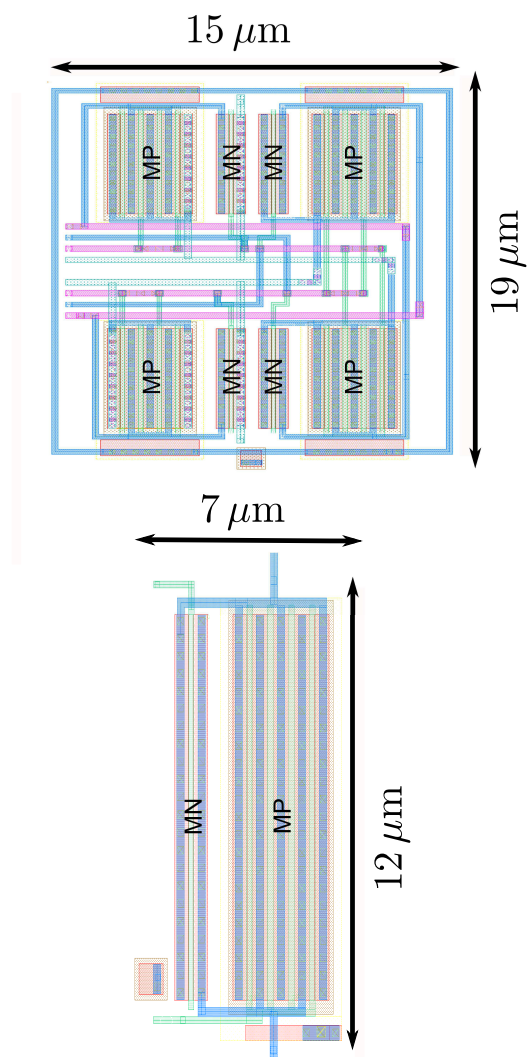


Figura 51: *Layout* das chaves utilizadas no DC-VGA: à esquerda chaves individuais, à direita duas chaves casadas utilizando a técnica de centróide comum.

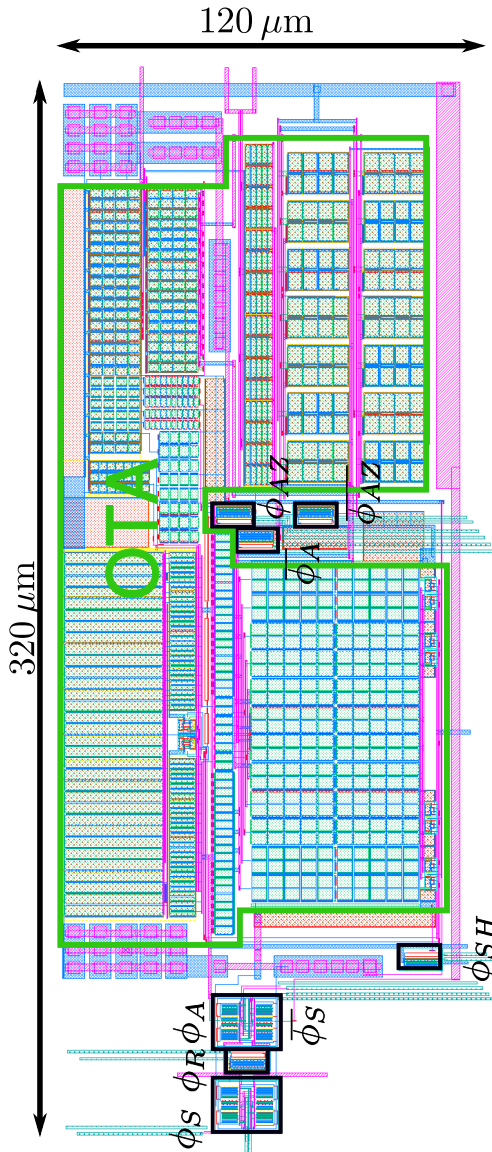


Figura 52: Vista das camadas inferiores do DC-VGA: *Layout* do OTA e as chaves.

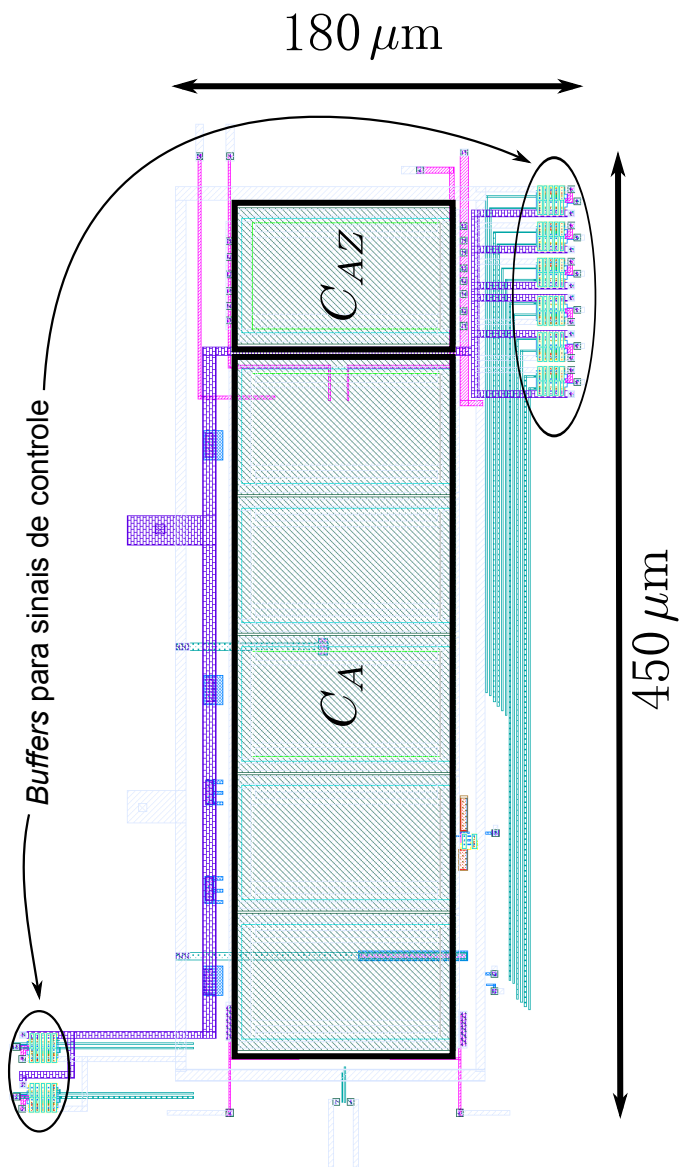


Figura 53: Vista das camadas superiores do DC-VGA: *Layout* dos capacitores integrados.

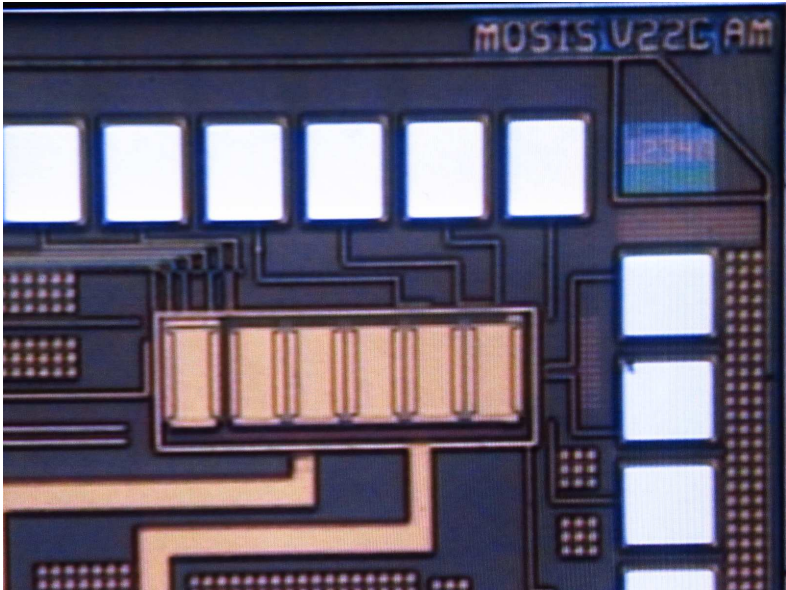


Figura 54: Microfotografia do DC-VGA.

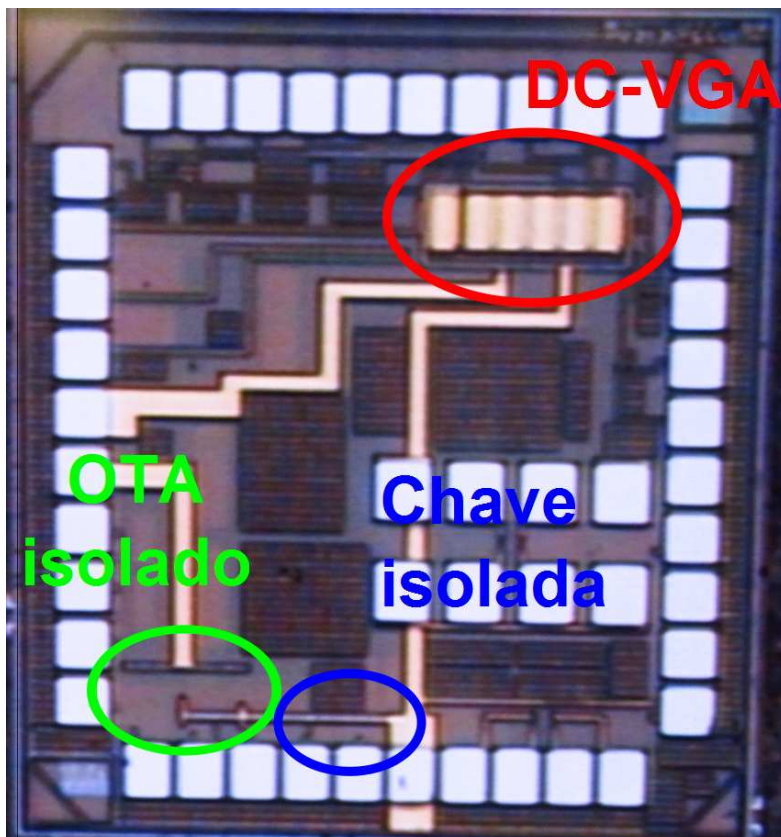


Figura 55: Microfotografia do chip do DC-VGA o qual inclui uma réplica do OTA e uma das chaves para teste.

ANEXO E – A MEDIÇÃO DE ECG COM DOIS ELETRODOS

E.1 CARACTERÍSTICAS DO SINAL DE ECG

Um dos exames médicos mais requeridos é o eletrocardiograma, também conhecido como ECG. Formalmente, o ECG constitui-se de uma diferença de potencial que pode ser adquirido na superfície do corpo, sendo originado da atividade elétrica do coração [37]. Para o monitoramento dos sinais cardíacos, é necessária a localização de eletrodos em pontos específicos do corpo. A sua disposição segue padrões médicos, conhecidos como derivações (*leads*, em inglês). Estas podem ser do tipo unipolar ou bipolar, sendo estas últimas as mais comuns. O posicionamento destas derivações foram propostas no ano 1912 pelo fisiologista holandês Willen Einthoven. A Figura 56(a) ilustra as derivações bipolares típicas, e a Figura 56(b) mostra um sinal ECG típico adquirido da derivação número II. Destaca-se que, além destas derivações, usa-se um eletrodo colocado próximo da perna direita do paciente como potencial de referência (terra). Dessa forma, é preciso pelo menos de três eletrodos para obter uma onda como a da Figura 56(b).

A amplitude do sinal varia dependendo da distância entre os eletrodos e o coração. O complexo QRS (Figura 56(b)) apresenta valores típicos de até 1 mV. Por outro lado, os valores máximos das ondas P e T chegam a 0,1 e 0,3 mV, respectivamente. Em relação à faixa de frequências do sinal de ECG, esta é analisada dependendo da aplicação (Figura 57). Para medição do ritmo cardíaco, só a banda de frequências próxima aos 1 Hz é necessária. Para monitoramento de ECG, a faixa entre 0,5 e 50 Hz é considerada. Já para objetivos clínicos, esta banda estende-se desde os 0,05 Hz até os 100 Hz [38].

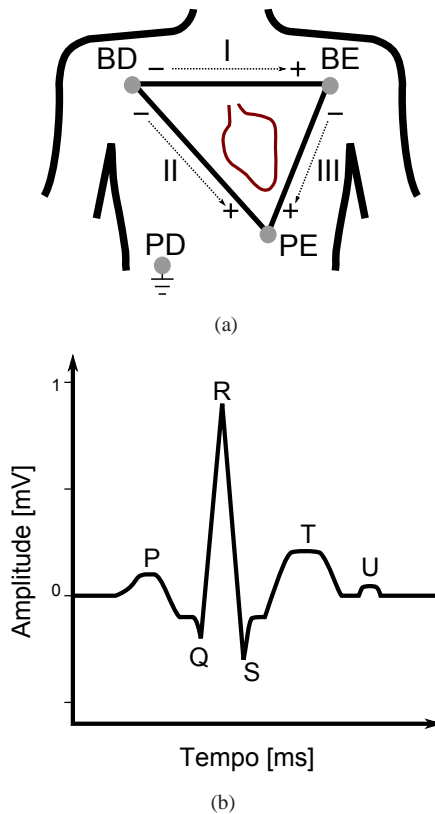


Figura 56: Representação do triângulo de Einthoven, o qual mostra as três derivações padrão para a medição de ECG utilizando os eletrodos colocados próximos à perna esquerda (PE), perna direita (PD), braço esquerdo (BE) e braço direito (BD) (a). Adicionalmente, um sinal típico a partir da derivação II é apresentado (b) (Adaptados de [37]).

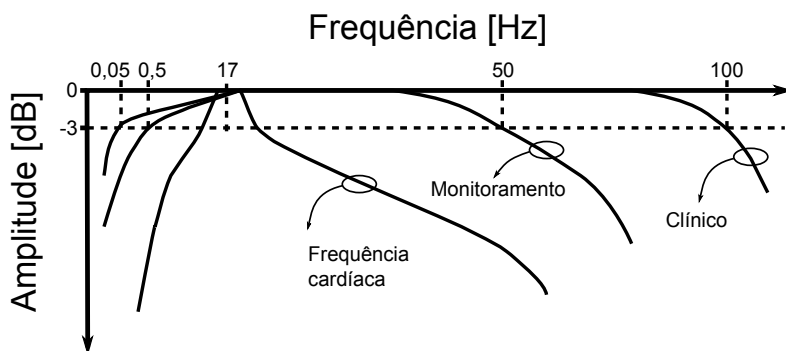


Figura 57: Faixa de frequências consideradas para os sinais cardíacos dependendo da sua aplicação (Adaptado de [38]).

E.2 INTERFACE PELE/ELETRODO

Os eletrodos utilizados para adquirir sinais biopotenciais podem classificar-se como invasivos e não invasivos. Estes últimos, chamados também de superficiais, são usados para medições de ECG de curta duração ou ambulatoriais [39]. Existem diversas classes de materiais e geometrias para elaborar estes eletrodos. As características elétricas de eletrodos de biopotenciais correspondem a um modelo similar ao da figura 58(a). Pode ser observado que o modelo é uma combinação de um circuito RC e uma tensão DC relacionada ao potencial chamado de potencial de meia-célula (*half-cell potential* [39]). De acordo com o modelo, a sua resposta em frequência seguiria a forma ilustrada na Figura 58(b). Para baixas frequências, o eletrodo comporta-se como um resistor da ordem de algumas dezenas de $k\Omega$.

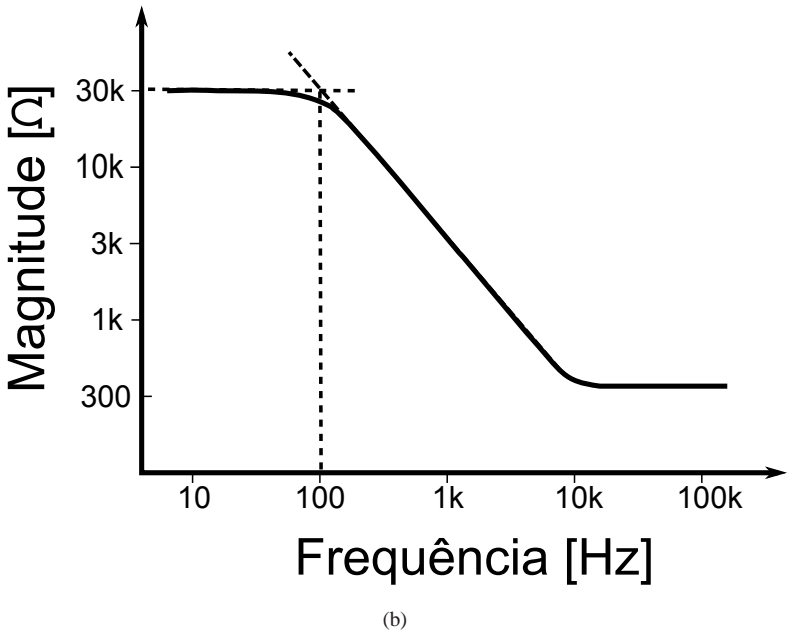
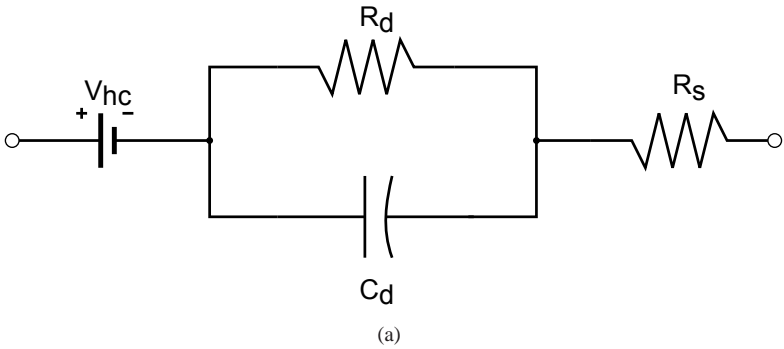


Figura 58: Circuito da impedância equivalente de um eletrodo (adaptado do [39]) (a) e a sua representação na frequência (b). Valores variam de acordo com o material e a geometria do eletrodo.

E.3 CLASSIFICAÇÃO DOS TIPOS DE INTERFERÊNCIA CAUSADAS PELA LINHA DE 60HZ

Muitas são as fontes de interferência que podem prejudicar à medição de ECG (ou outros biopotenciais). Por exemplo, o movimento do paciente durante a aquisição do sinal causa uma distorção considerada como um ruído de baixa frequência. Em alguns casos, pode ser que ondas de RF provenientes de diferentes fontes interfiram também na medição. Entretanto, a fonte de interferência mais comum no processo de aquisição do sinal de ECG são é aquela causada pela linha de transmissão de energia de 60Hz (ou 50, dependendo da região geográfica). Tal tipo de interferência pode ser classificada, segundo a sua origem física, em duas: a eletromagnética, que é produto de uma variação no fluxo magnético dentro de uma área fechada formada pelos cabos que conectam os eletrodos, e a eletrostática, que refere-se ao acoplamento capacitivo do campo elétrico nos cabos e no paciente. Partindo disso, os seguintes tipos de interferência associados à linha de energia podem ser definidos [40, 41]:

- tensão de indução magnética, onde uma diferença de potencial aparece entre os eletrodos de uma determinada derivação. A solução aplicada frequentemente é entrelaçar os cabos e evitar que estes sejam muito compridos;
- tensão diferencial devido às correntes de deslocamento nos cabos, causada pelo acoplamento do campo elétrico. Esta tensão diferencial aparece devido ao descasamento que existe entre as impedâncias equivalentes de cada interface pele/eletrodo. Para reduzir a capacitância de acoplamento, devem ser utilizados cabos revestidos de uma malha de terra e conectados ao modo comum do sistema de aquisição. Procura-se também fazer com que as conexões de cada cabo ao corpo sejam de maneira mais simétrica possível;
- tensão de modo comum devido às correntes de deslocamento no corpo do paciente, causada pelo acoplamento do campo elétrico

ao corpo. Uma vez que o corpo pode ser aproximado com uma impedância (próximo a algumas dezenas de $M\Omega$ a 60 Hz [42]), este desenvolve um potencial em relação ao potencial de terra. O sistema de aquisição de ECG enxerga este potencial como uma interferência de modo comum. É esta tensão de modo comum a que representa a maior interferência em um sistema de medição com dois eletrodos.

Em uma medição de ECG com três eletrodos, a corrente de deslocamento descrita no último item anterior flui tanto do corpo para o terra através da impedância do terceiro eletrodo. Uma vez que a impedância deste eletrodo é mais baixa do que a do corpo (até uns $100k\Omega$), a sua magnitude equivalente aproxima-se deste valor. Quando o terceiro eletrodo é removido, a impedância equivale agora à do corpo. Devido a isto, a tensão de modo comum é incrementada consideravelmente. Verifica-se, então, a necessidade de implementar um mecanismo que controle a amplitude desta interferência.

E.4 SOLUÇÃO PARA O CONTROLE DO SINAL DE MODO COMUM

Existem vários modelos utilizados para estimar a tensão de interferência total num sistema de aquisição de ECG [43–45]. O modelo proposto em [45] representa corretamente a impedância de entrada de modo comum do sistema permitindo que ela também apresente valores baixos. A expressão da tensão de interferência a partir deste modelo é dada por:

$$V_{int} = i_{des} Z_{eq} \left(\Delta Z_e + \frac{Z_c}{CMRR} \right) \quad (1)$$

onde i_{des} é a corrente de deslocamento acoplada ao corpo, Z_{eq} é a impedância pela que esta corrente passa, ΔZ_e é a diferença entre as impedâncias vistas por cada eletrodo, Z_c é a impedância de entrada de modo comum do sistema de aquisição e $CMRR$ é o valor de rejeição de modo comum do sistema. A impedância Z_{eq} é inversamente proporcional

a Z_c . Isto faz com que não seja óbvio o valor ótimo de Z_c para fazer a o valor da tensão de interferência menor. Em [45] foi feito um análise em que se demonstrou que, dependendo do valor da impedância dos eletrodos, é mais favorável escolher um valor alto (teoricamente infinito) para Z_c ou, pelo contrário, um valor muito baixo (teoricamente zero). Esta última opção, na maioria dos casos, é a mais apropriada e mais simples de ser implementada. A Figura 59 ilustra o conceito da técnica.

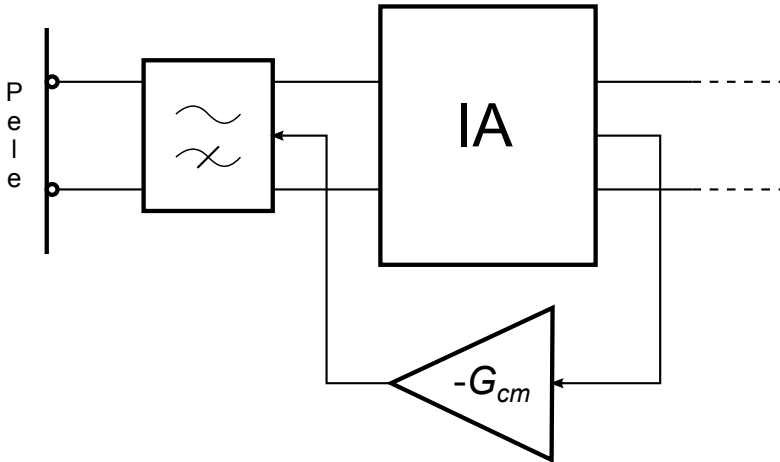


Figura 59: Representação da técnica utilizada para o controle da tensão de modo comum na medição com dois eletrodos através da redução da impedância de entrada de modo comum.

O nível de modo comum do sinal de entrada é captado em algum ponto do circuito e realimentado através de um circuito o qual amplifica este sinal e o leva até outro ponto de modo comum. Assim, demonstra-se que a impedância de modo comum resulta na expressão em (2). Z_{id} é a impedância de entrada diferencial do sistema e G_{cm} é o ganho aplicado na malha de realimentação, o qual faz com que Z_c tenda a zero. Dessa forma, a tensão de interferência na entrada é reduzida. A implementação desta técnica pode ser consultada em [36, 45].

$$Z_c = \frac{Z_{id}/2}{1 - G_{cm}} \quad (2)$$